

HVDC용 12-펄스 위상제어정류기의 새로운 게이트 펄스 발생 기법

안중보, 김국헌, 이종무, 이기도
한국전기연구소 전력연구단 계측제어연구그룹

A New Gate Pulse Generating Method of 12-Pulse Phase Controlled Rectifier for HVDC

Ahn Jongbo, Kim Kookhun, Lee JongMoo, Lee Kido

Korea Electrotechnology Research Institute, Electric Power Research Center, I & C Group

Abstract - High voltage direct current(HVDC) transmission system uses the phase controlled rectifier triggered by means of IPC(individual phase control) or EPC(equidistant pulse control). Most HVDC system has adopted EPC method that can solve the harmonic instability problem of IPC method in weak power system. But EPC has inherent indirect synchronizing problem requiring the closed loop control. This paper presents the new gate pulse generating method for 12-pulse HVDC converter, which combines IPC with EPC. Simulation and test results are presented.

The basic concept is that it generates the gating pulse for 12-pulse converter by synthesizing the internal phase reference using the frequency and phase information of a single phase voltage. To ensure the reliability of the external phase input, potential transformer that detects the phase voltage has redundancy. Using fault detecting algorithm, the healthy input is always guaranteed. And the frequency compensation function was reinforced.

1. 서 론

직교류 변환장치에 있어서 싸이리스터 점호제어 방식은 기본적으로 전류나 전압제어의 안정도 측면에서 중요하다[1]. 특히 HVDC와 같이 전력계통에 연결되며 대규모 전력을 변환하는 시스템에 있어서 근본적으로 내재하는 고조파 불안정문제(harmonic instability)는 다수의 고조파를 포함하는 교류 전압과 점호제어간의 직접적인 의존성에 기인한다고 할 수 있다[2]. 이러한 문제점을 해결하기 위해서 교류 입력단에 필터가 설치되며 제어시스템 내에도 필터를 사용하게 된다. J. D. Ainsworth는 교류 전압의 위상 동기화 무관하게 점호 펄스를 발생시킬 수 있는 위상고정발전기(phase-locked oscillator)방식을 제안했으며 현재의 많은 HVDC 제어 시스템들은 이 방식을 적용하고 있다[3]. 본 논문에서는 기존의 방식과 PLO방식을 자세히 분석하고 정상상태나 과도상태에서 보다 안정적인 점호제어가 가능한 두 방식을 결합한 점호제어 방식을 제안하고자 한다.

2. 본 론

2.1 개별위상제어방식

제어시스템의 디지털화의 추세에 따라 점호제어도 디지털로 구현이 가능하게 되었다. 개별위상제어방식(IPC)는 마이크로프로세서와 고속의 타이머로 구현이 가능하며 그 기본적인 구성은 다음의 그림 1과 같다. 교류 입력전압을 검출하기 위한 변압기를 입력변압기

의 1차측에서 연결하고 이 전압의 영점 검출(zero cross) 신호를 이용하여 타이머를 트리거하게 된다. 타이머는 프로세서에서 미리 계산된 위상지연각(α)만큼 지연 후에 펄스를 발생하게 된다. 브리지회로에서 각 개별 싸이리스터의 점호 펄스는 각각의 영점 검출 신호로부터 얻어지게 된다.

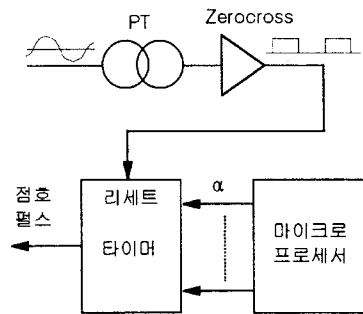


그림 1 개별위상제어의 디지털 구현

이러한 방식에 있어서는 영점 입력이 펄스의 발생과 직접적으로 연관되어 있으며 이것은 전원전압의 위상과 완전히 동기되어 있다. 실제로는 전원 전압에 고조파 혹은 찌그러짐이 존재하기 때문에 필터링이 필요하며 잘못된 입력된 영점 입력은 그대로 제어출력으로 즉시 반영되게 되므로 고조파나 노이즈에 취약하게 된다. 장점은 제어 출력과 직류출력이 완전히 선형이 되도록 역역현(inverse-cosine)으로 프로세서에서 보상이 가능하다는 점이며 입력전압의 크기와 관계없이 펄스를 발생할 수 있으며 주파수의 보정이 입력신호에서 그대로 보상된다 는 점이다.

2.2 등간격펄스제어방식

등간격펄스제어방식의 블록도가 다음의 그림2에 나타나 있다. 이 방식은 리셋할 수 있는 2개의 적분기와 한 개의 비교기, 링 카운터(ring counter)로 구성된다[2]. 첫 번째 적분기는 제어루프의 출력을 적분하는 것으로 펄스가 출력되면 동시에 리셋된다. 두 번째 적분기는 교류 입력 주파수의 6배(6-펄스 브리지) 혹은 12배(12-펄스 브리지) 주파수의 톱니파를 출력하는 발전기이다. 이 두 출력은 비교기에 연결되어 펄스열(pulse train)을 발생하게 되고 이것이 링카운터의 펄스 이동의 시작점이 되도록 설계하는 것이다. 즉 펄스열이 새로운 펄스를 발생할 때마다 새로운 게이트가 점호되는 시점이 결정되는 것이다. 정상상태이고 입력교류의 주파수가 일정하면 첫 번째 적분기의 출력은 0이 되고 따라서 두 번째 적분기의 출력인 톱니파에 동기되어 일정한 간격으로 펄스열을 발생하게 된다. 그러나 제어루프에서 오차가 발생하면 첫 번째 적분기의 출력은 증가하게 되고 그림

(b)에서 보는 것처럼 $\Delta\alpha$ 만큼 펄스 발생 시점이 당겨 지거나 혹은 밀려져서 점선과 같은 펄스열을 발생하게 되어 다시 오차가 0이 되는 정상상태로 복귀하게 된다. 따라서 이 방식은 기본적으로 주파수제어방식에 근거를 두고 있다. 이와 같은 펄스 방식에 있어서 교류입력 주파수가 60Hz 보다 커지면 실제의 제어기의 명령보다

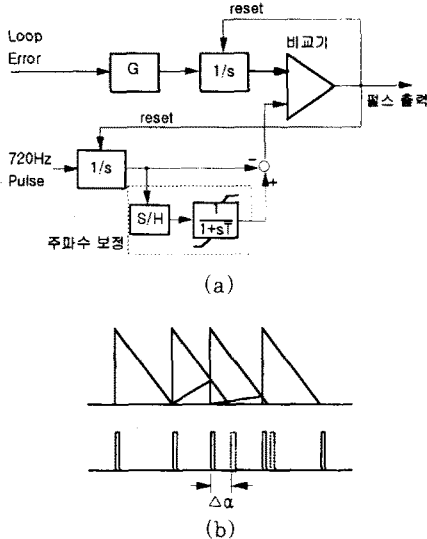


그림 2 등간격 펄스제어방식
(a)구성도 (b)펄스 발생 원리

큰 값을 출력하게 되며 60Hz 보다 작아지면 점호각이 작아지는 현상이 발생하게 된다. 따라서 이는 제어루프에서 오차를 발생하게 되고 따라서 주파수는 보정이 된다. 또 위의 그림 (a)의 점선부분에서 보는 바와 같이 등간격을 샘플-홀드(sample and hold)하여 이를 시간 지연시킨 값으로 바이어스(bias)함으로서 펄스 출력이 너무 빨라지거나 느려지는 것을 방지하는 제한회로를 갖고 있다.

이러한 간접적인 동기방식을 통하여 점호펄스를 발생함으로서 고조파 불안정 문제를 해결할 수가 있다. 그러나 이 방식은 개방루프제어가 되지 않으며 전압의 상간 불균형을 보상하지 못하며 주파수의 직접적인 보정이 불가능한 문제점을 가지고 있다. 따라서 실제의 제어시스템들은 영점 검출에 의한 점호펄스의 제한기능을 가지고 있다[4].

2.3 새로운 펄스 발생방식

고기능의 마이크로프로세서의 개발에 따라 점호펄스의 발생이나 위상고정루프(phase-locked loop) 기능이 디지털로 구현이 가능하게 되었고 개별위상제어방식과 PLL방식을 결합한 점호펄스 발생방식들이 제안되었다[4, 5]. 이러한 방식들은 입력신호의 주파수와 위상을 검출하되 이를 직접 사용하지 않고 내부에 위상이 동기되는 기준 신호를 발생시켜 이를 사용함으로써 입력신호의 노이즈나 고조파의 영향을 최소화하였다.

위상고정루프방식은 외부 신호와 내부신호의 동기를 유지한다는 측면에서 PLO 방식과는 차이가 있다. PLO 방식은 제어기를 통하여 간접적으로 동기시켜 점호펄스를 발생하는데 비해 PLL 방식은 제어루프와 별개로 위상고정루프를 통하여 점호펄스의 위상을 외부의 교류입력과 동기시키는 방식이다. 아래 그림 3에 디지털식 PLL 시스템의 구성도와 기능블럭도가 나타나 있다.

그림 (a)에서 보는 것처럼 디지털 PLL은 교류전원의

영점입력을 마이크로프로세서에서 받아서 주기를 측정하고 이 측정된 주기와 내부에서 발생된 주기신호를 PLL로 위상을 동기시켜 그 신호로부터 점호펄스를 발생하게 된다. 이러한 방식은 외부 영점신호입력의 신뢰도와 내부 PLL의 속응성이 제어성능에 영향을 미치게 된다.

먼저 외부 영점신호는 교류전압을 비교기에 입력하여 펄스형으로 출력하는 것으로서 고조파나 노이즈의 영향

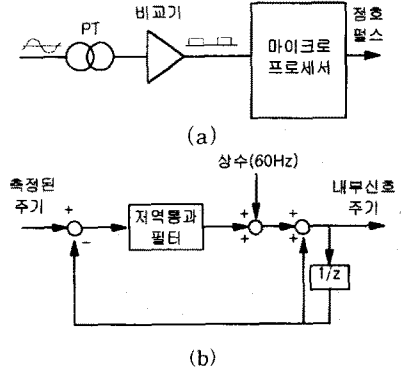


그림 3 디지털 위상고정루프(PLL)
(a)구성도 (b)블럭도

을 받기 쉽다. 따라서 광절연기(opto-isolator)와 2개의 서로 다른 문턱값(threshold)을 가진 영점 부근 입력을 이용하여 선형보간법(linear interpolation)으로 근사하는 것에 의해 교류전압의 기준 위상을 얻는 방법을 사용하였다[3]. 또 아나로그나 하이브리드형의 PLL은 전원전압이나 온도가 안정도나 운전 성능에 영향을 미치게 되므로 디지털형 PLL이 사용되게 되었다. 그러나 PLL방식은 주파수와 위상을 보정하기 위한 루프필터(loop filter)가 필요하며 이러한 필터로는 1차 지연-지상 저역통과필터(1st order lag-lead low pass filter)나 비례-적분 제어기가 사용되며 또 고차의 대역통과필터(band pass filter)를 사용하여 주파수 및 위상을 동기화하는 방법도 제안되었다[3, 4].

그러나 이러한 필터의 사용은 필연적으로 과도현상이나 정상상태 오차 등을 가져오게 되며, 위상검출용 변압기가 고장이 나면 전체적인 제어가 불가능하게 되며 이를 해결하기 위한 디지털식 PLL 점호발생방식의 블럭도가 아래의 그림4에 나타나 있다.

그림 (a)에는 2중화된 전압 검출용 변압기와 이 출력으로부터 건전한 출력을 검출하는 신호선택기 및 비교기

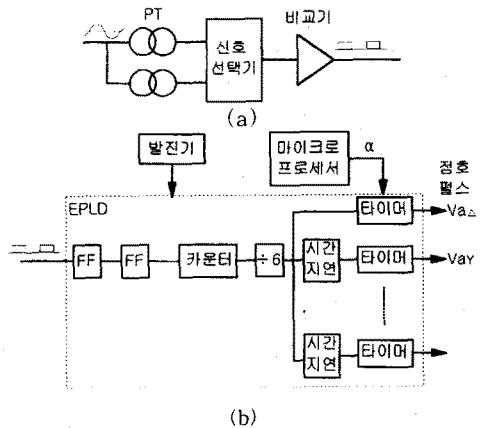


그림 4 디지털식 PLL 점호발생방식
(a)구성도 (b)블럭도

로 구성된 영점검출기를 나타내며 (b)는 이 입력으로부터 12-펄스용 점호펄스를 발생하는 블록도를 나타내고 있다. 신호선택기는 신호용 변압기의 단락 혹은 개방을 검출할 목적으로 이중으로 설치되며 신호선택기는 양 변압기의 출력을 차동 증폭하는 증폭기와 비교기 및 선택기로 구성된다.

교류입력과 동기된 영점입력은 다수개의 플립플롭 (flip flop)을 거치면서 필터링되고 이 출력으로부터 주기, T가 계산된다. 계산된 T를 다시 6으로 나누어서 Δ 와 Y 결선의 위상지연을 갖는 기준전압을 합성하게 된다. 이 기준전압 신호는 제어기로부터의 위상지연 명령의 기준 즉, 전류전압 기준, $\alpha=0$ 가 되는 점이 된다. 여기에 필터링만으로 제거될 수 없는 잘못된 영점입력을 처리하기 위한 알고리즘이 추가된다. 측정된 주기 T는 지정된 범위의 값인지 또는 앞 주기에서 계산한 주기와의 변화율, $\Delta T/dt$ 이 지정된 범위 안에 있는지를 검사하여 유효하면 이 외부 입력신호를 기준 신호로 받아드려 타이머를 시작함으로써 동기화를 유지하게 된다. 그렇지 않을 경우는 이전의 T를 사용하여 내부의 기준 신호를 발생하게 된다. 이러한 관정은 계통의 주파수가 한 주기 내에서 급격히 변하지 않는다는 사실로부터 유효한 가정 이 될 수 있다.

이 내부 기준신호는 두 번째 타이머의 시작신호로 사용되며 타이머는 제어기에서 전달되는 α 만큼의 시간 후에 점호펄스를 출력하게 된다. 이 모든 처리 과정이 하나의 프로그램 가능한 논리소자 (electrically programmable logic device) 내에서 고속으로 처리되도록 설계되었다.

-모의시험

아래 그림 5에 12-펄스 컨버터를 매트랩(matlab)으로 모의 시험한 모델이 나타나 있다. 앞에서 설명한 펄스 발생방법은 아래 그림의 펄스발생부에서 구현되어 있다. 그림 6과 7은 각각 주파수 변동과 검출 변압기 고장 시의 직류전류, 전압 파형을 나타내고 있다. 그림 6은 주파수가 $60 \pm 1\text{Hz}$ 로 과도적으로 변동했을 때의 직류전압과 직류전류의 상태를 표시한 것이다. 그림 7은 그림 4의 (a)에서 한 개의 변압기가 순시적으로 고장이 발생한 경우의 직류전압과 직류전류의 상태를 표시하고 있다.

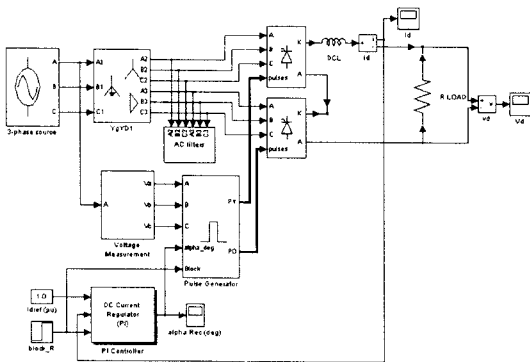
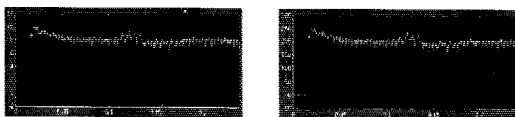


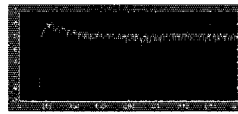
그림 5 Matlab 모의시험 모델(12-펄스 컨버터)



(a)직류전류 (b)직류전압

그림 6 주파수 변동시의 출력전압 파형

(x축:50[ms/div], y축:2[A/div], 50[V/div])



(a)직류전류

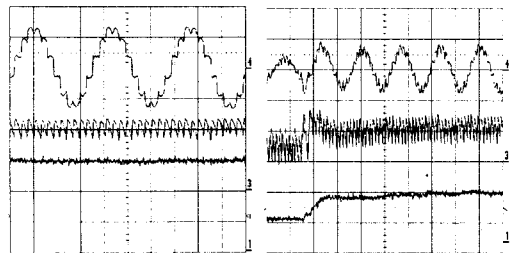
(b)직류전압

그림 7 PT 고장시의 출력전압 파형

(x축:50[ms/div], y축:2[A/div], 50[V/div])

-축소형 HVDC 시뮬레이터 실험

5kVA급, 220V 축소형 HVDC 시뮬레이터 상에서 실험한 결과가 아래의 그림 8에 나타나 있다. 그림 (a)는 정상상태의 직류전압과 교류 입력전압으로서 직류전압이 안정적으로 점호됨을 볼 수 있다. 그림 (b)에서는 과도상태에서도 여전히 정상적으로 점호됨을 볼 수 있다.



(a)정상상태

(b)과도과형

그림 8 컨버터 정전압제어

(위:입력교류전류, 중간:직류 전압, 아래:직류 전압레환치)

3. 결 론

본 논문에서는 HVDC 등 대규모 전력변환장치에서 사용될 수 있는 싸이리스터 컨버터의 게이트 점호방식을 검토하고 디지털식으로 구현가능하며 신뢰도와 안정도를 제고한 12-펄스 컨버터용 게이트 펄스 발생방식을 제안하고 이를 구현하여 모의 시험과 축소형 HVDC 시뮬레이터로 그 성능을 입증하였다.

(참 고 문 헌)

[1]R.R.Shoult, E. Barrera-Cardiel, "Use of a Graphical User Interface Approach for Digital and Physical Simulation in Power Systems Control Education : Application to an HVDC Transmission System Model", IEEE Trans. on Power Systems, Vol.7, No. 4, pp.1598-1603, Nov. 1992
 [2]J.D. Ainsworth, "The Phase Locked Oscillator-A New Control System for Controlled Static Converters", IEEE Trans. on Power Apparatus and Systems, Vol PAS-87, No. 3, pp.859-865, Mar. 1968
 [3] P. Kundur, Power System Control and Stability, McGraw-Hill, inc., 1994
 [4]R.W. Wall and H. Hess, "An Intel 80C196KD Embedded Microcontroller Implementation of a Three Phase SCR Power Converter for Industrial Applications," Journal of Circuits, Systems, and Computers, June 1996
 [5]Y. Maharsi, V.Q. Do, V.K. Sood, S. Casoria, J. Belanger, "HVDC Control System Based on Parallel Digital Signal Processor", IEEE Trans. on Power System, Vol. 10, No. 2, pp. 995-1002, May 1995.