

표면 처리한 SiO<sub>2</sub>를 게이트 절연막으로 하는 박막 트랜지스터의 특성 연구

이재혁\*, 이용수\*, 박재훈\*, 최종선\*, 김유진\*\*

\*홍익대학교 전기제어공학과

\*\*홍익대학교 기초과학과

A STUDY ON THE ELECTRICAL CHARACTERISTICS OF ORGANIC THIN FILM TRANSISTORS WITH SURFACE-TREATED GATE DIELECTRIC LAYER

Jae-Hyuk Lee\*, Yong-Soo Lee\*, Jae-Hoon Park\*, Jong-Sun Choi\*, Eugene Kim\*\*

\*Dept. of Electrical and control Eng., Hongik Univ.

\*\*Dept. of Basic science, Hongik Univ.

**Abstract** - In this work the electrical characteristics of organic TFTs with the semiconductor-insulator interfaces, where the gate dielectrics were treated by the two methods which are the deposition of Octadecyltrichlorosilane (OTS) on the insulator and rubbing the insulator surface. Pentacene is used as an active semiconducting layer. The semiconductor layer of pentacene was thermally evaporated in vacuum at a pressure of about  $2 \times 10^{-7}$  Torr and at a deposition rate of 0.3 Å/sec. Aluminum and gold were used for the gate and source/drain electrodes. OTS is used as a self-alignment layer between SiO<sub>2</sub> and pentacene. The gate dielectric surface was rubbed before pentacene is deposited on the insulator. In order to confirm the changes of the surface morphology the atomic force microscopy (AFM) was utilized. The characteristics of the fabricated TFTs are measured to clarify the effects of the surface treatment.

1. 서 론

21세기 정보화사회에서 디스플레이 기술은 가장 중요한 기술 중의 하나이고, 고해상도, 대면적 디스플레이에 대한 요구가 점차 커지고 있다.<sup>1)</sup> 이러한 디스플레이를 구현하기 위해서 발광 소자 또는 화소 외에 화소 스위칭 소자가 필요하다. 현재 LCD에는 비정질(amorphous silicon : a-Si) 또는 다정질(polycrystalline : poly-Si) 실리콘 TFT (Thin-Film Transistors)가 사용되고 있다.<sup>2)</sup> 이 TFT의 활성층인 반도체를 유기물질로 대체할 수 있다면 성형성, 유연성, 경제성 등의 장점들을 얻을 수 있을 것이다.<sup>3)</sup> 여러 가지 유기 반도체들 중 pentacene이 가장 우수한 소자 특성을 보여 주는 것으로 보고되고 있다.<sup>4)</sup>

본 연구에서는 Pentacene을 활성층으로 하는 TFT 소자 제작을 기본으로 하였고, 활성층과 직접적으로 접촉을 하는 게이트 절연층에 OTS(C<sub>18</sub>H<sub>37</sub>SiCl<sub>3</sub>)를 이용한 자기 부착 단일층(self assembled monolayers : 이하 SAM)을 형성하는 방법과 부드러운 천을 이용한 문지르기(Rubbing)방법 등을 사용하여 활성층과의 계면 효과를 높이는 데에 주안점을 두어 소자를 구성하여 그 특성들을 AFM과 TFT의 전기적 결과를 통하여 비교해 보았다.

2. 본 론

2.1 실험 방법

세정 과정을 거친 유리 기판 위에 반도체 공정에서 가장 많이 쓰이고 있는 포토공정을 이용하여 게이트 전극을 형성하였다. 게이트 전극으로는 알루미늄을 사용하였고 일반적인 열 증착법에 의해 1500 Å의 두께로 성막하였다. 게이트 전극 형성 후 PECVD(Plasma enhanced chemical vapor deposition)를 사용하여 게이트 절연층인 SiO<sub>2</sub>를 4000Å의 두께로 성막한 후 RIE(Reactive ion etching)를 이용해 패터닝을 하였다. 그리고 본 연구에서 가장 주안점을 두고 있는 표면 처리 공정인 OTS를 이용한 SAM 형성법과 러빙법으로 SiO<sub>2</sub>의 표면을 처리해 주었다. 절연층으로 사용하는 SiO<sub>2</sub>는 가지형태(dendrite)의 무질서한 표면 특성을 가지므로 활성층과의 접촉 시 운반자(carrier)들의 흐름을 방해하는 요인이 된다. 하지만, 위와 같은 표면 처리 과정을 통해 이런 무질서한 표면 특성을 좋게 하여 pentacene 분자들이 절연층 위에 성막 될 때 방향성을 가지면서 배열되어 운반체 이동도에 큰 영향을 미치는 분자 grain들의 크기를 변화시키는 장점을 가지고 있다. SAM은 hexadecane과 chloroform을 4:1의 비율로 혼합한 후 2.5mmol 농도의 OTS(C<sub>18</sub>H<sub>37</sub>SiCl<sub>3</sub>)를 혼합하여 OTS 용액을 만든 후에 이 OTS 용액에 시편을 약 1시간 동안 담가둠으로서 형성 시켜 줄 수 있다.<sup>5)</sup> 이 때 온도는 30°C 정도로 유지시킨다. OTS 용액에서 꺼낸 시편을 2차 증류수와 chloroform 용액에서 약 10초 동안 가볍게 흔들어서 세정한 후 N<sub>2</sub> 가스로 건조시키면 monolayer가 형성 되고, 두께는 약 25~30Å로서 ellipsometry(Plasmos, SD-2100)를 이용하여 확인하였다. 러빙법은 부드러운 천을 이용해 소오스와 드레인 전극에 수평한 방향으로 밀어줌으로서 처리 할 수가 있다. 표면 처리 과정이 끝난 후에는 소오스와 드레인 전극을 형성하게 되는데 게이트 전극과 마찬가지로 열 증착법으로 형성하는데 이 때 섀도우 마스크를 이용한다. 소오스와 드레인으로는 금을 사용했는데 이는 일반적으로 금의 일함수가 5.2 eV로 pentacene 박막의 이온화 에너지값과 비교했을 때 ohmic특성일 것이라 예상하였기에 사용하였다. 두께는 약 1500 Å 정도로 성막하였다. 소오스와 드레인 사이의 거리는 제작된 소자의 채널의 길이(L)고 소오스와 드레인의 폭은 채널의 폭(W) 된다. 본 연구에서는 채널의 길이를 50 μm로 폭은 5 mm로 제작하였다. 활성층으로는 pentacene을 사용했고 그림 1에 분자구조를 나타내었다.

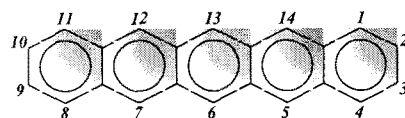


그림 1. Pentacene의 분자구조

Pentacene 분자의 고 순도 시료를 얻기 위해 sublimation 방법을 이용하였다. Sublimation은 물질마다의 서로 다른 승화 온도의 특성을 이용한 정제 방법으로 각각의 온도에서 나오는 물질을 선별하여 정제하는 방식이다. 정제된 pentacene을 사용하여  $2.0 \times 10^{-7}$  Torr의 진공도에서 1300 Å의 두께로 열 증착법을 이용해 성막하였는데 패턴의 형성은 예도우 마스크를 사용하였다. 활성층의 성막을 마치고 나면 Pentacene TFT 소자가 완성된다. 그림 2는 본 연구에서 사용한 TFT의 도식도를 나타내었는데 표면 처리 유무에 따른 소자를 구분하여 제작하였다. 각각의 특성 결과에 대해서 표면처리 하지 않은 소자, OTS 처리, 그리고 러빙법을 사용한 소자의 순서로 표시하였다.

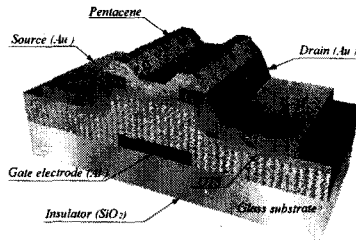
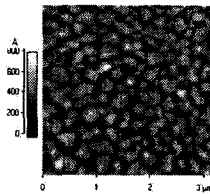


그림 2. Pentacene TFT의 도식도

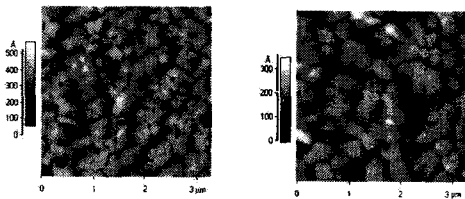
## 2.2 실험 결과

### 2.2.1 Pentacene 박막의 AFM 이미지

표면 처리한 SiO<sub>2</sub>와 표면 처리하지 않은 시편 위에 열 증착 방법으로 pentacene을 증착한 후 AFM 이미지를 확인하였다. 표면 처리에 따른 pentacene 박막의 AFM 이미지를 그림 3에 나타내었다.



(a) SiO<sub>2</sub>/Pentacene



(b) SiO<sub>2</sub>/OTS/Pentacene (c) SiO<sub>2</sub>(Rubbing)/Pentacene

그림 3. Pentacene 박막의 표면 처리 방법에 따른 AFM 이미지

그림에서 나타난 바와 같이 표면 처리에 따라 박막 표면의 AFM 이미지가 변함을 알 수 있다. 표면 처리 후의 grain들의 크기가 표면 처리 전보다 더 커지게 됨을 알 수 있는데, 이는 pentacene 증착막이 상대적으로

고르지 못한 SiO<sub>2</sub> 표면 위에 성막된 것보다 monolayer가 형성된 소자의 표면에 성막되는 것과 러빙에 의해 더 부드러운 표면 위에 그레인들의 형성이 더 잘 이루어진다고 할 수 있다. 그레인 크기가 크다는 것은 다결정화를 의미하며, 일반적으로 전기적 특성은 그레인의 크기가 클수록 우수한다. 그레인 크기가 작은 경우 그레인의 경계에서 산란(scattering) 등이 일어나 운반체의 이동을 방해함으로써 전기적 특성을 떨어뜨리게 때문이다. 그레인 크기가 크면 그레인 경계가 적어지게 되고 운반체의 산란 또한 적어지게 되어 전기적 특성은 그레인 크기가 작은 것에 비해 우수한 것이다. 각 시편의 거칠기(roughness)값들을 표 1에 나타냈는데 시편 3의 경우가 가장 낮은 값을 나타낸 것으로 보아 가장 성막이 잘 되었다고 볼 수 있다

표 1. 각 박막의 roughness값

조건	Roughness (Å)	RMS	Average
	표면 처리 ×		121
OTS 처리		86	68
러빙 처리		42	33

### 2.2.2 Pentacene TFT의 전기적 특성 결과

Pentacene TFT의 전달특성을 알아보기 위하여 드레인과 소스 사이의 전압을 -20 V로 고정시킨 후 게이트 전압을 5 V에서 -20 V까지 변화시켜 가면서 드레인 전류를 측정하였다. 표면 처리에 따른 pentacene TFT의 전달 특성을 그림 4에 나타내었다.

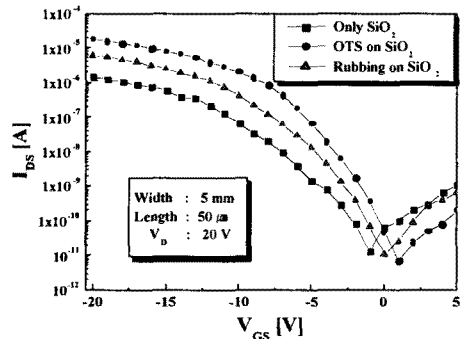


그림 4. 표면 처리에 따른 전달 특성 곡선

낮은 전압에서의 off 전류와 문턱전압 이상의 on 전류값의 차이가 표면 처리 하지 않은 소자의 경우  $10^5$  정도로 나타났고, 표면 처리한 소자의 경우 약  $10^6$  정도로 나타났고, 표면 처리 한 소자의 경우 더 큰 값을 보이고 있는 것으로 보아 앞의 AFM 결과에서도 나타난 바와 같이 pentacene 분자의 grain이 크게 향상된 것이 더 우수한 소자 특성을 보임을 알 수 있다. 문턱 전압값과 전계효과 이동도를 산출하기 위하여 식 1을 이용하였고 그림 5에 가장 특성 결과가 좋은 OTS로 처리한 소자의 Linear fitting 결과를 나타내었다. 여기에서 문턱 전압(threshold voltage)값을 알 수 있는데 표면 처리하지 않은 소자에서는 -6.1 V, OTS로 처리한 소자에서 -2.8 V, 그리고 러빙을 한 소자에서는 -5 V로 나타났다. 전계 효과 이동도의 경우는 각각  $0.019 \text{ cm}^2 \cdot \text{Vs}^{-1}$ ,  $0.095 \text{ cm}^2 \cdot \text{Vs}^{-1}$ ,  $0.073 \text{ cm}^2 \cdot \text{Vs}^{-1}$ 로 나타났다. 전계 효과 이동도의 경우 그리 높지 않은 값을 나타냈지만 표면 처리 한 소자가 더 큰 값을 가진다는 것을 확인할 수가 있었다.

$$I_D = \frac{W}{2L} C_i \mu (V_G - V_T)^2 \quad \text{-(식 1)}$$

$W$  : 채널 폭                       $L$  : 채널 길이  
 $C_i$  : 절연체 캐패시턴스     $V_T$  : 문턱 전압  
 $\mu$  : 전계 효과 이동도

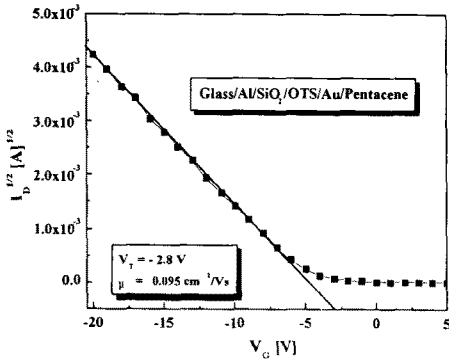


그림 5. 문턱 전압과 전계효과 이동도를 산출한 전류-전압 특성 곡선

### 3. 결론

유기 반도체인 pentacene을 이용하여 유기 박막 소자 제작할 때, 절연층인 SiO<sub>2</sub>와 활성층인 pentacene 사이에 SAM을 이용한 OTS 처리법과 부드러운 친을 이용한 러빙법으로 표면처리를 했을 때의 계면 효과 특성의 변화를 연구하였다. AFM 측정 결과 grain 크기가 표면 처리 후 크고 규칙성 있게 변하는 것을 알 수 있었다. TFT 전달 특성에서도 나타나듯이 on/off ratio(10<sup>5</sup>/10<sup>6</sup>/10<sup>6</sup>), 문턱 전압(-6.1V/-2.8V/-5V), 그리고 전계 효과 이동도(0.019 cm<sup>2</sup>·Vs<sup>-1</sup>/0.095 cm<sup>2</sup>·Vs<sup>-1</sup>/0.073 cm<sup>2</sup>·Vs<sup>-1</sup>)의 결과값들이 표면 처리 하지 않을 때보다 표면 처리 했을 때가 더 향상 되는 것을 확인할 수 있었다. 게이트 절연층의 고르지 못한 표면을 이런 표면 처리 기법에 의해 어느 정도 완충 시켜 줌을 의미한다. 차후의 연구에서 SAMs을 형성시키는데 최적의 조건들을 확립하고 러빙하는 방법에도 좀 더 제어가 가능한 장비를 이용한다면 보다 나은 결과를 얻을 수 있을 것이다.

이 논문은 1999년도 한국학술진흥재단의 연구비에 의하여 연구되었음. (KRF-99-E00169)

### (참 고 문 헌)

- 1) 정태형 "Organic/Polymer Electro luminescence display" pp. 1 ~ 3
- 2) C. A. Armstrong, S. Uppal "Differentiation of effects due to Grain and Grain Boundary Traps in Laser annealed Poly-Si Thin Film Transistors" J. Appl. Phys. Vol. 37 (1998) pp. 1721 ~ 1727
- 3) T. Tsumura et al. *Synthetic Metals*, 25, 11, 1990
- 4) G. Horowitz et al, *Thin Solid Films*, 111, 93, 1984.
- 5) P. Harder et al. "Induced Orientational Order in Long Alkyl Chain Aminosilane Molecules by Preadsorbed Octadecyltrichlorosilane on Hydroxylated Si(100)" *Langmuir* 1997, 13, 445-454
- 6) G. Jonathan Kluth et al. "Thermal Behavior of Alkylsiloxane Self-Assembled Monolayers on the Oxidized Si(100) Surface" *Langmuir* 1997, 13, 3775-3780