

화소 전압 보상 방법에 대한 Crosstalk 특성 시뮬레이션

김태형*, 박재우, 김진홍, 최종선
 홍익대학교 전자전기공학부

Simulations on Crosstalk of Pixel Voltage Compensation Methods

Tae Hyung Kim*, Jae Woo Park, Jin Hong Kim, Jong Sun Choi
 School of Electronics and Electrical Engineering, Hongik University

Abstract - Crosstalk is the primary cause of image distortion in active matrix liquid crystal displays (AMLCD). Crosstalk produces voltage errors that limit gray scale fidelity and consequently, degrades display resolution, contrast ratio, color fidelity, and image quality. In this study, crosstalk phenomena of some methods to compensate level shift voltages has been simulated. This will be contributed to find the way to design the excellent image quality of the TFT-LCDs.

1. 서 론

정보화 사회의 발전과 더불어 대면적·고화질 평판 디스플레이에 대한 요구가 증가하고 있고, 그 결과 여러 가지 평판 디스플레이 기술에 대한 연구와 개발이 활발히 진행되고 있다. 이들 중 가장 우수하고 널리 사용되고 있는 것은 비정질 실리콘 박막트랜지스터(a-Si TFT)를 스위칭 소자로 사용하는 액정 표시 장치(TFT-LCD)이다. 본 연구에서는 TFT-LCD의 두 가지 화소 전압 보상 방법에 대해 Crosstalk 시뮬레이션을 하였다. data 전압이 화소에 인가된 후 TFT가 off된 직후부터 발생하는 level shift 전압은 실제적인 화상을 구현하는데 있어서 문제시되는 요소이고, 이를 보상하기 위해 여러 구동 방법이 사용되고 있다. 본 연구에서는 LiTEX scanning과 Gate step 구동 방법에 대한 Crosstalk 시뮬레이션을 수행하였다. 인접한 화소 및 버스 라인과의 coupling에 의한 기생 용량으로 인해 발생하는 Crosstalk 특성을 시뮬레이션 함으로써, TFT 어레이의 어떤 위치, 어떤 시간에서도 게이트, 데이터 및 화소의 전압을 정확하게 계산할 수 있었다. 이는 대화면적 고화질 TFT-LCD의 설계와 제작에 일반적인 방향을 제시해 줄 수 있을 것이다.

2. 본 론

2.1 LiTEX(Line Time Extension) Scanning

대화면, 고해상도 일수록 TFT-LCD 패널의 부가 커지므로 data line 및 gate line의 시상수가 증가하게 된다. 이와는 반대로 계조 표시를 하기 위한 line time 은 감소하게 되는데, 이는 화질의 열화를 야기한다. LiTEX scanning은 일반적인 gate 구동 회로의 scanning 과형과는 달리 두 개의 gate line을 동시에 선택하고 두 개의 gate scanning 신호로 선택된 화소는 같은 polarity로 계조 표시를 하게 된다. 그림1에서와 같이 G1과 G2의 gate line 선택시에 G1의 line time동안 G1의 신호가 선택하는 화소의 data line을 충전하고 계조 표시를 한다.¹

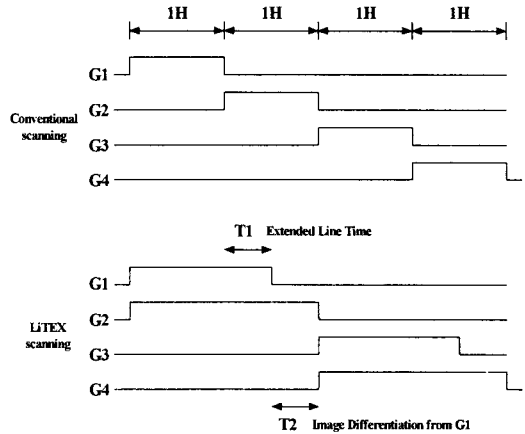


그림 1. Line Time Extension(LiTEX) scanning 과형

일반적인 구동에서보다 그림 1의 T1 시간만큼 line time이 증가되어 RC 시상수 증가로 인한 화질상의 열화를 보상할 수 있다. 그리고 T2 시간 동안에는 G2의 scanning 신호로 선택된 화소의 계조 표시를 하게 된다. 이미 G1의 scanning 시간동안 data line이 충전되어 있으므로 T2 시간 동안에는 같은 polarity 내의 계조 표시를 하게 된다. 그러므로, 화질상의 열화없이 30%~50%의 line time 증가 효과를 기대할 수 있다.

2.2 Gate step 구동 방법

Level shift 전압이 발생하는 주원인은 gate 전압의 변화에 따라 TFT의 gate 전극과 data 전극 사이에 있는 기생 용량에 충전된 전하량이 변동하는 데에 있다. RC delay가 발생하면 Level shift 전압이 감소하는데 이는 gate 전극에 전하가 완전히 충전되지 못하여, TFT의 채널이 활성화 된 상태에서 기생 용량의 전하량이 감소하기 때문이다.

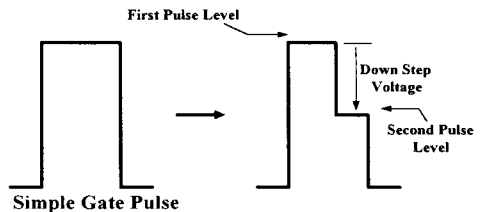


그림 2. Level Shift 전압 보상 회로에 의한 게이트 전압 과형.

그림 2와 같이 일반적인 게이트 펄스 대신에 두 단계의 step 신호를 사용하면 두 번째 펄스에서는 전하가 서서히 방전되므로, level shift 전압의 보상 효과를 기대할 수 있다.^{2,3} 보존 용량(C_{ST})이 공통 전극에 연결되어 있는 경우, TFT-LCD 한 화소의 정전 용량은 그림 3과 같이 액정 용량(C_{LC}), 축적 용량(C_{ST}), 기생 용량(C_{GS}), 그리고 게이트·드레인과 화소 전극 사이의 coupling 용량(C_{PD} , $C_{PD'}$, C_{PG} , $C_{PG'}$) 등을 가지는 등가 회로로 나타낼 수 있다. 그리고 이 등가 회로는 그림 4, 5와 같이 각각 게이트 배선 정전 용량 등가 회로, 데이터 배선 정전 용량 등가 회로로 나타낼 수 있다.

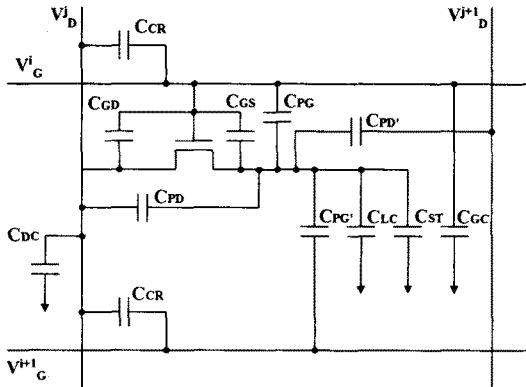


그림 3. C_{ST} -on-Common 형태에서 한 화소의 정전 용량 등가회로

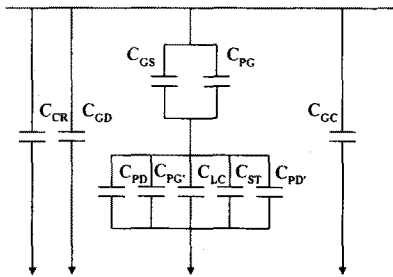


그림 4. C_{ST} -on-Common 형태에서 한 화소의 게이트 배선 정전 용량 등가회로

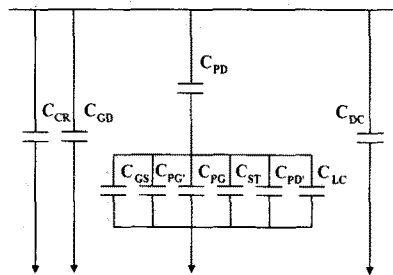


그림 5. C_{ST} -on-Common 형태에서 한 화소의 데이터 배선 정전 용량 등가회로

이렇게 표현된 게이트 배선 정전 용량 등가 회로에서 한 화소에 걸리는 총 게이트 정전 용량을 다음과 같은 수식으로 계산할 수 있다. 한 화소의 총 정전 용량은 다음과 같다:

$$C_{PX} = C_{GS} + C_{ST} + C_{LC} + C_{PD} + C_{PD'} + C_{PG} + C_{PG'}$$

한 화소의 게이트 배선 정전 용량(C_{GT})과 데이터 배선의 정전 용량(C_{DT})은 다음과 같다:

$$C_{GT} = C_{CR} + C_{GD} + C_{GC} + \frac{1}{\frac{1}{C_{GS} + C_{PG}} + \frac{1}{C_{PD} + C_{PG} + C_{LC} + C_{ST} + C_{PD'}}$$

$$C_{DT} = C_{DC} + C_{GD} + C_{CR} + \frac{1}{\frac{1}{C_{PD}} + \frac{1}{C_{GS} + C_{PG} + C_{PG} + C_{PD'} + C_{LC} + C_{ST}}}$$

보존 용량이 공통 전극에 연결되고 공통 전극의 전압이 일정한 경우:

$$\frac{dv_{COM}(t)}{dt} = \frac{dv_{ST}(t)}{dt}, \quad \frac{dv_{COM}(t)}{dt} = 0$$

이고, $i_D = dQ_P/dt$ 로부터 다음의 수식을 유도할 수 있다.

$$\frac{dQ_P(t)}{dt} = C_{PX} \cdot \frac{dv_P(t)}{dt} - (C_{GS} + C_{PG}) \cdot \frac{dv_G^i(t)}{dt} - C_{PD'} \cdot \frac{dv_D^{j+1}(t)}{dt} - C_{PD} \cdot \frac{dv_D^j(t)}{dt}$$

2.3 Crosstalk

계조 표시 특성을 저해시키는 인가 전압 오차의 원인들 중의 하나가 Crosstalk이다. Crosstalk는 다른 표시 셀들의 상태에 따른 특정 셀의 특성 변화를 의미한다. Static한 관점에서 보면 TFT가 게이트 전압에 의해 커졌을 때만 데이터 배선에 인가된 전압에 의해 영향을 받지만 실제로는 TFT가 off 상태라도 적은 I_{off} 도 소자에 연결된 stray 용량에 의해 우회(bypass)되어 인가 전압에 오차가 생기게 한다. 인접한 N개의 좌우 데이터 배선과의 coupling을 고려할 경우, coupling 파라미터 α, β 를 정의하고 열(column)상의 한 셀에 인가되는 실효 전압을 다음과 같이 나타낼 수 있다.^{4,5,6}

$$\alpha_n = \frac{C_{PDn}}{C_{LC} + C_S + C_{PG} + C_{PG'} + C_{GS} + \sum_{n=0}^N C_{PDn} + \sum_{n=0}^N C_{PD'n}}$$

$$\beta_n = \frac{C_{PD'n}}{C_{LC} + C_S + C_{PG} + C_{PG'} + C_{GS} + \sum_{n=0}^N C_{PDn} + \sum_{n=0}^N C_{PD'n}}$$

$$V_m(t) = V_i + \sum_{n=0}^N \alpha_n [V_{jn}(t) - V_m] + \sum_{n=0}^N \beta_n [V_{jn}(t) - V_m]$$

V_i, V_j 은 한 화소와 그 이웃한 화소에 입력한 데이터 전압 값이고, $V_j(t), V_j'(t)$ 는 기생 용량에 영향을 받은 화소와 그 이웃한 화소에 입력한 데이터 전압 값이다. 인접한 데이터 배선의 수(N)은 10으로 하였다. α, β 값은 시뮬레이션 조건에 따라 준 실험적 모델(Semi-empirical model)에 의해 계산된 정전 용량값에 의해 결정하였다.^{7,8,9}

2.4 시뮬레이션 결과

시뮬레이션에 사용되어진 주요 파라미터의 종류와 그 값을 표 1에 나타내었다. 15인치 XGA급 TFT-LCD를

기준으로 하여 $0.5\text{cm}^2/\text{V}\cdot\text{s}$ 의 전계 효과 이동도와 채널의 폭/길이가 $25/5\mu\text{m}$ 인 TFT에 대하여 준 실험적 정전 용량 모델에 의해 계산된 coupling 파라미터로 Crosstalk 시뮬레이션을 하였다.

표 1. 시뮬레이션에 사용된 파라미터의 종류와 값

항목	값	항목	값
대각크기	15"	게이트 전압	0~20 V
해상도	1024×768	데이터 전압	0~10 V
외관비	4 : 3	문턱전압	3 V
프레임 시간	16.667 μs	이동도	0.5 cm^2/Vs
제조수	64	절연체 유전율	6.5
실리콘 두께	3000 Å	액정 유전율	9.8, 3.2
채널 폭	25 μm	채널 길이	5 μm
중첩 폭	25 μm	중첩 길이	3 μm
Inversion	Frame	Pixel의 위치	1001,1001

그림 6,7은 각각 LiTEX scanning 방법과 Gate step 구동 방법에 의한 화소 특성 및 이들의 Crosstalk의 영향을 고려한 화소 특성을 비교하였다. 그림 8에 이들의 Crosstalk 특성을 비교하였다.

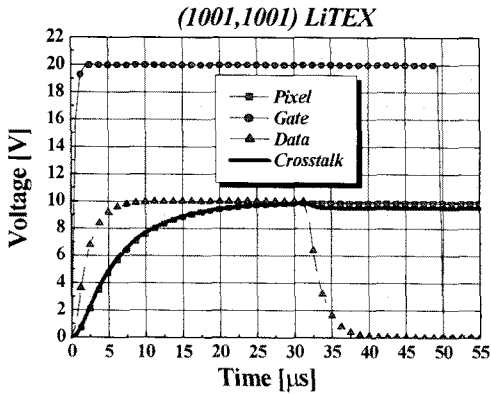


그림 6. LiTEX scanning 방법에 의한 (1001,1001) 화소 특성 및 Crosstalk

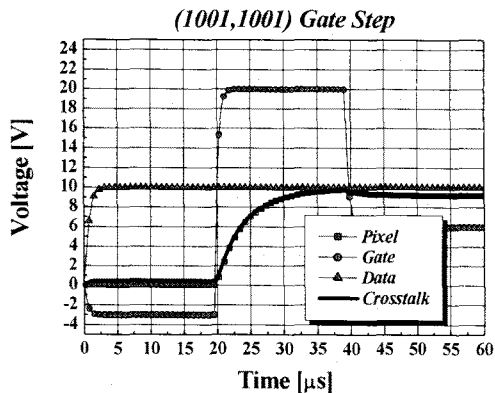


그림 7. Gate Step 방법에 의한 (1001,1001) 화소 특성 및 Crosstalk

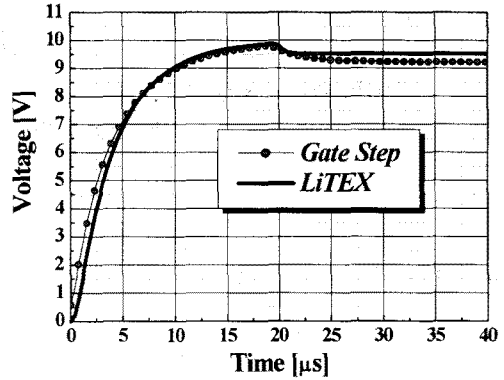


그림 8. LiTEX scanning 방법과 Gate step 방법의 Crosstalk 특성 비교

3. 결 론

본 연구에서는 화소 전압의 기생 용량에 기인하는 Level shift 전압을 보상하는 방법인 LiTEX scanning 방법과 Gate step 구동 방법에 대하여 Crosstalk 특성을 시뮬레이션 하였다. Gate step 구동 방법은 전압 유지율은 좋으나, LiTEX에 비해 Level shift 전압이 비교적 큰 결과를 확인하였다.

본 논문은 통상산업부와 과학기술원에서 시행한 선도기술개발(G-7)사업의 지원으로 수행되었음

(참 고 문 헌)

- [1] O. K. Kwon, "Large-Size High Performance TFT-LCDs with Low-power Consumption", KLCC 1999, Vol.2, pp.29-32, 1999
- [2] 여선영, "AMLCD에서 Flicker의 원인과 개선 방향", 한국 반도체 학술 대회, pp.217-218, 1995
- [3] K. Kusafuka, "Driving Method for Gate-delay Compensation of TFT/LCD", IBM Journal of Research and Development, Vol. 42, No. 3/4, pp.467-479, 1998.
- [4] R. L. Wisnieff, "Gray Scale Fidelity of Thin Film Transistor Addressed Liquid Crystal Displays", Proceedings of the Conference Eurodisplay 1987 London, pp.59-62, 1987
- [5] F. R. Libsch, "Understanding Crosstalk in High-Resolution Color Thin-Film-Transistor Liquid Crystal Displays", IBM Journal of Research and Development, Vol. 42, No. 3/4, pp.467-479, 1998.
- [6] Robert L. Wisnieff, "Line Delay Capacitive Crosstalk Effects in TFT/LCDs", 1988 SID, pp.173-178, 1988.
- [7] S.-C. Wong, "Interconnection Capacitance Models for VLSI Circuits", Solid-State Electronics, Vol. 42, No. 6, pp.969-977, 1998.
- [8] T. Sakurai, "Formulas for Two- and Three-Dimensional Capacitance", IEEE Trans. Electron Devices, Vol. ED-30, No. 2, pp.183-185, 1983.
- [9] J.-H. Chern, "Multilevel Metal Capacitance Models for CAD Design Synthesis Systems", IEEE Electron Device Lett., Vol.13, No.1, pp.32-34, 1992.