

반도체소자의 정전기방전(ESD)에 의한 장애

김상렬, 김두현*, 김상철**, 이종호*

안동과학대학 산업보건과, *충북대학교 안전공학과, **세명대학교 안전공학과

1. 서론

정전기 장애대책의 기본은 정전기의 발생을 억제하는 것과 축적된 전하를 될 수 있는 대로 조속히 완화시키는 것이다. 정전기로 인한 장애는 여러 분야에서 발생되고 있으며 그 중요성 및 심각성을 간과할 수 없다. 그 중에서 반도체 분야는 경제성, 고성능화, 고신뢰성화의 실현을 위하여 반도체소자가 점차 LSI화되고 그 때문에 기술경향은 미세화, 집적화가 매년 진행되어 미크론의 시대에 이르렀으며 접합깊이, 게이트 산화막, 트랜지스터의 길이 등이 상당히 작아지고 있다. 더불어 정전기에 보호회로의 설계 및 장착등에 힘입어 어느 정도의 정전기방전에 대한 내성을 보유하고 있으나 그 근본적인 해결책으로는 미흡하다. 따라서 박막소형화, 경량화로인한 반도체소자의 내성이 작아지는 경향에 대한 대책이 꾸준히 제시되어야 한다. 생산공정상에 있어서 정전기에 의한 반도체소자의 정전기 파괴현상은 외부의 정전기가 소자에 방전된 경우나 정전기를 축적한 소자가 외부의 접지 도전체에 접촉되어 방전한 경우 그리고 소자 주위의 전기장 환경이 급변할 때 발생한다. 이러한 정전기방전(ESD; Electrostatic Discharge) 현상을 해석하기 위한 모델로는 여러 가지가 제시되어 있으며, 이들을 이용한 실험 및 연구가 활발히 진행되고 있다.

본 연구에서는 반도체소자의 정전기 완화특성 실험에서 나타난 반도체소자의 완화특성을 이용하여 반도체소자의 정전기방전 특성을 해석하고자 한다. 반도체소자의 대전방지 및 방전으로 인한 피해를 줄이기 위하여 소자의 전기장유도에 의한 대전현상인 유도대전소자모델(FCDM)실험을 통하여 반도체소자의 위험성을 파악하고자 한다.

2. 유도대전소자모델(FCDM : Field Induced Charged Device model) 실험

유도대전소자모델(FCDM)은 대전소자모델(CDM)과 매우 유사한 모델로서 소자주변의 전장(전계) 변화에 의해 소자내부에 발생하는 과도전압, 과전류에 기인하는 모델로서 외부 전기장에 의해 대전되는 현상으로 대전소자모델(CDM)과 같은 피해를 수반한다.

본 실험에서는 반도체소자의 정전기방전(ESD)에 의한 위험성을 알아보기 위하여 OP Amp로 시중에서 판매되고 있는 Package(DIP)형 소자를 선정하였으며, 대전방지의 관점에서는 외부 전계에 의한 소자의 대전여부와 방전시의 소자의 위험성 정도를 아는 것이 중요하다. 따라서 본 실험에서

는 FCDM테스터를 이용하여 소자에 전계를 형성하여 소자 Lead에 AD(Approaching Discharge) 방법으로 방전시킨 다음 소자의 특성 변화와 파괴여부를 측정하였다.

2.1 사용소자의 종류 및 특성

반도체소자는 DIP(Dual In-line Package)형태가 주로 사용되며, 그 외에 SIP, SOJ, SOP, TSOP, QFP, ZIP, GTO 등의 형태가 많이 제조되고 있다. 본 실험에서는 Package형 8pin, 14pin DIP Device를 선정하여 인가전압에 따른 정전기방전(ESD)에 의한 반도체소자의 위험성을 파악하였다.

2.2 실험방법

본 실험에서 사용한 반도체소자에 대한 FCDM tester는 AT&T Bell Laboratories에서 고안한 실험장치로서 package형 반도체소자의 정전기방전 메카니즘을 연구하는데 유용한 장치이다. Fig.1에서 보는 바와 같이 구리판(전극)에 전압을 인가하여 전계를 형성시켜 DUT(Device Under Test)에 대전시킨 후 AD(Approaching Discharge) 방법으로 정전기방전(ESD) 시킨 다음 반도체소자의 위험성을 측정하여 그 결과를 Fig.2~9에 나타내었다.

실험장치에 사용된 FCDM tester는 다음과 같이 구성된다.

- (1) 정방형 구리판(전극)
- (2) 절연판(0.25mm Polyethylene Film)
- (3) 누설전류측정기(Yokogawa 3226)
- (4) DUT(4pin DIP, 8pin DIP Device)

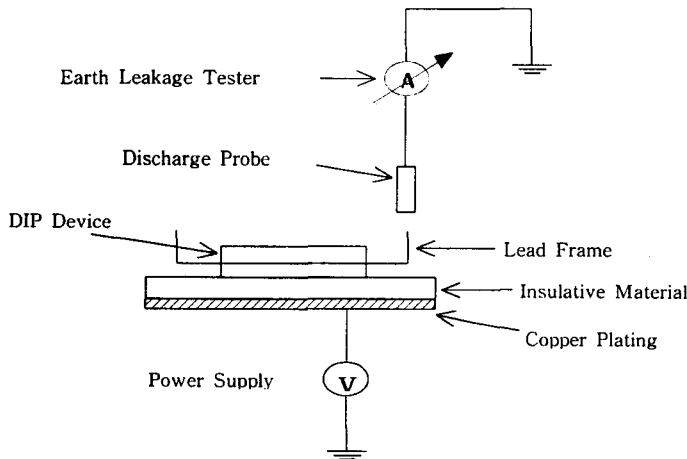


Fig.1 A schematic showing an FCDM tester

3. 결과 및 고찰

3.1 실험결과

Fig.2와 3은 FCDM테스터를 이용하여 반도체소자의 정전기방전(ESD)시의 방전전류를 측정 한 결과를 나타내었다. 인가전압이 클수록 방전전류값이 크게 나타나는 경향을 보였다. Fig.4, 5, 6, 7은 FCDM테스터를 이용하여 반도체소자를 정전기방전(ESD) 후의 소자의 특성을 알아보기 위하여 방전후의 소자의 측정전압 Low값과 High값을 나타낸 것이다. Fig.8, 9는 소자의 특성 변화에 영향을 주는 CMRR(Common Mode Input Signal Rejection Ratio)을 측정한 것이다.

3.2 고찰

Fig.2는 8pin 소자의 인가전압에 따른 소자의 방전전류를 나타낸 것으로 인가전압이 클수록 방전전류가 증가하는 경향을 나타낸다. 1,000[V]~4,000[V]까지는 소자의 lead와 방전전극과의 접촉방전에 의한 방전이며, 5,000[V]~10,000[V]까지는 공기절연파괴에 의한 공기방전이다. 7,000[V]에서 방전전류 값이 작아지는 이유는 인가전압에 따른 전계가 커질수록 소자의 lead와 방전전극과의 간격이 큰 상태에서 공기절연파괴가 일어나 소자의 lead와 방전전극과의 공기방 전 거리가 커지기 때문이다.

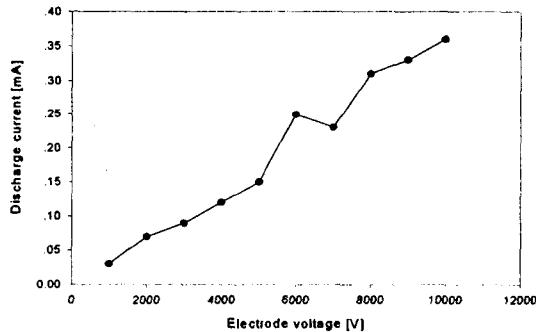


Fig.2 Discharge current of devices on ESD(DIP-8)

Fig.3은 14pin 소자의 인가전압에 따른 소자의 방전전류를 나타낸 것이다. 인가전압이 클수록 방전전류가 증가하는 경향을 나타낸다. 1,000[V]~4,000[V]까지는 소자의 lead와 방전전극과의 접촉방전에 의하여 방전이며, 5,000[V]~10,000[V]까지는 공기절연파괴에 의한 공기방전이다. 8,000[V]에서 방전전류 값이 작아지는 이유는 인가전압에 따른 전계가 커질수록 소자의

lead와 방전전극과의 간격이 큰 상태에서 공기절연파괴가 일어나 소자의 lead와 방전전극과의 공기방전 거리가 커지기 때문이다.

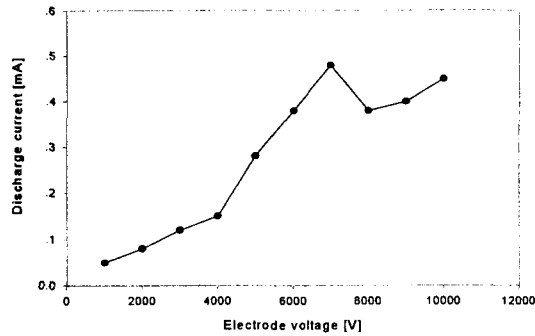


Fig3. Discharge current of devices on ESD(DIP-14)

Fig.4는 8pin 소자의 인가전압에 따른 정전기방전(ESD)후의 소자의 특성을 알아보기 위하여 정전기방전(ESD)후의 측정전압 Low값으로 정상적인 소자인 경우는 -3.5[V]정도이나 실험소자의 경우는 최소 -3.5[V]에서 최대 0.6[V]의 값을 보이고 있어 소자의 특성변화가 있는 것으로 나타났다.

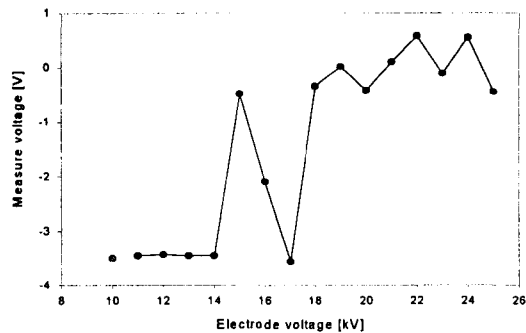


Fig4. Measured voltage(Low) of devices on ESD(DIP-8)

Fig.5는 High값으로 정상적인 소자인 경우의 4.2[V]정도이나 실험소자의 경우는 -3.6[V]에서 최대 4.1[V]값을 보이고 있는데, 인가전압이 11,000[V]~14,000[V]에서는 4.0[V]로 소자의 특성

변화가 발생하였으며, 특히 인가전압이 15,000[V]~25,000[V]에서는 0.9[V] 이하로 소자가 파괴된 것으로 분석되었다. 따라서 유도대전소자모델(FCDM) 실험에서 소자에 전하가 유도되어 어떤 경로를 통하여 정전기방전(ESD)이 이루어진다면 소자의 파괴 또는 특성변화를 초래한다. 소자의 파괴는 물론 특성변화의 경우도 정밀도를 요하는 기기에서는 기기의 오동작을 일으킬 수 있어 완전한 파괴는 일어나지 않았다고 하더라도 소자의 특성이 변화되었으므로 소자로서의 기능을 상실했다고 할 수 있다.

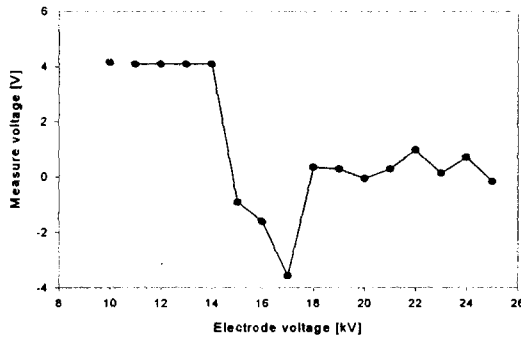


Fig5. Measured voltage(High) of devices on ESD(DIP-8)

Fig.6은 14pin 소자의 인가전압에 따른 정전기방전(ESD)후의 소자의 특성을 알아보기 위하여 정전기방전(ESD)후의 측정전압 Low값으로 정상적인 소자인 경우는 1[V]정도이나 실험소자의 경우는 최소 1.0[V]에서 최대 5.0[V]의 값을 보이고 있는데, 인가전압이 11,000[V]~

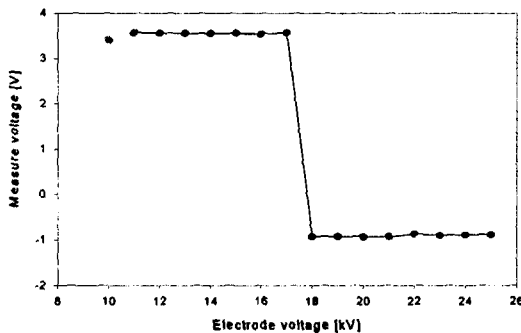


Fig.6 Measured voltage(Low) of devices on ESD(DIP-14)

17,000[V]에서는 1.0[V] 정도로 변화가 없었으나 18,000[V]~25,000[V]에서는 1.1[V]에서 5.0[V]로 소자가 파괴된 것으로 나타났다.

Fig.7은 High값으로 정상적인 소자인 경우의 3.5[V]정도이나 실험소자의 경우는 -0.9[V]에서 최대 3.5[V]값을 보이고 있어 인가전압이 11,000[V]~17,000[V]에서는 3.5[V]로 변화가 없었으나 18,000[V]~25,000[V]에서는 -0.8[V]에서 0.9[V]로 소자가 파괴된 것으로 분석되었다.

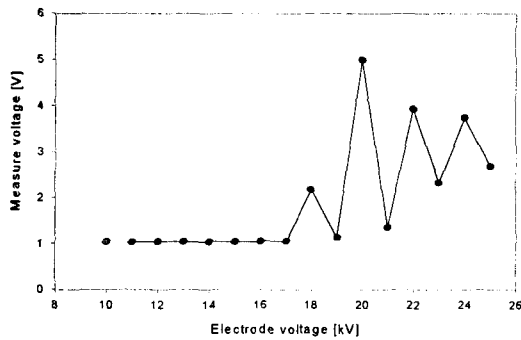


Fig.7 Measured voltage(High) of devices on ESD(DIP-14)

Fig.8은 8pin 소자의 Noise를 제거하는 특성을 알아보기 위해 CMRR(Common Mode Input Signal Rejection Ratio)을 측정된 것이다. 여기에서 정상소자의 경우 107[dB]정도이나 실험소

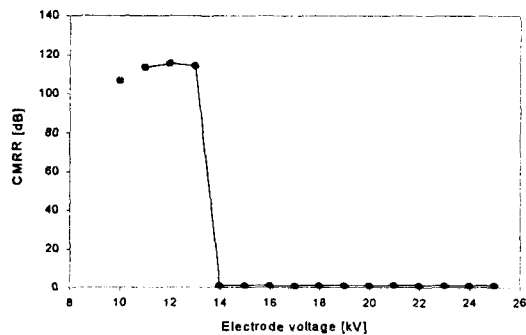


Fig.8 CMRR of devices on ESD(DIP-8)

자의 경우 인가전압이 11,000[V]~14,000[V]에서는 113[dB]~115[dB]로 특성변화가 있었으나, 15,000[V]~25,000[V]에서는 측정값이 0[dB]로 파괴된 것으로 나타났다. CMRR은 소자가 기기의 오동작에 직접적으로 영향을 줄 수 있어 실험소자의 경우 기기의 오동작을 초래할 수 있으므로 소자의 기능이 상실되었다고 할 수 있다.

Fig.9는 14pin 소자의 CMRR(Common Mode Input Signal Rejection Ratio)을 측정한 것이다. 여기에서 정상소자의 경우 107[dB]정도이나 실험소자의 경우 인가전압이 11,000[V]~17,000[V]에서는 100[dB]~105[dB]로 특성변화가 있었으나 18,000[V]~25,000[V]에서는 측정값이 0[dB]로 파괴된 것으로 나타났다.

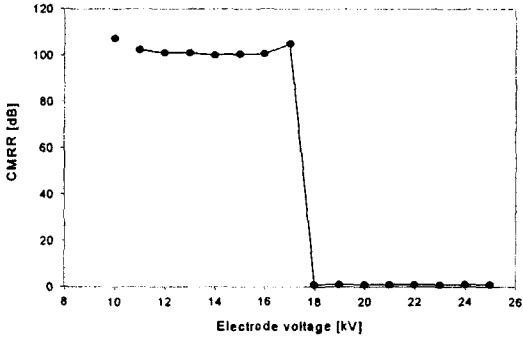


Fig.9 CMRR of devices on ESD(DIP-14)

4. 결론

반도체소자의 대전에 대한 위험성은 정전기방전(ESD) 현상을 분석함으로써 평가할 수 있다. 본 실험에서는 정전기방전(ESD)현상을 분석하기 위하여 소자의 전기장유도에 의한 대전현상인 유도대전소자모델(FCDM)에 의한 실험을 통하여 다음과 같은 결과를 얻었다.

- 1) 인가전압(전극전압)이 높을수록 정전기방전(ESD)에 의한 방전전류는 크다.
- 2) 정전기방전(ESD)은 1,000[V]~4,000[V]까지 전압에서는 접촉방전이지만, 5,000[V]~25,000[V] 전압에서는 소자 lead와 방전전극 사이의 공기절연파괴에 의한 공기방전이 일어난다.
- 3) 8pin 소자의 경우 인가전압이 11,000[V]~14,000[V]에서는 특성변화만 나타났으며, 15,000[V]~25,000[V]에서는 소자의 파괴가 일어났다.
- 4) 14pin 소자의 경우 인가전압이 11,000[V]~17,000[V]에서는 특성변화가 없었으며, 18,000[V]~25,000[V]에서는 소자의 파괴가 일어났다.

- 5) 8pin 소자의 경우 CMRR을 측정한 결과 인가전압이 11,000[V]~14,000[V]에서는 특성변화만 나타났으며, 15,000[V]~25,000[V]에서는 소자의 파괴가 일어났다.
- 6) 14pin 소자의 경우 CMRR을 측정한 결과 인가전압이 11,000[V]~17,000[V]에서는 특성변화만 나타났으며, 18,000[V]~25,000[V]에서는 소자의 파괴가 일어났다.

이상의 유도대전소자모델(FCDM)실험 결과로부터 정전기방전(ESD)으로 인한 반도체소자 위험성의 판단기준이 되는 특성변화와 파괴여부를 알 수 있었다. 향후 손상된 소자에 대한 보다 정확한 특성변화와 파괴여부를 판단하기 위해서는 소자내부의 상태분석과 다양한 소자에 대한 실험 및 분석이 필요한 것으로 판단된다.

참고문헌

- (1) P. R. Bossard, R. G. Chemellic and B. A. Unger, ESD damage from Triboelectrically Charged IC pins, EOS / ESD Symposium Proceedings, EOS-2, 17, 1980
- (2) R. G. Renninger, M. C. Jon, D. L. Lin, T. Diep and T. L. Welsher, A field-induced charged-device model simulator, EOS / ESD Symposium Proceedings, EOS-11, 59, 1989
- (3) M. C. Jon and T. L. Welsher, An Experimental Investigation of the Electrostatic Discharge(ESD) Mechanism in Packaged Semiconductor Devices, Journal of Electrostatics, 32, 43-70, 1994
- (4) W. D. Greason, Constant Energy Device Test for Electrostatic Discharge(ESD) of Semiconductor Devices, IEEE Trans., Vol.33, No.1, 286-297, 1997
- (5) 和泉健吉, 靜電氣についての基礎實驗, 靜電氣學會, 18, No.4, 376-384, 1994