GPS/GLONASS 수신기용 디지털 상관기 설계

Digital Correlator Design for GPS/GLONASS Receiver

°조 득 재*, 최 일 홍*, 박 찬 식**, 이 상 정*

* 충남대학교 전자공학과(Tel : 042-825-3991; E-mail : panda@cslab.cnu.ac.kr)
** 충북대학교 전기전자공학부(Tel : 042-261-3259; E-mail : chansp@cbucc.chungbuk.ac.kr)

Abstract : This paper designs a digital correlator for the integrated GPS/GLONASS receiver consisting of DCO, carrier cycle counter, code generator, code phase counter, mixer, epoch counter, accumulator. It is designed using Verilog-HDL(Verilog-Hardware Description Language) and synthesized using EDA(Electronic Design Automation) tools. The performance of the designed digital correlator is verified by the functional simulation and real satellite tracking experiments.

Keywords : GPS, GLONASS, correlator

1. 서론

GPS(Global Positioning System)와 GLONASS(Global Navigation Satellite System)는 위치와 시각을 제공하는 기초 기술이며 항법 분야, 측지 분야, 자세 측정 및 제어 분야, 시각 동기 분야에 이르기까지 응용 분야가 다양하다. GLONASS는 GPS에 비해 북반구 쪽에 위치한 우리나라에 유리한 형태의 위성 배치를 가지고 있어 GPS와 결합하면 GPS나 GLONASS를 단독으로 사용할 때 보다 정확한 항법해를 구할 수 있으며, 도심이나 산악지역등과 같이 가시 위성수가 제한된 곳에서의 항법 성능을 향상시킬 수 있고, 가시 위성수가 증가하여 초기 시작 시간도 단축시킬 수 있다는 장점을 갖는다. 이러한 GPS/GLONASS 통합 기법을 실현하기 위해서는 수신기의 핵심 요소인 디지털 상관기의 개발이 필수적이다.

설계된 디지털 상관기는 HDL(Hardware Description Language)을 이용하여 설계되었으며 회로설계 프로그램으로 논리 합성을 통해 설계된 회로의 기능이 올바르게 동작함을 확인하였다.

본 논문의 구성은 2절에서 GPS/GLONASS 디지털 상관기의 구조 및 설계에 대해 설명하고, 3절에서 검증용 보드를 제작하여 설계된 디지털 상관기의 FPGA 구현을 통한 성능을 고찰 평가한다. 그리고 4절에서 본 논문의 결론을 맺는다.

2. GPS/GLONASS 디지털 상관기 설계

2.1 디지털 상관기 구조

디지털 상관기는 입력된 신호를 대역 역확산하는 기능을 가진 부분으로 그림 1과 같이 반송파 발생기(Carrier DCO), 반송파 주기 카운터(Carrier Cycle Counter), 코드 클럭 발생기(Code DCO), 코드 발생기(Code Generator), 코드 위상 카운터(Code Phase Counter), 혼합기(Mixer), 에폭 카운터(Epoch Counter), 누산기(Accumulator)로 구성된다[3]. 본 논문에서는 GPS/GLONASS 디지털 상관기를 GPS의 경우 샘플링 클럭이 5.714MHz이고, GLONASS의 경우에는 30MHz의 샘플링 클럭으로 동작하는 구조로 설계한다.

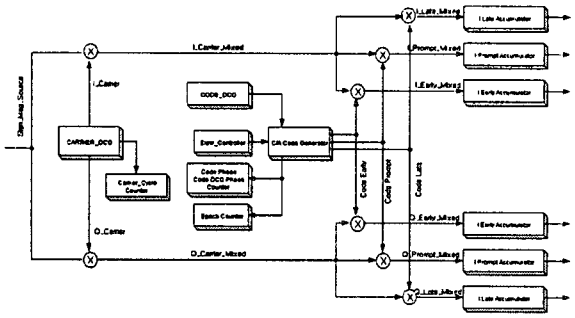

그림 1. 디지털 상관기 블록도
Fig. 1. Block Diagram of Digital Correlator

2.1.1 주파수 발생기

반송파와 코드의 주파수를 생성하기 위해 주로 DCO(Digitally Controlled Oscillator)가 사용된다. 그림 2는 주파수 발생기의 구조이며, DCO에 의해 생성된 주파수 f_{out}은 식 (1)에 의해 결정된다.

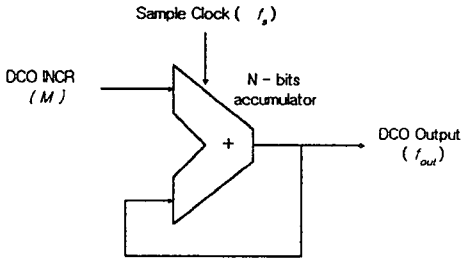

그림 2.DCO의 구조
Fig. 2. Digitally Controlled Oscillator

$$f_{out} = f_s \frac{M}{2^N} \quad (1)$$

여기에서 N은 누산기의 비트 수, f_s는 누산기의 클럭을 나타내며, M의 값에 의해 DCO의 출력 주파수가 결정된다. 반송파와 코