

# SDB와 전기화학적 식각정지에 의한 매몰 cavity를 갖는 SOI구조의 제작

## Fabrication of SOI structures with buried cavities by SDB and electrochemical etch-stop

강경두\*, 정수태\*, 류지구\*, 정재훈\*\*, 김길중\*\*, 정귀삼\*\*

(Kyung-Doo Kang\*, Su-Tae Chung\*, Gi-Kyu Ryu\*, Jae-Hoo Jeong\*\*, Gil-Jung Kim\*\*, Gwi-Yang Chung\*\*)

### Abstract

This paper described on the fabrication of SOI(Si-on-insulator) structures with buried cavities by SDB technology and electrochemical etch-stop. The cavity was fabricated the upper handling wafer by Si anisotropic etch technique. SDB process was performed to seal the fabricated cavity under vacuum condition at  $-760\text{mmHg}$ . In the SDB process, captured air and moisture inside of the cavities were removed by making channels towards outside. After annealing( $1000^\circ\text{C}$ , 60 min.), the SDB SOI structure was thinned by electrochemical etch-stop. Finally, it was fabricated the SDB SOI structure with buried cavities as well as a accurate thickness control and a good flatness.

**Key Words(중요용어) :** SDB; Si direct bonding(실리콘기판 직접접합), SOI; Si-on-insulator(실리콘 온 인슐레이터), Electrochemical etch-stop(전기화학적 식각정지), buried cavity(매몰 케비터),

### 1. 서 론

최근, SOI(Si-on-Insulator)구조의 기판은 구조적으로 활성영역(active region)이 기판으로부터 완전하게 격리되어 있기 때문에 MOS FET의 경우 n<sup>+</sup>-p 간의 접합면적을 최소화할 수 있으며 소자설계의 단순성과 유연성에 우수한 장점을 가지고 있다. 접합면적의 최소화는 접합 기생 정전용량의 현저한 감소를 초래하여 빠른 동작 속도를 얻을 수 있다. 또한 높은 집적도에 의한 연결선 용량 및 소자 지연시간도 더욱 감소시킬 수 있다. 이러한 SOI구조의 장점들은 고속, 고집적, 저전력소자, 내방사선 그리고 고

도 더욱 감소시킬 수 있다. 이러한 SOI구조의 장점들은 고속, 고집적, 저전력소자, 내방사선 그리고 고온용 전자소자 개발에 광범위하게 응용되고 있으며, SOI구조의 기판을 이용한 공정기술은 회로의 직접도한계를 극복할 대안으로 기대되는 3D-IC 개발의 바탕기술로써 주목받고 있다.<sup>[1]</sup>

SOI구조의 기판 제작기술 중, 산화막이 형성된 두장의 Si기판을 직접접합(SDB : Si Direct Bonding)한 후, 한 면의 Si기판을 화학적·기계적 연마로써 박막화하는 방법은<sup>[2]</sup> 완벽한 단결정 Si 박막과 우수한 절연특성을 갖는 매몰층 산화막 뿐만 아니라 대면적의 SOI기판을 제작할 수 있다. 특히, SDB SOI구조를 MEMS(Micro Electro Mechanical System) 분야에 응용할 경우 매몰 cavity 혹은 3차원 미세구조물을 갖는 Si 벌크 마이크로머신용 후막 혹은 박막 다이어프램, 켄터레버, 브릿지<sup>[3]</sup> 등을 보다 쉽고 정확하게 제작이 가능하며 단결정 Si의 우수한 전기

\* 부경대학교 전자공학과  
(부산광역시 남구 대연3동 599-1번지)

\*\* 동서대학교 정보통신공학부  
(부산광역시 사상구 주례동 산 69-1번지, Fax : 051-320-2122, E-mail : gschung@dongseo.ac.kr)

적·기계적 특성을 이용할 수 있기 때문에 최근 활발히 연구·개발되고 있다.<sup>[4, 5]</sup> 그림. 1은 Si 직접접합 기술을 이용한 SOI구조의 기판으로 micro-valve와 micro-switch를 제작한 MEMS기술에의 응용의 예를 보여준다. 각각 (a),(c) 구동전과 (b),(d) 구동후를 나타낸다. 그림. 2는 매물 cavity 상부에 캔티레버를 제작하여 하부전극/PZT/상부전극 순으로 박막을 증착하여 제작되는 압전구동소자(진동 혹은 초음파 센서)를 개략적으로 나타낸 것이다.

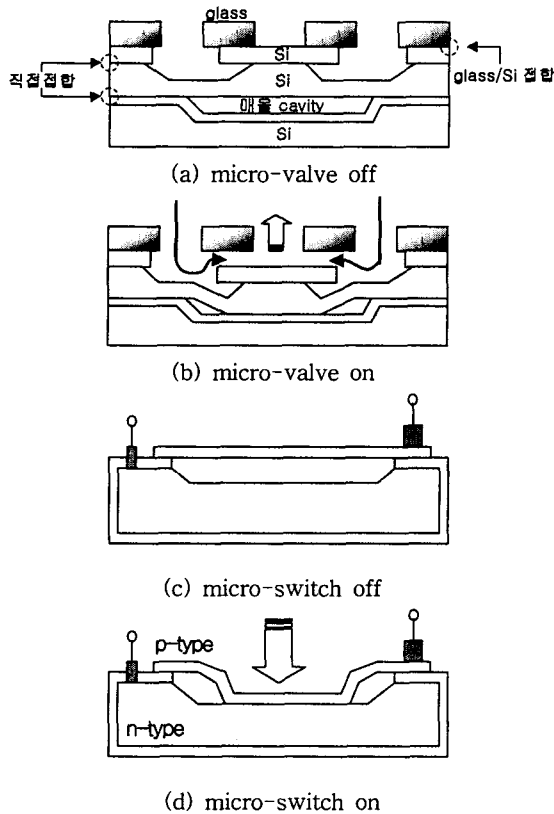


그림 1. Si 직접접합에 의해 제작된 SOI구조의 응용.

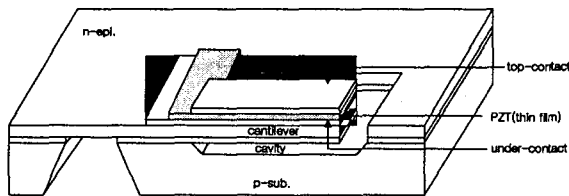


그림 2. 매물 cavity를 갖는 SDB SOI구조의 압전구동소자에의 응용(진동 및 초음파센서.).

따라서, 본 논문에서는 마이크로머신용 캔티레버 및 브릿지와 같은 3차원 구조물을 제작하기 위한 선행공정으로써, SDB기술<sup>[6]</sup>과 전기화학적 식각정지법<sup>[7]</sup>을 이용하여 매물 cavity를 갖는 SOI구조의 기판을 제작하였다.

## 2. 실험

본 연구에서 사용된 Si기판은 (100)면의 결정방위를 가지고 5000Å의 thermal oxide가 성장된 p형 handling기판과 (100)면의 결정방위를 가지는, p-sub.상에 15 $\mu$ m의 n-epi.가 성장된 active기판을 사용하였으며, 크기는 3.0cm×3.0cm이다.

그림. 3은 매물 cavity를 갖는 SOI구조의 기판을 제작하기 위한 공정을 나타낸다. 열산화막이 성장된 각각의 기판 중 p-형 handling기판은 전기화학적 식각정지시 n-epi.쪽으로 바이어스인가를 위하여 SDB 공정전에 이방성 식각하였다. 식각이 완료된 기판은 p-sub./n-epi.기판과 HF 2.0% 희석용액에서 1분간 전처리 한 후 초기접합을 수행하였다. 초기접합이 완료된 시료는 1000 $^{\circ}$ C에서 60분간 열처리를 실시한 후, 전기화학적 식각정지법으로 n-epi.층의 두께를 제어함으로써 매물 cavity를 갖는 SOI구조를 제작하였다.

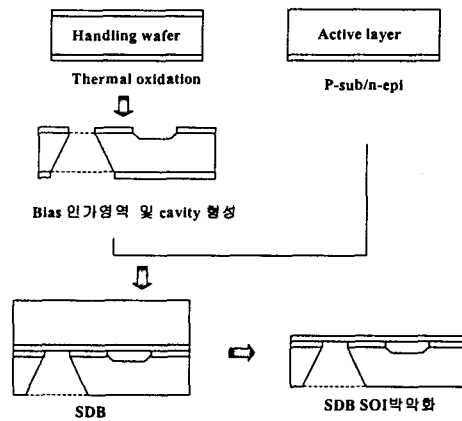
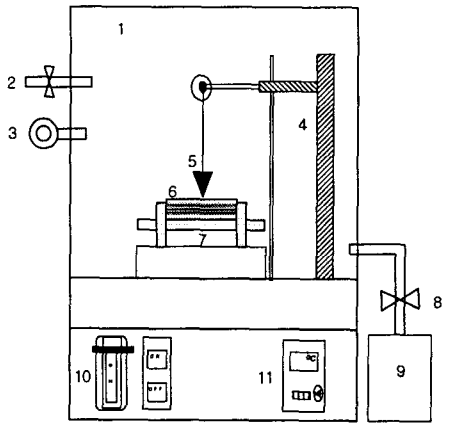


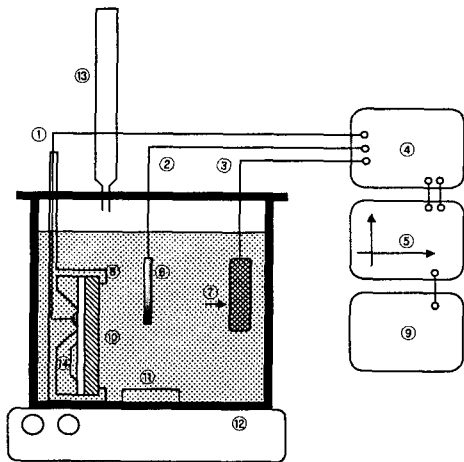
그림 3. 매물 cavity를 갖는 SOI 구조 제작의 공정 순서도.

그림 4와 5는 SDB기술과 전기화학적 식각정지를 수행하기 위해 사용한 장치도를 각각 나타낸 것이다. SDB 장치는 초기접합시 사용된 시료가 먼지와 같은 외부 오염물과의 접촉을 억제하기 위해 rotary pump를 이용하여 -760mmHg으로 진공을 유지하였다.



- |                            |                |
|----------------------------|----------------|
| 1. Vacuum chamber          | 2. Leak valve  |
| 3. Vacuum gauge            | 4. Stand       |
| 5. weight point            | 6. Sample      |
| 7. Teflon holder           | 8. Main valve  |
| 9. Rotary pump             | 10. Main power |
| 11. Temperature controller |                |

그림 4. 초기접합 공정을 위한 진공 장치도.



- |                       |                        |
|-----------------------|------------------------|
| 1. Working Electrode  | 2. Reference Electrode |
| 3. Counter Electrode  | 4. Potentiostat        |
| 5. Plotter            | 6. Ag/AgCl             |
| 7. Pt mesh            | 8. Teflon holder       |
| 9. PC                 | 10. Sample             |
| 11. Magnetic stir-bar | 12. Hot plate          |
| 13. Reflux condenser  |                        |

그림 5. 전기화학적 식각정지를 위한 장치도.

그리고 접합시 약간의 하중을 인가하므로써 접합이 시료의 중심에서 외부로 진행되도록 하여 접합시 발생하는 void를 억제하고자 하였다.

전기화학적 식각정지를 위한 장치는 접합이 완료된 시료를 박막화하여 최종적으로 cavity를 갖는 SOI구조를 제작하기 위해 사용되었다. 사용된 이방성 식각용액은 TMAH 20wt.%, 식각용액의 온도는 80°C로 유지하였다. 식각이 진행되는 동안 Si기판의 두께변화에 따른 인가전압값의 변화를 막기위해 Potentiostat를 사용하여 WE(Working Electrode)와 RE(Reference Electrode)사이에서 항상 일정한 전압을 공급하였다. 용액의 교반 효과를 위해서 magnetic stirring을 사용하였으며, 온도는 ±0.5°C로 유지하였다. 식각용액과 ohmic contact간의 접촉을 방지하기 위하여 Teflon, O-ring 및 wax를 이용하여 샘플 홀더를 제작하였다.

### 3. 결과 및 고찰

그림 6은 온도 80°C, TMAH 20wt.% 식각용액에서 인가전압에 따른 p-type의 누설전류 특성 곡선을 나타낸 것이다. scan rate은 5mV/sec이고, 인가 전압은 -2V~2V이다. 그리고 사용된 p형 기판의 농도는  $10^{14} \sim 10^{15} \text{ cm}^{-3}$ 이다. OCP점은 -1.4V로 이후 PP점에 도달하기 전까지는 누설전류가 계속해서 증가한다. 1.2V의 PP점에 도달하게 되면 계속해서 증가하던 누설전류가 Si 표면에서 양극산화현상으로 인해 갑자기 감소된다. PP점에서의 최대 전류밀도는 약  $0.5 \text{ mA/cm}^2$ 로 측정되었고, 식각정지가 일어난 후의 누설전류밀도는  $0.035 \sim 0.046 \text{ mA/cm}^2$ 를 유지하였다.

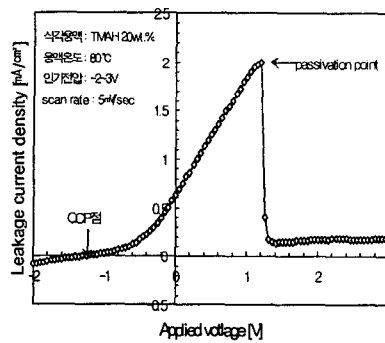


그림 6. p형 Si기판의 인가전압에 따른 누설전류 특성 곡선.

그림 7은 전기화학적 식각정지법에 의해 제작된 SDB SOI기판의 단면도 SEM사진을 나타낸 것이다.

사진에서, 전기화학적 식각정지법에 의해 p-sub.기판 상에 성장된 15  $\mu\text{m}$ 의 n-epi.층에서 식각이 정확하게 정지됨을 알 수 있다. 또한, 식각정지된 기판의 n-epi.층 두께가 15  $\mu\text{m}$ 으로 전체적으로 균일하며 전기화학적 식각정지법은 SDB SOI기판 제작에 적용할 경우, SOI박막의 정확한 두께제어가 가능함을 알 수 있었다<sup>[8]</sup>. 그림 상부의 epoxy는 단면 SEM분석을 위해 시료의 틀로써 사용된 것이고, 능동층 상부와 Si단면에 부분적으로 나타나는 굴곡은 사용된 시료의 단면 분석을 위해 polishing 과정에서 발생한 것으로 사료된다.

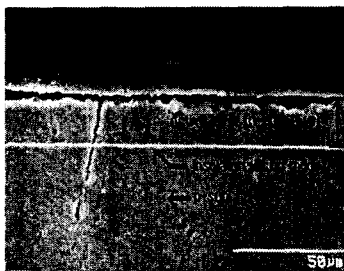


그림 7. 전기화학적 식각정지법에 의해서 제작된 SDB SOI구조의 단면 SEM사진.

그림 8은 SDB와 전기화학적 식각정지법에 의해 제작된 매몰 cavity를 갖는 SOI구조의 단면 SEM사진을 나타낸 것이다. 실험은 handling 기판(p-type)과 p-sub./n-epi.(15 $\mu\text{m}$ )기판을 사용하여 SDB와 전기화학적 식각정지 공정을 순차적으로 수행하였다. 식각정지된 cavity상부의 능동층 두께는 15 $\mu\text{m}$ 이고, 매몰 cavity의 깊이와 폭은 각각 18, 900 $\mu\text{m}$ 로 제작하였다. 그림(a)와 (b)는 각각 매몰 cavity를 갖는 SDB SOI구조의 전체와 코너부분의 확대한 단면 SEM사진이다.

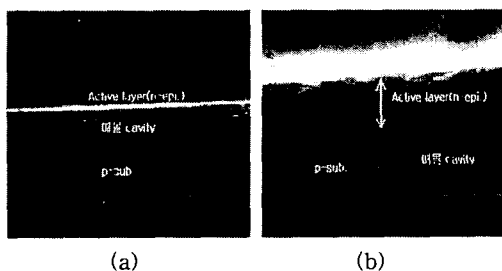


그림 8. 매몰 cavity를 갖는 SDB SOI구조의 (a) 전체 단면 및 (b) 확대 SEM사진.

#### 4. 결 론

본 연구에서는 SDB와 전기화학적 식각정지법을 이용하여 매몰 cavity를 갖는 SDB SOI의 구조를 제작하였다. SDB는  $\text{SiO}_2/\text{SiO}_2$ 의 초기접합 수행을 위해 HF 2%를 전처리 용액으로 사용하였다. PP점과 OCP점을 분석하여 전기화학적 식각정지법으로 능동층 두께가 15 $\mu\text{m}$ 이고, 깊이와 폭이 각각 18, 900 $\mu\text{m}$ 인 매몰 cavity를 갖는 SDB SOI 구조를 제작했으며, 다양한 크기의 매몰 cavity를 갖는 SDB SOI구조를 제작 가능함을 확인하였다.

따라서, SDB기술과 전기화학적 식각정지법은 정확한 두께제어와 우수한 식각정지 표면 그리고 매몰 cavity를 갖는 SOI구조의 기판 제작이 가능하기 때문에 DRIE기술과 결합하면, 볼크 마이크로머신용 MEMS분야에서 유용하게 응용할 수 있을 것으로 기대된다.

#### 참고 문헌

- [1] C. C. H. et. al., "Understanding of enhanced sensitivity to hot carrier degradation in drain engineered n-FET's", *Int. Conf. on Solid State Device & Materials*, (1992)512.
- [2] T. Abe, et. al., "Silicon Wafer Bonding Mechanism for Silicon-on-Insulator Structures", *Jpn. J. Appl. Phys.*, 29(1990)L2311.
- [3] J. M. Noworolski, et. al., "Fabrication of SOI wafers with buried cavities using silicon fusion bonding and electrochemical etch-back", *Sensors & Actuators A*, 54(1996)709.
- [4] K. Mitani, et. al., "Formation of Interface Bubbles in Bonded Silicon Wafer : A Thermodynamic Model", *Appl. Phys. letter A*, 54(1992)543.
- [5] S. Cristoloveanu, et. al., "Electrical characteristics on of silicon on insulator materials and device", *Kluwer Academic*, (1995)16.
- [6] G. S. Chung, et. al., "A study on pre-bonding according to HF pre-treatment conditions in Si wafer direct bonding", *J. Korea Sensors Society*, 9(2000)134.
- [7] G. S. Chung, et. al., "Fabrication of high-yield Si microdiaphragms using electrochemical etch-stop in TMAH/IPA/pyrazine solutions", *Proceedings of SPIE*, 3892 (1999)346.
- [8] G. S. Chung, et. al., "The fabrication of a SDB SOI substrate by electrochemical etch-stop", *J. KIEEME*, 13(2000)431.