

Multi Operation을 위한 0.5 μ m Dual Gate 고전압 공정에 관한 연구

A Study on the 0.5 μ m Dual Gate High Voltage Process for Multi Operation Applications

송한정, 김진수*, 광계달*
(Han-Jung Song, Jin-Su Kim*, Kae-Dal Kwack*)

Abstract

According to the development of the semiconductor micro device technology, IC chip trends the high integrated, low power tendency. Nowadays, it can be showed the tendency of single chip in system level. But in the system level, IC operates by multi power supply voltages. So, semiconductor process is necessary for these multi power operation. Therefore, in this paper, dual gate high voltage device that operate by multi power supply of 5V and 20V fabricated in the 0.5 μ m CMOS process technology and its electrical characteristics were analyzed. The result showed that the characteristics of the 5V device almost met with the SPICE simulation, the SPICE parameters are the same as the single 5V device process. And the characteristics of 20V device showed that gate length 3 μ m device was available without degradation. Its current was 520 μ A/ μ m, 350 μ A/ μ m for NMOS, PMOS and the breakdown voltages were 25V, 28V.

Key Wards(중요용어) : High voltage, Multi operation, Dual gate, CMOS, Process

1 장 서 론

반도체 미세 소자 기술이 발전함에 따라 집적회로는 갈수록 고집적, 저전력화 하는 추세에 있고 이제는 시스템 레벨의 단일칩화도 가능하게 되었다. 그러나 시스템 레벨의 집적회로는 다양한 전원전압으로 동작되므로 이러한 전압 동작 응용을 위한 공정은 필수적이라 할 수 있다. 특히 멀티 전압 동작 소자를 제조하는 공정 기술은 이미 구축된 기본 공정에 새로이 필요한 전압의 소자 공정을 추가하는 것이 보통이다. 이 경우에 추가된 공정으로 인하여 기존의 소자 및 공정 특성이 변하게 되면 이미 구축

되어진 SPICE 모델 및 라이브러리 특성이 변하게 되어 새로운 모델 및 라이브러리 구축이 필수적이 된다. 이는 수명 주기가 짧은 로직 시장 상황에 대응하기 위해서는 치명적이 결과를 초래한다. 따라서 멀티 전압 동작 소자 공정 기술에서 가장 중요한 것은 기존 공정의 특성 변화 없이 새로이 추가된 소자의 특성 마진을 확보하는 것이라 하겠다. 이에 본 논문에서는 5V와 20V에서 멀티 전압 동작이 가능한 이중 게이트 소자를 종래의 0.5 μ m 5V CMOS 공정기술을 기본으로 하여 20V 고전압 공정을 추가하여 구현하였다. 또한 소자의 전기적 특성 평가에 대하여는 종래의 5V 소자는 SPICE 시뮬레이션 결과와 비교 분석하였고, 20V 소자는 소자 마진을 평가하여 사용 가능한 게이트 길이를 구하였다.

충청대학 전자공학과
(충북 청원군 강내면 충청대학,
Fax: 043-230-2279
E-mail : hjsong@chch.ac.kr)

* 한양대학교 전자공학과
(서울시 성동구 행당동 한양대학교)

2 장 0.5 μ m 이중 게이트 고전압 공정

0.5 μ m CMOS 이중게이트(dual gate) 고전압 공

정은 정상적인 CMOS 공정에 고전압 소자를 위한 well공정과 drift 형성공정 등을 추가함으로써 이루어진다. 그림 1에 본 공정에 대한 개략적인 흐름도를 보이고 있다. 고전압의 well 공정은 정상적인 well 공정에 비해 도핑농도를 낮추어 (nwell:P,8.0E12, pwell:BF2,1.5E13) 구현하였다.

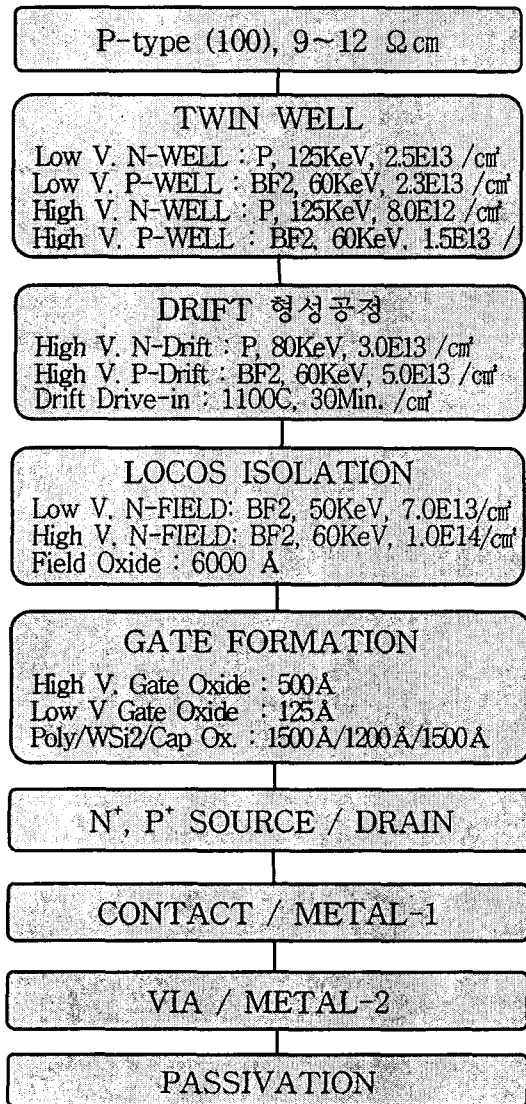
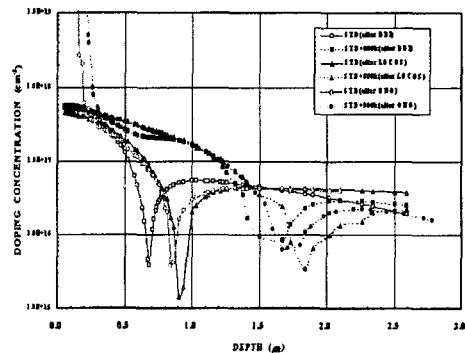


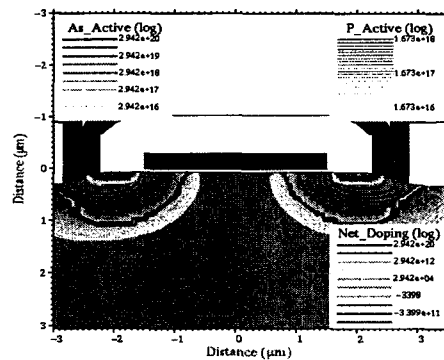
Fig 1. 이중 게이트 소자 공정 흐름도

5V의 정상전압 소자는 LDD 구조를, 20V의 고전압 소자는 DDD 구조를 사용하였다. 이때 고전압 소자의 드리프트 형성 공정에는 1100℃, 30분의 드리프트

어닐링, n-drift에 P, 3.0E13, n-drift에 BF2, 5.0E13을 사용하였다. 그림 2는 고전압 NMOS 소자의 최적 drift 조건을 설정하기 위하여 조건별 SUPREM-4에 의한 공정 모의실험한 1, 2차원 drift 도핑 분포 결과이다. 그림 2(a)의 ONO 공정 후의 1차원 도핑분포를 보면, n+ 소스 및 드레인의 접합깊이가 0.17μm 정도, drift 영역의 접합깊이는 0.85μm 정도로 DDD 구조임을 알 수 있다. 그림 2(b)는 이에 대한 2차원 도핑 분포도로 드리프트 I/I를 P, 80K, 3E13의 조건으로 하였으며 역시 그림 2(b)와 같이 DDD 구조임을 보여주고 있다.



(a) 1차원 도핑분포



(b) 2차원 도핑분포

Fig 2. 고전압 NMOS 드리프트 도핑 분포

그림 3은 본 논문의 이중 게이트 공정에서 사용한 산화막 두께 600Å의 고전압 소자의 게이트 부분 SEM 사진으로 좌, 우측에 고전압 게이트 영역이 나타나 있음을 볼 수 있다.

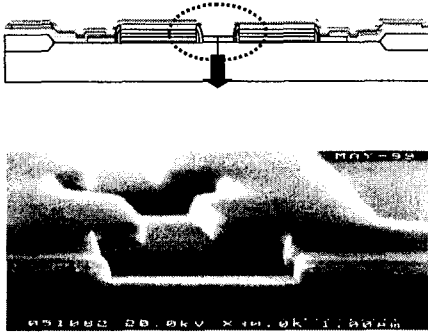
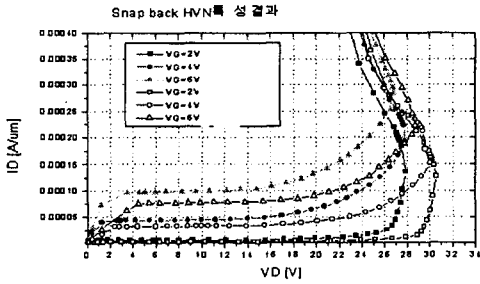


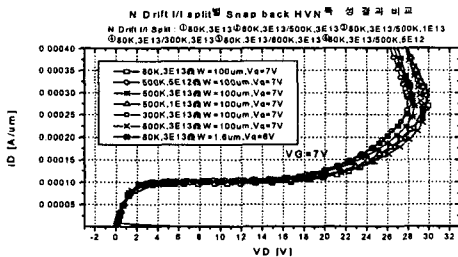
Fig 3. 고전압 소자 게이트 SEM 사진

3 장 소자 특성 분석

제작된 $0.5\mu\text{m}$ 이중 게이트(dual gate) 5V 저전압 및 20V 고전압 CMOS 소자의 전기적 특성 측정을 실시하였다. 그림 4(a)는 여러 게이트 전압 ($V_G=2V, 4V, 6V$)에 따른 고전압 NMOS 소자의 snap-back 현상으로 고전압 동작전압 20V를 훨씬 상회하는 26V~30V 부근에서 이러한 현상이 나타나는 안정적인 소자 특성을 보이고 있다. 그림 4(b)는 N drift I/I 조건에 따른 게이트 전압 $V_G=7V$ 에서의 snap-back 특성을 비교해 보이고 있는데 공정조건에 따라 약간의 차이를 제외 하고는 대동소이하다.



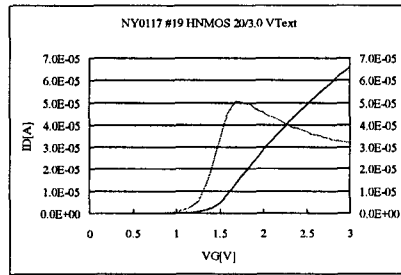
(a) 게이트 전압에 따른 snap-back 특성



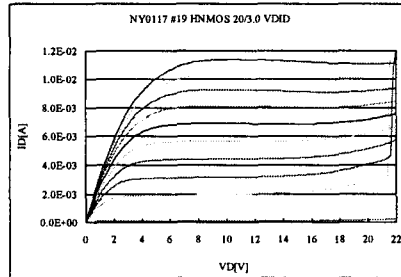
(b) N Drift I/I Split 별 snap-back

Fig 4. CMOS 고전압 소자 snap-back 특성

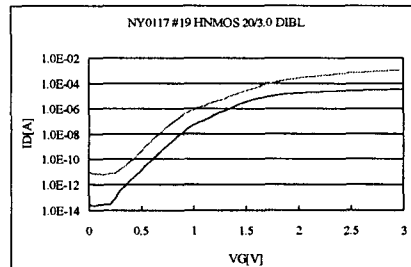
그림 5(a)는 고전압 NMOS 소자($W/L=20\mu\text{m}/3\mu\text{m}$)의 문턱전압 측정결과로 대략 1.3V의 V_T 를 나타내고 있다. 그림 5(b)는 고전압 NMOS 소자의 전류전압 특성 곡선(I-V curve) V_{GS} 를 2V에서 22V까지 변화시켜 측정하였다. $V_{DS}=V_{GS}=20V$ 의 동작전압 조건에서 대략 10mA 정도의 드레인 전류를 얻을 수 있었다. 그림 5(c)는 $V_{DS}=20V$ 와 0.1V의 조건에서의 $I_{DS}-V_{GS}$ 특성곡선으로 $1\mu\text{A}$ 의 드레인 전류 조건에서 대략 100mV의 DIBL을 보이고 있다. 그림 5(d)는 NMOS 고전압 소자의 항복전압 특성 측정결과로 대략 25V정도 나타나는데 이는 정상적인 20V의 동작전압에 비해 충분한 여유 값이라 할 수 있다.



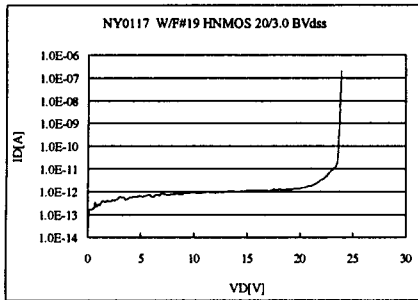
(a) threshold voltage V_T



(b) I-V curve



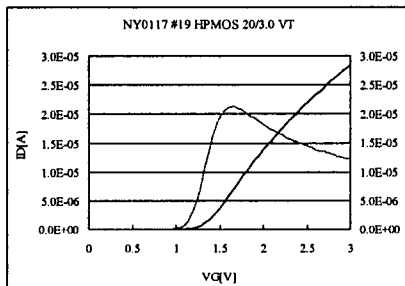
(c) DIBL



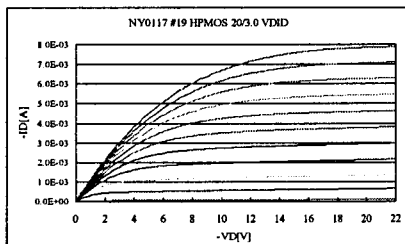
(d) breakdown voltage BV

Fig 5. 제작된 CMOS 고전압 NMOS 소자 특성

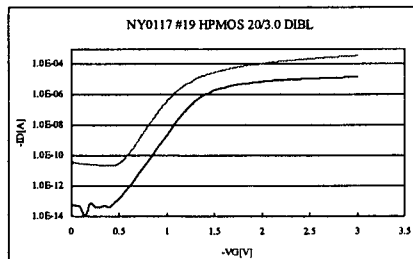
마찬가지로 고전압 PMOS 소자($W/L=20\mu\text{m}/3\mu\text{m}$)의 기본적인 특성, 즉 V_T , $I_{ds}-V_{ds}$, DIBL, BV 측정결과를 그림 6(a)~그림 6(d)에 나타내고 있는데 정상적인 고전압 동작에 충분한 특성을 보이고 있다.



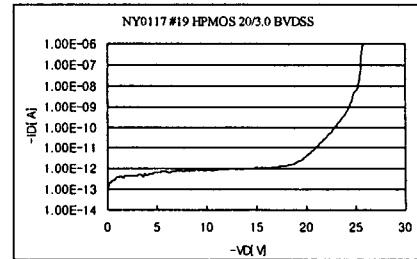
(a) threshold voltage V_T



(b) I-V curve



(c) DIBL



(d) breakdown voltage BV

Fig 6. 제작된 CMOS 고전압 PMOS 소자 특성

4 장 결론

이상의 실험 결과로 미세화된 고집적 반도체 소자 제조 공정에서 멀티 전압으로 동작할 수 있는 반도체 칩을 제조할 수 있는 공정 기술을 확보할 수 있었다. 특히 본 실험에서는 이중 게이트 구조를 채용하여 5V 동작 소자 공정에서 소자 특성의 변화 없이 게이트 길이 $3\mu\text{m}$ 이하에서 20V 이상의 고전압 소자를 확보할 수 있었다. 이를 기초로 향후 추가적인 공정 최적화를 통하여 sub-micron 소자 공정에서 다중 전압 동작 소자 제조 공정 기술 확보가 가능할 것으로 판단된다. 이는 mixed signal 제조 공정 기술과 더불어 로직 반도체 제조에 유용할 것으로 판단된다.

참고 문헌

- [1]. R. Jacob Baker, Harry W. Li, David E. Boyce, *CMOS Circuit Design, Layout, and Simulation*, IEEE PRESS, 1998.
- [2]. Roubik Gregorian and Gabor C. Temes, *Analog MOS Integrated Circuits*, Willy Interscience, 1986.
- [3]. B. Jayant Baliga, *Power Semiconductor Devices*, PWS Publishing Company, 1996.
- [4]. SUPREM4, Two dimensional process simulation program, AVANTI users manual, version 6.6, 1998.
- [5]. DAVINCI, Three-dimensional process simulation program, AVANTI users manual, version 4.1, 1998.
- [6]. Kuniaki Koyama, "Future DRAM process technology", Semicon Korea Technical Symposium 99., p13.