

차세대 저 전압, 고속 동작 요구에 대응하는

대용량 메모리의 개발

A High Density Memory Device for

Next Generation Low-Voltage and High-Speed Operations

윤홍일, 이현석, 유형식, 천기철

(Hongil Yoon, Hyun Suk Lee, Hyung Sik Yoo, Ki Chul Chun)

Abstract

1.8V, 4Gb DDR SDRAM 설계 및 제작을 수행하였다. DRAM 동작 시 발생하는 Bit Line 간 Coupling Noise 를 보상하기 위한 Twisted Open Bit Line 구조를 제안하였다. Low Voltage Operation 으로 인한 Bit Line Sense Amplifier 의 동작 저하를 보상하기 위한 BL S/A Pre-Sensing 방식 및 Reference Bit Line Voltage Calibration 구조를 제안하였다. Chip 면적 증가로 인한 동작속도 감소의 보상을 위해 Repeater Driver 구조를 Core 및 Periphery Circuit 에 적용하여 동작 대비 Chip 면적의 증가를 최소화 하도록 하였다.

Key Words (중요용어) : memory, high density, high speed, low voltage, DRAM

서론

Twisted Open Bit Line 구조

Memory 제조 기술의 개발은 선평 0.1μm 공정까지 가능하게 되었다. 미세 선평 공정의 개발은 Gigabit 급의 Memory 시대로 접어들게 될 수 있는 계기가 되었다. 향후 Memory 소자는 고집적 경향 뿐만 아니라, 저 전압 동작에 주안을 두어야 할 것이다.

이러한 목표에 적합한 4Gb DRAM 제작을 수행하였다. 미세 선평 공정은 Chip 면적 감소를 이룰 수 있는 계기가 됐지만, Giga 급 소자에 이르러서는 전체적인 Chip 면적이 이전 소자에 비해 증가하게 되며, 이로 인하여 신호선의 부하가 증가하게 되어 DRAM 고속 동작에 제약을 주게 된다.

Twisted Open BL 구조, Bit Line Sense Amplifier (BL S/A) Pre-Sensing 구조, 그리고 Active Calibration of Reference Bit Line Voltage 등을 사용하여 앞서 언급한 문제 해결에 접근하도록 하였다. Memory Array 크기 증가는 Array 제어 신호들의 속도 및 신호간 속도차의 발생으로 인해, 동작 Margin 관점에서 동작 속도에 제약을 주는 문제점을 나타낸다. 이를 위해 Repeater Driver 를 Array 중간에 삽입하여 이러한 문제 해결에 접근하였다.

DRAM 내부에서 회로 밀도가 가장 높은 Core 부분은 신호선 간의 Coupling Capacitance 에 의한 Noise 가 가장 취약하게 나타나는 부분이다. 또한 DRAM 동작 관점에서 보면, Data Read 동작이라는 것이 미세 전압차이를 이용한 BL S/A 의 증폭으로 이루어지기 때문에, Core 동작 시 발생하는 Noise 에 강한 특성을 갖도록 설계하는 것이 중요하다. DRAM 동작에서 BL 간의 Coupling Capacitance 에 의한 Noise 는 BL S/A 동작 시 동작 Margin 을 감소 시키는 결과를 낳게 된다.

이러한 영향을 최소화 하기 위한 방안으로 Stabilized Reference Line (SRL) 구조 [1] 와 Twisted Bit Line (TBL) 구조 [2] 등이 제안된 바가 있다. 근본적으로 BL Coupling Noise 가 문제를 유발시키는 이유는 Word Line (WL) 활성화 이후 Cell Capacitance 에 저장된 전하가 BL 으로 방출되어 BL 전위를 변화시키는 Charge Sharing (CS) 과정에서 Reference Bit Line 이 floating 상태를 유지하기 때문이다. 그러므로, RBL 의 floating 상태를 없애주든가, 혹은 floating 상태에서 인접 BL 의 전위변화에 의해 발생하는 Noise

를 최소화 하는 방안에 대한 연구가 진행되어 온 것이다. Charge Sharing 과정을 통해 발생하는 BL 과 RBL 사이의 전위차는 다음과 같다.

$$\Delta V_{bl} = \frac{V_{bl}}{1 + \frac{C_{bl}}{C_{cell}}} - \alpha \quad (1)$$

여기서  $C_{bl}$  은 Bit Line Capacitance,  $C_{cell}$  은 Cell Capacitance,  $V_{bl}$  은 RBL Voltage, 그리고  $\alpha$  는 Noise Voltage 를 나타낸다. Equation (1) RHS 의 첫째 항은 Cell Capacitor 와 BL Capacitor 간에 전하를 공유함으로써 인해 발생하는 전위 변화량이다. 둘째 항은 BL 간의 Coupling Capacitance 에 의해 유기되어 RBL 전위를 변화 시킴으로써 발생하는 Noise 효과이다.

위와 같은 양의 전위차를 가지고 BL S/A 는 증폭을 시작하게 된다. 이 값은 이후 BL S/A 의 동작속도를 좌우하게 되며, 또한 공정 중에 발생할 수 있는 BL S/A 에 내재된 Mismatch 요인을 이겨내고 동작할 수 있는 하나의 판단 기준이 된다. 즉, 이 전위차가 크면 클수록 앞서 언급한 영향력에 강한 특성을 가질 수 있게 된다.

이러한 전위차를 키우기 위해서는  $C_{bl}/C_{cell}$  값을 줄이는 방법과  $\alpha$  를 줄이는 방법이 있다.  $C_{bl}/C_{cell}$  값을 줄이기 위해서는 Cell Capacitance 값을 키우거나 BL Capacitance 를 줄여주는 방안이 강구 되어야 한다.  $\alpha$  를 최소화 하는 방안으로는 BL Coupling Noise 를 최소화 할 수 있는 구조가 필요하다. 특히 저 전압 동작에서는 이러한 효과가 더욱 크게 나타나게 된다.

Twisted Open BL (TOBL) 구조는 선택된 Word Line 과 관련 있는 BL/RBL 들을 인접 BL 들에 의한 Noise 로부터 차단 시키는 구조로 되어있다. 선택된 WL 과 관련 있는 BL/RBL 쌍들에 이웃한 BL 들이 모두 기준전위 발생 전원에 연결되어 있기 때문에 CS 과정이나, BL S/A 이 동작하는 과정에서의 BL/RBL 의 전위 변화가 활성화된 다른 BL/RBL 쌍에 영향을 미치지 않는다. 이러한 구조적 특성에 의하여 BL Coupling Noise 에 의한 BL S/A 의 동작저하를 최소화 할 수 있다.

### BL S/A Pre-Sensing 구조

DRAM 동작에서 Cell Capacitor 에 저장된 전하는 WL 을 활성화 시킴으로써 BL Capacitor 에 전하를 방

출하게 되며, 이때 BL S/A 를 동작시킬 수 있는 전위차를 발생시킨다. 이때 BL S/A 를 활성화시키는 시점을 정하는 것은 DRAM 동작 속도를 결정하는 중요한 포인트가 된다. BL S/A 동작시점을 빨리 가져갈수록 동작 속도는 증가하겠지만 BL 에 충분한 전압차가 인가되기 전에 BL S/A 를 활성화 시키게 되면 Data Read 동작에 오류가 발생하게 된다.

BL Pre-Sensing 구조는 CS 구간에서 BL S/A 의 증폭 동작을 미리 수행하게 하여 CS 구간에 BL/RBL 전압차를 크게 가져갈 수 있도록 한 구조이다. 이러한 구조를 사용함으로써, DRAM 동작 속도를 빠르게 가져갈 수 있는 이점이 있다. Pre-Sensing 과정에서는 BL S/A 의 활성도를 줄인 상태에서 BL S/A 의 전위 감지 동작을 수행하게 하여 CS 과정에서 발생하는 전위차를 가지고 일차적으로 증폭과정을 수행한다. 이러한 증폭과정을 거친 전위차는 기존의 CS 과정을 거친 전위차보다 큰 값을 갖게 되므로 DRAM 동작상 좋은 특성을 가지게 된다.

### Reference Bit Line Voltage Calibration 구조

DRAM 에서 Data Read 과정은 Cell Capacitor 에 저장된 전하를 그와 연결된 BL 에 방출시킴으로써 변화된 BL 의 전위와 BL S/A 의 다른 Node 에 연결된 RBL 과의 전위차를 가지고 BL S/A 의 증폭기능을 통해 이루어 지게 된다. 이때 RBL 의 전위는 Data1 (Cell Capacitor 에 양전하가 완전히 충전된 상태) 과 Data0 (Cell Capacitor 에 양전하가 없는 상태) 를 대표하는 전위의 중간 값을 갖도록 하는 것이 Data 를 읽는 과정에서 최적의 조건이 된다.

이 기준전위가 높아질 경우에는 Data1 을 읽는 과정에서, 반대로 낮아질 경우에는 Data0 를 읽는 과정에서 오 동작을 일으킬 수 있는 소지를 발생시킨다. Cell Capacitor 에 충전된 전하는 시간이 지나게 되면 여러 가지 요인들에 의해 발생하는 누설전류에 의해 감소하게 된다. 이러한 경우 Data1 에 해당되는 전위가 실제 시 고려한 전위에 비해 낮아지므로, RBL 전위 즉 기준 전위의 수정이 필요하게 된다.

Reference Bit line Calibration 구조는 DRAM Array 내의 실제 Data0 와 Data1 을 이용하여 기준전위를 능동적으로 변화 시켜 주는 구조이다. 즉, DRAM Cell 내에 발생할 수 있는 누설전류로 인하여 Data1 에 해당되는 Cell Capacitor 의 전위가 낮아지는 것을

감지하며 이를 바탕으로 Feedback Control Loop 를 구현하여 기준 전위를 최적의 값으로 바꾸어 주는 구조이다.

### Repeater Driver 구조

Giga 급 DRAM 에 이르러서는 Chip 면적이 이전의 소자에 비해 증가하게 된다. 이로 인한 신호선의 부하 또한 그에 상응하여 증가하게 되는데, 여기에 저 전압 동작을 하게 되는 경우에는 신호선들을 제어하는 데 적용해야 할 Margin 이 기존의 소자 대비 커지게 되고 이는 동작속도의 저하로 나타나게 된다. 이러한 문제를 해결하기 위해서는 Memory Array 를 세분화 하여 각 Array 를 담당하는 신호선의 부하를 줄여 주어야 한다.

이를 위해 Memory Array 중간에 신호선 Repeater 부분을 삽입하여 이를 해결하도록 하였다. Array 내 WL, BL S/A 를 제어하는 신호들은 거의 같은 속도로 Array 내 각 부분을 제어할 수 있어야 한다. 신호선들의 속도가 각 신호선 Margin Point 를 최소화 할 수 있고, 따라서 동작 속도의 향상을 가져올 수 있게 된다. 또한 미세 선폭 공정으로 인한 신호선간 Coupling Noise 효과는 신호선의 저항을 감소 시킴으로써 그 효과를 감소시킬 수 있다. 신호선의 저항이 감소하게 되면 생성된 Noise 가 빨리 접지선으로 방출됨으로써 Noise 발생 시간을 줄일 수 있기 때문이다. Repeater Driver 의 삽입은 신호선의 길이가 줄어드는 효과를 가져오게 되고, 따라서 신호선에 유 기된 Noise 가 빨리 접지선으로 방출되기 때문에 Noise 발생 시간이 감소하게 된다.

### 결론

0.1 $\mu$ m 공정을 이용한 4Gbit SDRAM 제작에 있어서 Twisted Open Bit Line 구조, BL S/A Pre-Sensing 방식, Reference Bit Line Calibration 방식, Repeater Driver 구조 등의 방법이 제안되었다. Twisted Open Bit Line 구조, BL S/A Pre-Sensing 방식을 사용함으로써 Bit Line 간의 Coupling Noise 를 최소화 할 수 있고 보다 큰 Sensing Margin 을 얻을 수 있기 때문에 DRAM 동작 속도의 증가를 가져올 수 있다. Reference Bit

Line Voltage Calibration 구조를 사용함으로써 최적의 Reference Voltage 구현을 가능하게 하여 DRAM Cell Refresh Margin 을 우수하게 가져갈 수 있다. Array 내 Repeater 층을 삽입함으로써 면적증가로 인하여 발생하는 신호의 속도 저하와 신호간 속도차로 발생할 수 있는 performance 저하를 최소화 하였다.

### 참조

- [1] K. Tsuchida, et al., *IEEE Jour. Solid-State Circuits*, vol. 25, pp. 24-29, Feb. 1990.
- [2] H. Hidaka et al., *IEEE Jour. Solid-State Circuits*, vol. 24, pp. 21-27, Feb. 1989.

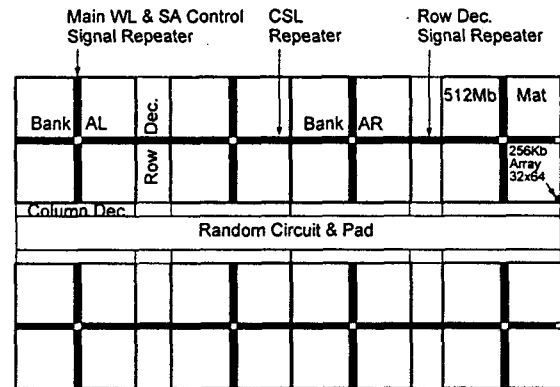


그림 1: Chip 구성.

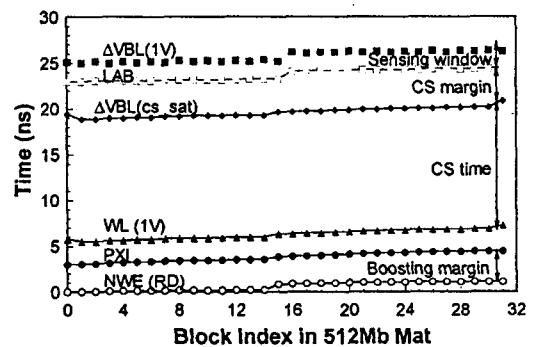


그림 2: Mat 내의 주요 Core Signal Skews.