

단일 PLL을 이용한 데이터 통신용 트랜시버에 관한 연구

최준수* · 허창우*

*목원대학교 전자 및 컴퓨터공학과

A Study on the Transceiver for Data Communication using a PLL

Jun-su Choi* · Chang-wu Hur*

* Dept. of Electronic & Computer Engineering, Mokwon Univ.

E-mail : vlsiman@mokwon.ac.kr

요 약

본 논문에서는 단일 PLL을 사용하여 400MHz 대역의 트랜시버를 구현하였다. 일반적인 트랜시버의 경우, 송수신부에 각각 한 개의 PLL과 수신부에 2단의 믹서를 사용하여 구현되어진다. 이러한 구성은 트랜시버의 가격과, 부피에 상당히 큰 영향을 미친다. 본 논문에서는 기존의 방식을 탈피하여 단일 PLL방식의 데이터 전송용 특정 소출력 무선기기의 송, 수신단의 회로설계, 제작 및 특성측정을 하였다. 설계된 트랜시버의 주파수 대역은 424.7-424.95MHz이고, Low Side Injection방식을 사용하여 450KHz의 IF 주파수로 변환(Conversion)하였고, 반이중(Semi duplex Communication) 통신방식, PLL Synthesized, 21 Channel, 12.5KHz Channel Bandwidth, FSK Modulation / Demodulation 방식을 사용하였다.

1. 서 론

현재 정보통신 분야는 하루가 다르게 발전하고 있다. 그 중에서 가장 큰 변화라고 하면 기존의 유선상으로 이루어지던 일들이 점점 무선으로 대체가 되고 있다는 것이다. 공중전화에서 셀룰러, PCS에 이어서 IMT2000, 무선 랜, 원격검침, Mobile GIS(Geographic Information System) 서비스, ID 카드시스템, 리모컨 등 많은 부분에서 응용이 되고 있다.

이러한 응용분야에 비해 현재 우리나라의 트랜시버의 생산은 매우 미흡한 편이다. 일부 몇몇 기업에서만 몇 종류의 트랜시버를 생산, 판매를 하고 있을뿐, 특히 1GHz이하의 트랜시버는 대부분 수입에 의존하고 있다. 1GHz를 넘는 전파는 특성상 직진성이 강하기 때문에 건물내에서 사용하는데 있어서 불리하다는 단점이 있다. 반면 직진성은 약하지만 회절효과가 큰 400MHz 대역의 주파수는 건물내에 사용하기에 용이할 것이다.

1998년 7월에 정보통신부고시 제1998 - 90호에서 424.7 - 424.95MHz를 데이터 전송용 특정 소

출력(10mW이하) 무선국용 무선기기의 주파수로 할당하였는데, 이 주파수대역의 기술적 조건을 살펴보면 다음과 같다.

"21개 채널과, 12.5kHz의 채널 폭, 스퓨리어스 특성은 기본주파수의 평균전력보다 40dB이상 낮은 값이어야 하며, 제어 채널용 주파수의 경우 송신시간은 전파를 발사한 시간으로부터 0.2초 이내로 해야한다. 점유주파수 대역폭은 8.5kHz 이하이어야한다"고 명시되어 있다.[1]

본 논문에서는 정보통신부에서 고지한 특정소출력 통신용 무선기기를 단일 PLL을 이용하여 설계하였는다. 단일 PLL을 이용한 설계에서는 PLL의 Lock Detect 영역이 증시된다. 송신부의 경우 VCO의 발진주파수는 424.7-424.95MHz를 사용하였고, 수신부의 경우에는 424.25 - 424.5MHz로 하였다.

본 논문에서는 정보통신부고시 제1998 - 90호의 기술적 조건을 만족시키는 방향으로 424.7 - 424.95MHz에서 동작하는 트랜시버를 단일 PLL을 사용하여 두께 0.8T인 FR-4 기판에 설계 제작하였다.

II. 송,수신부의 구성

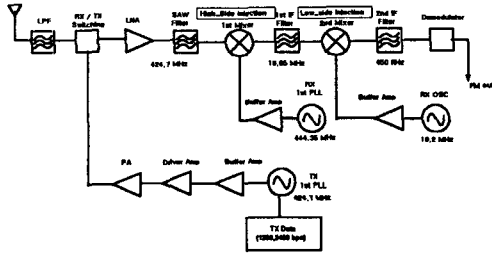


그림1. 일반적인 송수신부의 구성

일반적으로 구성되어지는 송수신부는 그림1과 같다. 송신을 위한 PLL과 수신을 위한 PLL로 구성되어지고, Demodulation을 하기위해 424.7MHz을 High Side injection방식으로 19.65MHz의 IF주파수를 만들고, 다시 이 IF 주파수를 Low Side Injection방식으로 450KHz의 주파수로 변환한다.

본 논문에서는 이러한 방식을 탈피하여 [그림2] 같이 송수신부를 설계하였다.

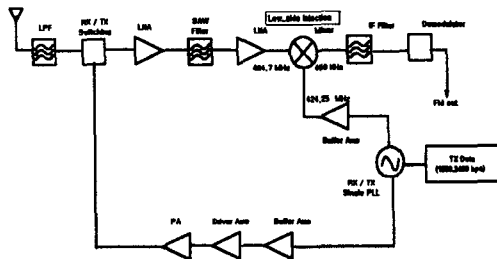


그림2. 단일 PLL을 이용한 송수신부의 구성

단일 PLL을 이용하여 송수신부를 구성할 경우 여러 가지 면에서 비용상뿐만 아니라 크기상에서도 절감이 된다.

그림2에서 보듯이 Low Side Injection방식으로 424.7MHz의 RF 신호를 450KHz의 IF 주파수로 바로 변환을 시켰다. 기존의 방식에서 바로 변환을 시킬 경우 Demodulator에서 요구하는 신호의 크기가 나오지 않는다. 그래서 IIP3(Input Intercept Point)의 문제는 있다고 생각되지만 한 단의 LNA(Low Noise Amplifier)을 사용하여 2번째 Mixer단에서의 이득을 보상에 주었고, 이 LNA로인해 IIP3가 낮아지는 것을 최소화 시켰다.

III. 주파수 합성부의 설계

주파수 합성 방식은 간접방식을 사용하였다. 간접방식은 부피와 비용의 절감면에서 유리하고 여러개의 주파수를 제어할 수 있다.[2] 본 논문에서 설계된 주파수 합성부의 송수신 주파수 범위는

다음과 같다.

송신 주파수 동작범위는 424.7~424.95MHz, 수신은 424.25~424.5MHz의 주파수에서 동작하도록 설계하였다. 주파수 합성부의 VCO(Voltage Control Oscillator)와 Buffer Amp에는 Philips사의 BFQ67W라는 Low Cost, Low Noise용 NPN형 Bipolar Transistor를 사용하여 설계하였다. 이 소자는 이득은 400MHz대역에서 약 20dB, NF(Noise Figure)는 1.3dB정도이다.

본 논문에서의 VCO는 직렬개환방식을 사용하여 Common-Collector의 형태로 Oscillator을 설계하였다. 이 회로의 공진주파수는 트랜지스터의 Base와 Ground에 직렬로 연결된 리액턴스에 의해 결정된다..

Oscillator와 Buffer Amp의 DC Bias회로는 다음과 같이 설계하였다.

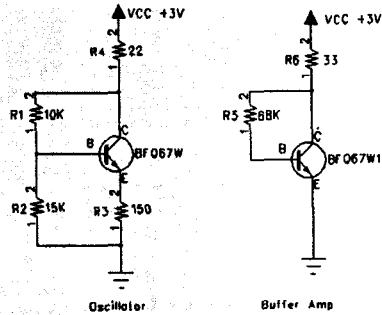
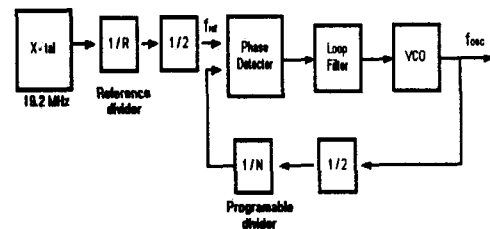


그림3. Oscillator와 Buffer Amp용 DC Bias

회로의 안정화를 위해 에미터단에 안정화 저항 R_E 를 사용하였다. DC Bias점은 VCO의 동작점과 안정성에 큰 영향을 미치기 때문에 매우 중요하다.

이 VCO를 이용하여 구성된 주파수 합성부의 구성은 다음과 같다. 회로에 사용된 Prescaler ICs는 Toshiba사의 TB31202를 사용하였다. 이 Prescaler IC는 19Bit는 Programmable divider과 14Bit의 Reference divider, 14Bit의 Control byte로 구성된다.



[그림4] 주파수 합성부의 구성

Loop Filter는 Prescaler에서 발생되는 고주파성

분을 제거하고, PLL의 응답 및 동기특성을 결정한다. 본 논문에서는 Lead-lag형의 Loop Filter를 사용하였고, Prescaler에서 발생되는 고주파성분을 더 감쇄시키기 위해서 Loop Filter와 VCO사이에 1단의 저역통과 필터를 추가하여 사용하였다.

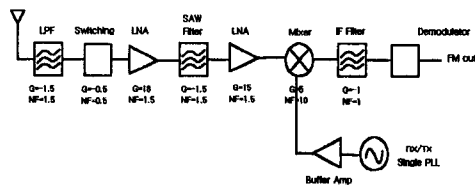
IV. 송신부의 설계

송신부의 경우 인접 채널 누설전력을 정보통신부에서 규정한 최대출력 10mW와 40dBc 이상의 스퓨리어스를 만족 시키기는 방향으로 설계하였다. [그림2]에서 보듯이 송신부는 크게 Driver Amp와 Power Amp로 구성했다. Driver Amp는 송신 모드와 수신 모드의 제어와 이득의 증가를 목적으로 하였고, Power Amp는 가장 이득이 큰 단이다. Power Amp 단에는 VR을 사용하여 송신 전력을 미세하게 제어한다. 외부로부터 들어오는 전송데이터의 진폭을 제한하기 위해 VR과 고주파성분을 제거하기 위한 LPF를 사용하였다. 주파수 합성부로부터 들어오는 신호가 반사되어서 VCO의 주파수 제어에 영향을 미치는 것을 방지하기 위해 주파수 합성부와 Driver Amp 사이에 Buffer Amp를 추가하였다. 또한 스퓨리어스를 감쇄시키기 위한 방법으로 Buffer Amp 뒷단에 LC 공진회로를 삽입하였고, Power Amp 뒷단에 저역 통과 필터를 추가하였다.[5]

설계한 송신부는 10dBm의 출력을 가졌고, 출력은 Power Amp 단에서 조정을 할 수 있도록 하였다.

V. 수신부의 설계

수신부는 Single-conversion 방식으로 한단의 Mixer를 이용하여 설계 하였다.



[그림5] 수신부의 구성도

수신감도는 -113dBm을 기준으로 설정하였다. Demodulator IC에서 요구되는 최소 입력신호는 -84dBm이다. -113dBm이 입력신호로 들어올 때 Demodulator에서 요구되는 값을 만족시키기 위한 이득은 29dB이다. 그런데 정합상의 손실을 고려하여 설계상으로는 약 4.5dB 정도의 여유를 주었다. 그래서 위의 사항을 만족시키기 위해 수신부는 [그림5]에서와 같이 각 단별로 구성하였다. 이 구성된 회로를 Budget Simulation 계산 한 결

과는 다음과 같다.

Block	Gain	Loss	Gain	Loss	Gain	Loss	Gain	Loss	Gain	Loss	Gain	Loss	Gain	Loss	Gain	Loss	Gain	Loss
LPF	0.00	-1.50	0.00	-1.50	0.00	-1.50	0.00	-1.50	0.00	-1.50	0.00	-1.50	0.00	-1.50	0.00	-1.50	0.00	-1.50
Switching	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00
LNA	18.00	0.00	18.00	0.00	18.00	0.00	18.00	0.00	18.00	0.00	18.00	0.00	18.00	0.00	18.00	0.00	18.00	0.00
SAW Filter	0.00	-1.50	0.00	-1.50	0.00	-1.50	0.00	-1.50	0.00	-1.50	0.00	-1.50	0.00	-1.50	0.00	-1.50	0.00	-1.50
LNA	15.00	0.00	15.00	0.00	15.00	0.00	15.00	0.00	15.00	0.00	15.00	0.00	15.00	0.00	15.00	0.00	15.00	0.00
Mixer	5.00	10.00	5.00	10.00	5.00	10.00	5.00	10.00	5.00	10.00	5.00	10.00	5.00	10.00	5.00	10.00	5.00	10.00
F Filter	0.00	-1.00	0.00	-1.00	0.00	-1.00	0.00	-1.00	0.00	-1.00	0.00	-1.00	0.00	-1.00	0.00	-1.00	0.00	-1.00
Demodulator	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00
Buffer Amp	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00
Single PLL	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00
Total	33.50	-4.50	33.50	-4.50	33.50	-4.50	33.50	-4.50	33.50	-4.50	33.50	-4.50	33.50	-4.50	33.50	-4.50	33.50	-4.50

그림6. Budget Simulation

$$G(totals) = G1 + G2 + G3 + \dots = 33.5dB$$

채널 폭이 12.5kHz, 온도 20 °C, 입력 신호 -113dBm이라 할 때 입력 노이즈 신호는

$$P(noise) = KTB = -133.04dBm$$

이고, 수신부의 전체 잡음지수는

$$NF = NF1 + \frac{NF2 - 1}{G1} + \frac{NF3 - 1}{G1 \times G2} + \dots = 3.57dB$$

이며, 입력 S/N은 20.04dB이다.

그러므로 계산된 출력 S/N과 신호의 크기는 다음과 같다.

$$\text{출력 } S/N = \text{입력 } S/N - \text{전체잡음지수} = 16.47dB$$

$$\text{출력신호의 크기} = -79.65dBm$$

설계된 수신부를 각 단별로 살펴보면 다음과 같다.

스위칭부는 PIN 다이오드를 사용하였다. PIN 다이오드는 역방향 바이어스시 작은 직렬접합 용량은 큰 다이오드 임피던스를 야기하고, 순방향 바이어스시 접합용량이 제거 되므로 낮은 임피던스 상태를 갖는다.

저잡음 증폭기에는 NPN형 바이폴라 트랜지스터를 사용하였다. 최대 이득은 400MHz에서 약 18dB 정도이며, 잡음지수는 1.5dB이다.

저잡음 증폭기의 이득은 전류소비를 최소화하고 최대 수신감도를 고려하여 첫단은 18dB, 뒷단은 15dB 정도로 고정하였다. 제작된 저잡음증폭기의 P_{1dB}(1dB gain compression point) 입력은 -22dBm으로 나타났다.

대역통과 필터로는 SAW(Surface Acoustic Wave) 디바이스를 사용하였다. SAW 필터는 소형 경량이며, 내진성과 내충격성이 크다. 그리고 제품의 Tolerance가 작고, 신뢰성이 크면서, 무조정화가 가능하기 때문이다. 이 필터는 스퓨리어스를 감쇄시키는 역할과 영상주파수, 저잡음 증폭기에 의해 발생하는 고조파성분을 감쇄시킨다.[3]

사용된 필터의 특성은 [표1]과 같다.

삽입손실(Insertion Loss)을 줄이기 위해 인터터를 이용한 매칭회로를 사용하였고, SAW 필터의 출력에 연결된 인터터에 병렬로 캐패시터를 첨가하여 1st Mixer와 임피던스 정합을 하였다.

[표1] SAW 필터의 특성

Minimum insertion attenuation	3.5dB	
Pass band (424.68 - 425.05MHz)	1.3dB	
Relative attenuation	10 - 421MHz	50dB
	421 - 424.08MHz	38dB
	424.08 - 424.36MHz	15dB
	426 - 432MHz	35dB
	432 - 445MHz	45dB
	445 - 1000MHz	50dB

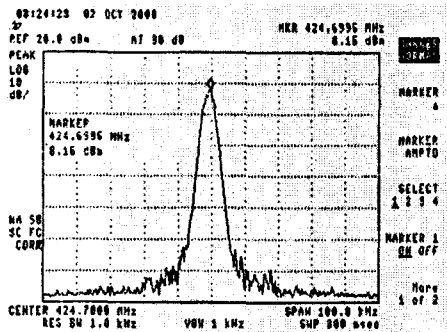
Mixer의 종류에는 Active Mixer와 Passive Mixer가 있다. Active Mixer는 Passive Mixer보다 변환손실이 적다는 장점이 있지만, IIP(Input Intercept Point)가 작다는 단점이 있다. 본 논문에서는 Active Mixer를 BJT로 구현하였다.

BJT를 이용한 Mixer는 아이솔레이션 특성이 FET보다는 떨어지지만, 저가이기 때문에 BJT를 선택하였다. High Side Injection 방식으로 구현된 1st Mixer에서는 저잡음증폭기로부터 출력된 424.7 - 424.95MHz를 전압제어발진기로부터 출력된 424.25 - 424.5MHz의 신호와 혼합하여 450KHz의 IF 만들었다. 발생되는 합주파수 성분과 스퓨리어스 성분을 제거하기 위해 믹서의 출력단에 450KHz의 세라믹 필터를 사용하였다.

Quadrature Detector (Demodulator)로부터 출력된 FM신호는 비교기를 사용하여 아날로그 신호를 디지털 신호로 변환하였다.

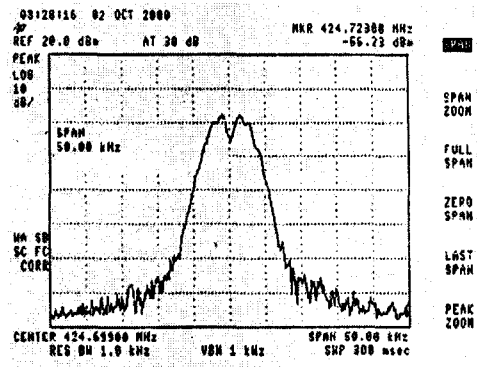
VI. 특성 측정 및 평가

제작된 송신단의 출력은 [그림7]과 같다. 8.15dBm의 출력을 얻었고, 깨끗한 파형을 보였다.



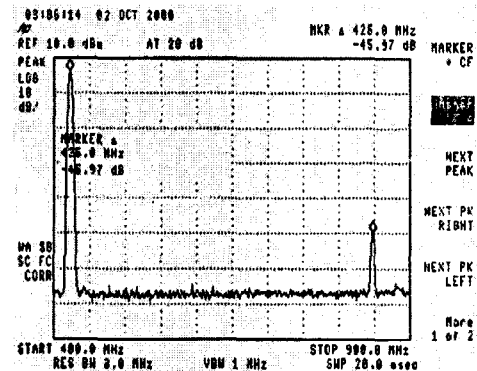
[그림7] 무변조시 송신단의 출력

변조가 되었을 경우에 송신단의 출력 파형은 [그림8]과 같다. 송신 전력의 80%를 8.5kHz의 대역폭 안에 존재할 수 있도록 변조도를 조정하였다. 그림에서 보듯이 송신 전력의 80%가 8.5kHz 대역폭에 존재함을 알 수 있다.



[그림8] 변조시 송신단의 출력

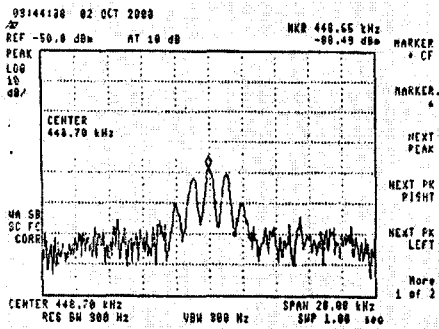
[그림9]은 송신단의 스퓨리어스 특성을 나타내는데, 3고조파 이상의 주파수는 거의 감쇄하였고, 2고조파 성분만 크게 나타났다. 2고조파 성분과의 스퓨리어스 특성은 40dBc보다 좋은 45.97dBc임을 알 수 있다.



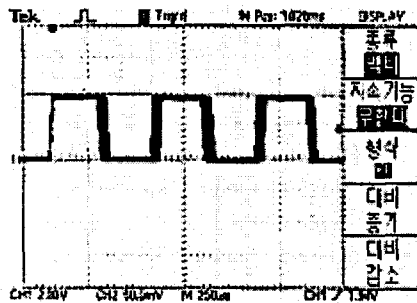
[그림9] 송신단의 스퓨리어스 특성

[그림10]은 Mixer뒤에서 측정한 450kHz의 IF 주파수이다. -113dBm 입력시 신호의 크기가 캐리어의 경우 -82dBm 이었고, 변조가 된후의 크기는 [그림9]에서 보듯이 -88.49dBm 이다.

[그림11]은 Quadrature Detector에서 1.2kHz의 아날로그 신호로 변환된 데이터 신호를 OP Amp를 사용하여 디지털로 복조를 한 값이다. 입력 신호를 신호발생기로부터 -113dBm의 레벨로 입력을 받았을때 복조하였다. 이 복조된 파형은 그림에서 보듯이 -113dBm의 입력에 대한 Jitter는 10% 내외 이었다.



[그림10] IF필터 뒷단의 450KHz

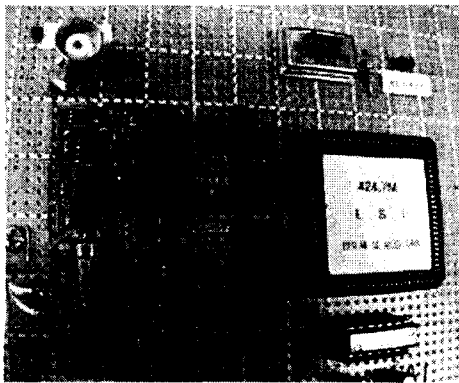


[그림11] 복조된 데이터 신호

VII. 결론

본 논문에서는 UHF대역에서 사용할 수 있는 특정 소출력 무선국용 무선기기를 단일 PLL을 사용하여 두께 0.8T, 크기 42mm×21mm인 FR-4기판에 설계 및 제작을 하였다.

제작한 결과 송신단의 출력은 8.15dBm, 스퓨리어스 특성은 45.97dBc이었다. 이 결과는 설계사양(출력 10dBm, 스퓨리어스 40dBc)을 충분히 만족했다고 볼 수 있다.



[그림12] 제작된 트랜시버와 컨트롤러의 사진

수신단의 경우 설계사양은 입력신호의 크기가 -113dBm일 때, 출력 S/N=16.47dB, 전체 잡음지수=3.57dB, 출력신호의 크기=-79.65dBm 이었고, 설계한 결과는 출력 S/N=14.8dB, 잡음지수=5.24dB, 출력신호의 크기=-82dBm 이었다. 출력신호의 크기는 2.35dBm의 차이가 나며, 이것은 측정시 케이블 손실이 약 1dB이었으므로 측정 손실과, 정합상에 기인된 문제로 사료된다.

위의 조건을 만족시키기 때문에 출력 Jitter가 -113dBm입력시 ±13%로 나타났고, 입력이 -110dBm일 때 Jitter가 ±10% 안쪽에 들어갔다.

트랜시버를 설계를 하며 Pulling 현상에 의해 PLL이 Lock을 놓치는 경우도 발생을 하였으나, 레벨 값의 조정과 매칭으로 문제를 해결했다. 그러나 높은 신호에서 수신파형이 무너지는 경우가 발생을 한다. 이러한 문제가 발생하는 이유는 LNA를 두단 사용하면서 뒷단의 LNA가 포화되는 것으로 생각된다. 수신단에서 높은신호에서 수신 파형이 무너지는 현상만 제외하면 본 논문에서 설계하고 제작한 단일 PLL을 이용한 특정 소출력 무선국용 무선기기인 데이터 통신용 트랜시버는 목표로 했던 설계 사양과 기술적 조건을 모두 만족한다.

참고문헌

- [1] 정보통신부, "특정소출력 무선국용 무선기기의 기술적 조건", 정보통신부고시 제1998-90호.
- [2] 구재현, 윤동현, 김문철, 한영일 "이동통신용 1GHz대 주파수 합성기", Vol. 11, No. 1, pp.735-738, 7월, 1992년.
- [3] 김영진, "SAW FILTER의 기술동향", Telecommunication Review, Vol. 3, No. 6, pp.56-81, 1993.
- [4] 전중성, 김동일, "계단형 임피던스 공진기를 이용한 INMARSAT-C용 결합선로 필터의 설계 및 구현에 관한연구," 항해학회 논문지, 제22권, 제 2호, pp.33-38, 6월, 1998.
- [5] G. Gonzalez, "Microwave Transistor Amplifiers", Prentice-Hill, 1997.
- [6] Peter. Viztmuller, "RF Design Guide", Artech-House, 1995.
- [7] 김정기, 박영기, "RF 회로 설계", 우신, 1999.
- [8] David M. Pozar, "초고주파공학" 대영사, 1998.
- [9] 최준수, 허창우 "데이터 통신용 트랜시버의 설계 및 제작", Vol. 4 No. 1, pp.433-437, 2000.