

TCAD를 이용한 채널과 도핑 농도에 따른 MOSFET의 특성 분석

심성택* · 장광균 · 정정수 · 정학기 · 이종인

*군산대학교

The Study on Channel and Doping influence of MOSFET using TCAD

Sung-Taik Shim* · Kwang-gyun Jang · Jung-su Jung · Hak-kee Jung · Jong-in Lee

*Kunsan National University

E-mail : ily10102@hotmail.com

요 약

지난 10여 년 동안 MOSFET는 전력감소, 도핑농도 증가, 캐리어 속도 증가를 위해서 많은 변화를 가져왔다. 이러한 변화를 받아들이기 위해서, 채널의 길이와 공급되어지는 전압이 감소해야만했으며, 그것으로 인해 소자가 더욱 작아지게 되었다. 그러므로 본 논문은 이러한 변화를 위해 채널의 길이와 전압에 의한 MOSFET 구조에서의 변화를 관찰하고, 드레인과 게이트 사이에서의 임팩트 이온화(LDD(lightly doped drain) MOSFET, EPI MOSFET)를 제시하였다. 게이트 길이는 $0.15\mu\text{m}$, $0.075\mu\text{m}$ 을 사용하였고, 스케일링 계수는 $\lambda = 2$ 를 사용하였다. 스케일링방법은 Constant-Voltage 스케일링으로 하였고, TCAD를 사용하여, 스케일링에 의한 MOSFET의 특성과 임팩트 이온화, 전계를 비교 분석하였으며, 최적의 채널과 도핑 농도에 대하여 분석하였다.

ABSTRACT

The metal-oxide-semiconductor field-effect transistor(MOSFET) has undergone many changes in the last decade in response to the constant demand for increased speed, decreased power, and increased packing density. The devices are scaled down day by day. Therefore, This paper investigates how MOSFET structures influence on transport properties in according to change of channel length and bias and, observes impact ionization between the drain and the gate. This paper proposes three models, i.e., conventional MOSFET, LDD MOSFET and EPI MOSFET. The gate lengths are $0.3\mu\text{m}$, $0.15\mu\text{m}$, $0.075\mu\text{m}$ and scaling factor is $\lambda = 2$. We have presented MOSFET's characteristics such as I-V characteristic, impact ionization, electric field, using the TCAD. We have analyzed the adaptive channel and doping influences.

1. 서 론

MOSFET는 증가된 속도, 증가된 전력, 증가된 packing 밀도의 요구를 충족시키기 위하여 지난 이십 년 동안 많은 변화를 겪어왔다. 이러한 요구에 부응하기 위해 채널 길이와 공급 전압은 감소되어왔다. 비록 공급된 바이어스 전압이 줄어들었다 하더라도, 채널 소자들은 트랜지스터의 신뢰성 문제를 야기시키는 고전계와 hot carrier의 존재로 특성화되었다[1]-[3]. 다양한 종류의 n-channel MOSFET 구조에서 스케일링 기술의 효과를 연구하여왔다. 일반적으로 hot carrier 효과를 분석하기 위하여 hot carrier의 에너지 분포와 반도체 대역 구조를 고려할 수 있는 시뮬레이션을 사용하는 것이 필요해졌다.

본 연구에서는 세 가지 MOSFET 구조를 사용할 것이다. 하나의 구조를 기준으로 하여 정확하게 scaling을 하고, $I_d - V_d$ 특성 곡선과 임팩트 이온화 및 전계를 비교 분석할 것이다. 그리고, 최적의 채널과 도핑 농도에 대하여 분석할 것이다. 최근 입자시뮬레이션(particle simulation 또는 Monte Carlo simulation) 방법이 각광을 받고 있으나, 본 연구에서는 TCAD를 사용하여 시뮬레이션을 할 것이다.

II. 시뮬레이션 구조의 요약

본 연구에서는 세 가지 MOSFET 구조를 사용하였다. 소오스와 드레인의 doping profile은

Gaussian profile을 사용하였으며, 소오스와 드레인 영역의 측면 확산은 모든 채널 길이에서 중첩된 게이트-소오스와 게이트-드레인을 $0.05\mu\text{m}$ 로 설계하였다. 드레인과 소오스에는 Arsenic(비소)을 도핑시켰으며, back ground 도핑과 게이트에는 boron(붕소)을 도핑시켰다. 접합 확산에서 접합 깊이는 $0.05\text{-}\mu\text{m}$ ($0.15\text{-}\mu\text{m}$ 게이트), $0.025\text{-}\mu\text{m}$ ($0.075\text{-}\mu\text{m}$ 게이트)로 사용하였다. 도핑농도는 최대값 $3 \times 10^{19} \text{cm}^{-3}$ 으로 이온화하여 도핑을 제한하였다.

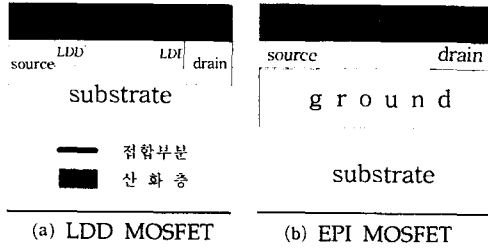


그림 1. simulation 구조

첫 번째 구조는 그림 1-(a)에 나타낸 LDD(lightly doped drain) MOSFET이다. 이 구조의 형식은 접촉에서 보다 더 작은 양으로 도핑한 전달영역을 추가하여 드레인 채널 접합에서 전계를 감소시키므로 hot carriers를 제어하는 것이다. 펀치오프 현상을 줄이기 위해서 LDD영역을 게이트영역에 중첩시켰다. 게이트와 드레인, 게이트와 소오스 사이의 거리를 $0.5\mu\text{m}$ 로 설계했다. 접촉 접합 깊이는 conventional MOSFET와 동일하게 도핑시켰다. 추가된 LDD 영역에서의 접합 깊이는 $0.025\text{-}\mu\text{m}$ ($0.15\text{-}\mu\text{m}$ 게이트), $0.0125\text{-}\mu\text{m}$ ($0.075\text{-}\mu\text{m}$ 게이트)로 하였다.

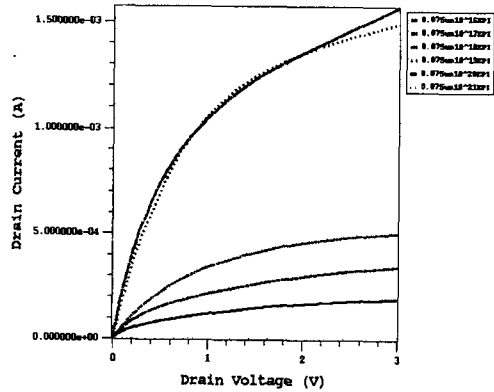
두 번째 구조는 그림 1-(b)에서 보는 것처럼 epitaxial를 사용한 EPI MOSFET이다. 이 구조는 소오스와 드레인을 포함하고 있는 실리콘 내부의 epitaxial층으로 구성되어 있다. 고도핑된 ground-plane이 추가 되어있는데, 이것은 p-doped 되어 있다. 이것의 역할은 문턱 전압을 제어하고, punchthrough stopper 역할을 한다. 이것의 접촉 접합 깊이는 $0.014\text{-}\mu\text{m}$ ($0.15\text{-}\mu\text{m}$ 게이트), $0.01\text{-}\mu\text{m}$ ($0.075\text{-}\mu\text{m}$ 게이트)로 하였다.

IV. 시뮬레이션

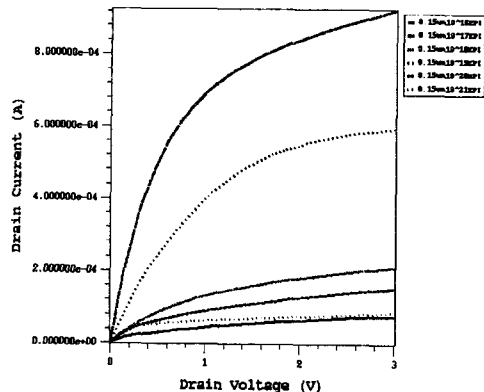
채널의 길이를 정확히 줄이기 위하여 스케일링을 하였다. 스케일링의 기준으로 $L_g=0.15\text{-}\mu\text{m}$ 일 때의 소자를 사용하였다. $0.15\text{-}\mu\text{m}$ 에서의 소오스와 드레인의 도핑 농도로는 $8 \times 10^{18} / \text{cm}^3$ 으로 하였으며, 스케일링 인수는 $\lambda=2$ 이다. 모든 도핑 농도는 스케일링 파라미터 $1/\lambda^2$ 로 하였으며, 모든 길이와 크기는 $1/\lambda$ 로 하였다. 또한 산화층 길이는 $1/\sqrt{\lambda}$ 로 스케일링하였으며, 여기에서는 채널 길이가 $0.15\text{-}\mu\text{m}$ 일

때, 7.0-nm 을 기준으로 하여, $0.075\text{-}\mu\text{m}$ 일 때는 5.0-nm 로 스케일링하였다. 그리고, 소오스 전압 $V_s = 0V$, 기판 전압 $V_b = 0V$, 드레인 전압 $V_d = 3V$, 게이트 전압 $V_g = 3V$ 를 인가하였다. Constant bias scaling의 경우 이러한 조건이 모든 시뮬레이션에 적용된다. 소오스와 드레인에는 $8 \times 10^{16} / \text{cm}^3$ 부터 $8 \times 10^{21} / \text{cm}^3$ 까지 여섯 단계로 나누어서 각각 MOSFET에 도핑 시켰다. 이러한 구조를 TCAD를 사용하여 설계했다. $V_g = 3V$ 일 때, V_d 값을 변화시키면서 I_d 값을 구하고 $I_d - V_d$ 특성 곡선을 그림 2에 도시하였다.

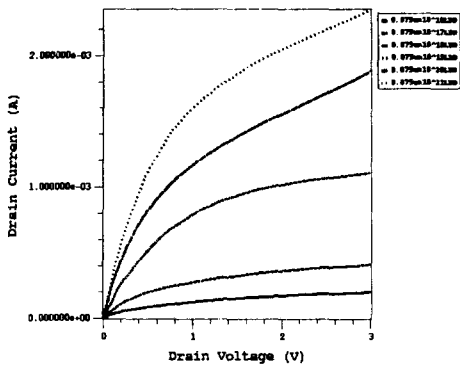
결과에서 알 수 있듯이 $L_g = 0.075\mu\text{m}$ 일 때 short-channel 효과에 의하여 포화영역에서 드레인 컨덕턴스가 증가하고, 포화전류는 L_g 가 감소할수록 증가하며 증가율은 비선형적임을 알 수 있다[5]. $0.15\text{-}\mu\text{m}$, $0.075\text{-}\mu\text{m}$ 채널에서 도핑 농도가 $8 \times 10^{18} / \text{cm}^3$ 일 때 적합한 $I_d - V_d$ 특성 곡선이 출력되었다. 도핑 농도가 증가함에 따라 특성 곡선의 역할을 벗어나 저항에 가까운 출력을 나타내었다. 동일한 드레인 전압에서 EPI MOSFET는 다른 구조에 비해 드레인 전류가 보다 낮게 발생하였다.



(a) 채널 길이가 $0.075\mu\text{m}$ EPI일 때



(b) 채널 길이가 $0.15\mu\text{m}$ EPI일 때

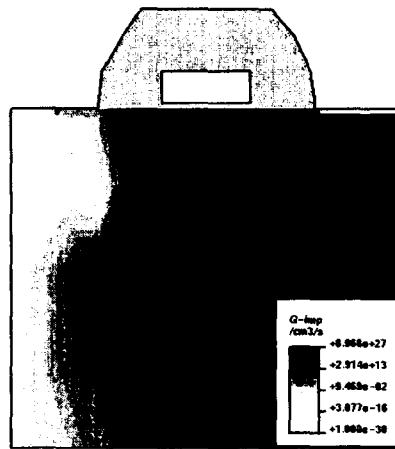


(c) 채널 길이가 0.075um LDD일 때

그림 2. $I_d - V_d$ 곡선

PICASSO-ISE를 사용하여, 임팩트 이온화를 그림 4에 나타내었다. 임팩트 이온화는 hot carrier에 의한 산란에 의하여 전자-정공쌍을 생성하는 과정으로, 게이트와 드레인 사이에서 많이 발생하였다. 채널의 길이가 짧아질수록 임팩트 이온화는 더욱 많이 발생하였다. EPI MOSFET에서 임팩트 이온화가 다른 MOSFET에 비해 적게 발생하였으며, 더욱 안정된 분포를 나타내고 있다.

PICASSO-ISE를 사용하여, 전계를 그림 5에 나타내었다. 전계는 V/L 이므로, 일정한 전압에서 채널이 짧아질수록, 게이트와 소오스 사이에서 많이 발생하였다. 전계 분포는 모든 MOSFET에서 비슷하게 발생하였다



(b) 채널 길이가 0.075um LDD 구조일 때

그림 4. 임팩트 이온화

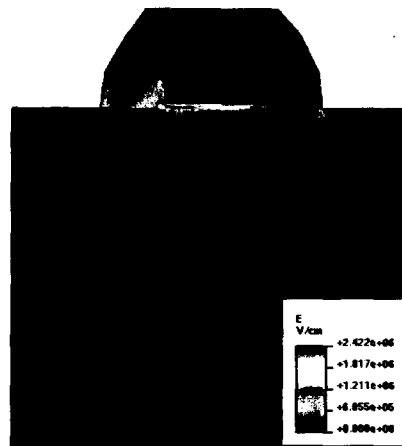
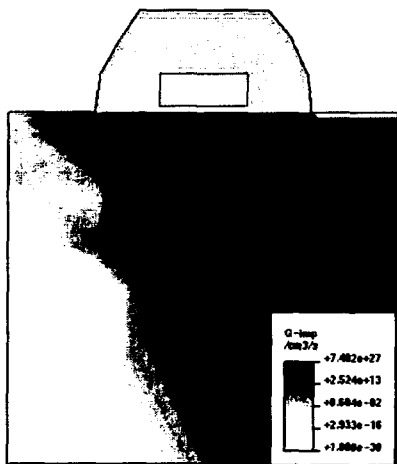


그림 5. 채널 길이가 0.075um EPI일 때의 전계



(a) 채널 길이가 0.075um EPI 구조일 때

V. 결 과

본 연구에서는 채널의 길이와 농도, 전압을 정확하게 스켈링하고 TCAD 시뮬레이션을 행하여 3가지 경우의 MOSFET을 설계하였다. 그리고, 3가지 구조에 따른 $I_d - V_d$ 특성 곡선과 임팩트 이온화 및 전계의 변화를 조사하였다. $I_d - V_d$ 특성 곡선은 채널이 짧아질수록 낮은 드레인 전압에서 높은 드레인 전류를 볼 수 있었다. 도핑 농도가 증가하면 $I_d - V_d$ 특성 곡선이 저항에 가깝게 출력력이 되었다. 도핑 농도가 $8 \times 10^{18}/\text{cm}^3$ 일 때, 가장

적합한 특성 곡선이 출력이 되었다. 임팩트 이온화는 채널의 길이와 도핑 농도, 입력 전압에 따라 영향을 받는 것을 알 수 있었다. 전계는 V/L 이므로, 전압이 일정할 때 채널의 변화에 따라 분포가 변화하였으며, 채널이 짧을수록 고전계가 나타났다. 결과적으로 모든 면에서 EPI MOSFET가 우수하게 동작하는 것을 볼 수 있었다. 앞으로 채널의 변화, 도핑 농도의 변화, 전압의 변화에 따른 모든 시뮬레이션 결과를 통합하여 채널의 크기가 작은 소자에서 가장 적합한 채널과 도핑 농도, 전압을 구하기 위해 노력 할 것이다.

참고문헌

- [1] J. Y. Tang and K. Hess, "Theory of hot electron emission from silicon into silicon dioxide." *J. Appl. Phys.*, vol 54. pp. 5145-5151, 1983.
- [2] T. H. Ning and H. N. Yu, "Optically-induced injection of hot electrons into SiO_2 ," *J. Appl. Phys.*, vol 45, pp. 5373-5378, 1974.
- [3] T. H. Ning and H. N. Yu, "Hot-electron emission from silicon into silicon dioxide," *Solid State Electron.*, vol 21, pp. 273-282, 1978.
- [4] A. Duncan, U. Ravaioli, J. Jakumeit, *IEEE Trans. ED*, pp. 867, 1998.
- [5] 정학기, "몬테칼로 알고리즘을 이용한 MOD-FET소자의 전달특성분석 ; 채널길이에 따른 특성분석"