

TCAD를 이용한 MOSFET의 Scaling에 대한 특성 분석

장광균^{*} · 심성택 · 정정수 · 정학기 · 이종인

^{*}군산대학교

Analysis on the Scaling of MOSFET using TCAD

Kwang-gyun Jang^{*} · Sung-teak Sim · Jung-su Jung · Hak-kee Jung · Jong-in Lee

^{*}Kunsan National University

E-mail : kwanggi@k2.kunsan.ac.kr

요 약

MOSFET는 속도의 증가, 전력 감소 그리고 집적도 증가를 위한 끊임없는 요구에 대응하여 최근 10년간 많은 변화를 겪었다. 그로 인한 스�কে이링이론이 부각되었고 풀 밴드 Monte Carlo 디바이스 시뮬레이터는 다른 형태의 n-channel MOSFET 구조에서 hot carrier에 대한 디바이스 스�কে이링의 효과를 연구하는데 사용되었다. 본 연구에서는 단일 Source/Drain 주입의 Conventional MOSFET와 저도핑 Drain(LDD) MOSFET 그리고 MOSFET을 고도핑된 ground plane 위에 적층하여 만든 EPI MOSFET에 대하여 TCAD(Technology Computer Aided Design)를 사용하여 스�কে이링 및 시뮬레이션하였다. 스�কে이링방법은 Constant-Voltage 스�কে이링을 사용하였고 시뮬레이션 결과로 스�কে이링에 대한 MOSFET의 특성과 임팩트 이온화, 전계를 비교 분석을 통해 TCAD의 실용성을 살펴보고 스�কে이링을 이해하기 위한 물리적인 토대를 제시하였다.

ABSTRACT

The metal-oxide-semiconductor field-effect transistor(MOSFET) has undergone many changes in the last decade in response to the constant demand for increased speed, decreased power, and increased packing density. Therefore, it was interested in scaling theory, and full-band Monte Carlo device simulator has been used to study the effects of device scaling on hot carriers in different MOSFET structures. MOSFET structures investigated in this study include a conventional MOSFET with a single source/drain, implant a lightly-doped drain(LDD) MOSFET, and a MOSFET built on an epitaxial layer(EPI) of a heavily-doped ground plane, and those are analyzed using TCAD(Technology Computer Aided Design) for scaling and simulation. The scaling has used a constant-voltage scaling method, and we have presented MOSFET's characteristics such as I-V characteristic, impact ionization, electric field and recognized usefulness of TCAD, providing a physical basis for understanding how they relate to scaling.

1. 서 론

MOSFET는 속도 증가, 전력 감소 그리고 집적도 증가를 위한 끊임없는 요구에 대응하여 최근 10년간 많은 변화를 겪었다. 이러한 요구에 부응하기 위해 채널 길이와 공급전압은 감소되어 왔다. 정부가 21세기 프론티어 연구사업의 하나로 올해부터 본격 추진키로 한 나노소자 기술개발사업의 핵심은 테라급 반도체개발에 모아져 있다. 나노구조성장 및 형성기술, 나노패터닝기술, 나노물리, 나노전자 등을 활용한 대용량, 초고속 첨단 소자는 차세대를 보장하는 주요 기술이다. 이들이 상용화될 경우 초미니 슈퍼컴퓨터, 인식 및 추론 가능 로봇, 3차원 가상현실산업 등 산업 및 생활

전반에 큰 파급효과를 가져올 것으로 예상되고 있다. 나노 기술은 세계적인 수준으로 볼 때 이미 나노과학단계를 넘어 나노 공학단계에 접어들었다. 그에 따라 스�কে이링이론이 부각되고 있다.

트랜지스터의 크기를 감소시키면 동작속도 측면에서 소스와 드레인간의 거리가 줄어들어 캐리어가 통과하는 시간이 줄어들고 기생 저항과 기생 용량이 줄어들며, 같은 전류수준에서 동작하는 회로의 동작이 빨라진다. 이때 소형화에 따른 물리적인 제약 조건인 punch-through 현상이 일어나며 이는 소스와 드레인사이가 너무 가깝게 되면 발생한다. 이것은 기판의 도핑농도를 높여서

줄일 수 있다. 또 주어진 동작 전압에서 산화막의 두께가 너무 얇아지면 발생하는 항복현상이 일어나는데 이 또한 산화막의 두께를 너무 얇지 않게 하여 방지할 수 있다.

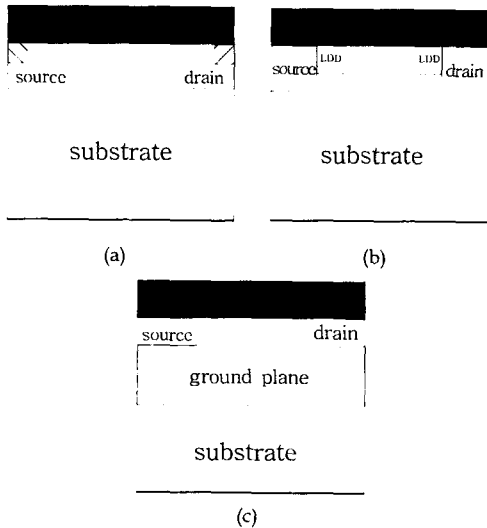


그림 1. 시뮬레이션된 MOSFET의 도식도
(a) conventional MOSFET (b) LDD MOSFET
(c) EPI MOSFET

본 논문은 그림 1과 같이 MOSFET의 3가지의 경우인 단일 Source/Drain 주입의 Conventional MOSFET와 저도핑 Drain(LDD) MOSFET 그리고 MOSFET을 고도핑된 ground plane 위에 적층하여 만든 EPI MOSFET에 대하여 TCAD를 사용하여 스텝링 및 시뮬레이션하였다. 스텝링 방법은 constant-voltage 스텝링을 사용하였다. 이 결과를 조사 분석하여 TCAD의 유용성에 대해 고찰하고자 한다.

II. 이론적 배경

스텝링에 관한 이론은 이미 1970년대 초에 정립되었다. 스텝링이론의 바탕은 소자를 줄이면서 소자 내 전계의 모양과 크기를 일정하게 유지하도록 하여서 본래의 I-V 특성곡성이 그대로 유지되도록 하는 것이다.

스텝링이론은 먼저 산화막의 항복이나 punch-through 현상을 방지하도록 소자내의 전계가 일정하게 유지되도록 하는 full scaling(constant field scaling)이 있으며, 이 때에는 모든 기하학적 크기와 전압을 스텝링 요소인 λ ($\lambda \geq 0$)에 의하여 $1/\lambda$ 로 선형적으로 축소시킨 경우다. 우선 W 와 L 이 같은 비율로 줄어들었으니 W/L 의 값은 본래의 크기로 남는다.

수직구조도 같은 비율로 줄어들어야 하므로 접합깊이 x 와 산화막의 두께 t_{ox} 도 같은 비율로 줄어야 한다. 절연체의 두께가 $1/\lambda$ 로 줄어들었으

므로 절연막의 단위 면적당 캐패시턴스 C_{ox} 는 λ 배로 늘어난다. 반면에 면적은 $1/\lambda^2$ 로 줄어들므로 트랜지스터의 기생 용량은 $1/\lambda$ 배로 줄어들게 된다. 도핑은 λ^2 배만큼 늘여야 한다. 동작전압과 문턱전압 역시 $1/\lambda$ 배로 축소시켰을 때, 드레인전류의 크기가 $1/\lambda$ 로 되며, 이 트랜지스터에서 소모되는 전력 소모량은 $1/\lambda^2$ 로 줄어든다. 채널길이가 $1/\lambda$ 로 줄어들고, 캐리어의 속도는 전계에 비례하지만 $E=V/L$ 에서 전계가 일정한 값을 유지하도록 스텝링시켰으므로 지연시간 역시 $1/\lambda$ 로 줄어들게 된다[1][2].

그러나 트랜지스터의 동작 전압은 회로의 요구되는 조건에 의해서 정해지는 크기다. 따라서 소자의 크기만 $1/\lambda$ 배로 줄이면서 동작전압의 크기는 그대로 유지하는 것이 필요하다. 이것이 본 논문에서 사용한 constant voltage scaling이다.

본 논문은 게이트의 길이가 $0.3\mu m$ 일때를 기준으로 하여 $0.15\mu m$, $0.075\mu m$ 로 스텝링을 하였다. 스텝링한 결과로 V_d-I_d 곡선, V_g-I_d 를 비교하여 g_m 의 변화, 전계와 임팩트 이온화의 변화를 비교 분석하였다. 더 나아가 EPI MOSFET을 conventional MOSFET과 LDD MOSFET에 비교하여 그 구조의 장단점을 고찰하였다.

III. 결과 및 고찰

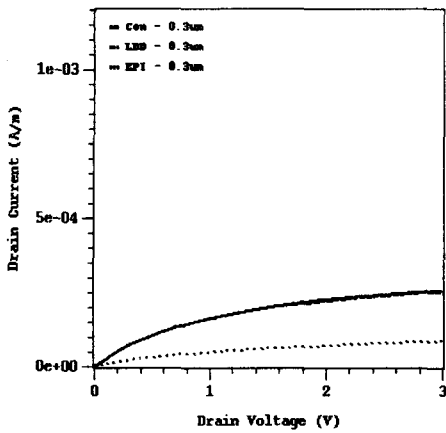
본 논문에서는 그림 1에 도시되어 있는 MOSFET 구조를 가지고 스텝링 요소인 $\lambda = 2$ 일 때, 그리고 게이트길이는 $0.3\mu m$ 를 기준으로 하였으며, 산화층 두께는 $0.3\mu m$, $0.15\mu m$, $0.075\mu m$ 순으로 $9.9nm$, $7.0nm$, $5.0nm$ 로 하였다. 그리고 소스 바이어스 $V_s = 0V$, backgate 바이어스 $V_b = 0V$, 드레인 바이어스 $V_d = 3V$, 게이트 바이어스 $V_g = 3V$ 을 이용하였다. 도핑은 $0.3\mu m$ 를 기준으로 하여 비소(As)를 $N_d = 5 \times 10^{17}$, 기판 도핑인 붕소(B)를 $N_a = 7.5 \times 10^{14}$ 로 하였다. LDD MOSFET의 lightly-doping은 $N_d = 5 \times 10^{16}$ 로 하였으며, ground plane은 $N_a = 7.5 \times 10^{15}$ 로 하였다.

conventional MOSFET인 경우 접합 깊이는 $0.1\mu m$ ($0.3\mu m$ -gate), $0.05\mu m$ ($0.15\mu m$ -gate), $0.025\mu m$ ($0.075\mu m$ -gate)이고 LDD MOSFET인 경우는 접합 깊이가 $0.05\mu m$ ($0.3\mu m$ -gate), $0.025\mu m$ ($0.15\mu m$ -gate), $0.0125\mu m$ ($0.075\mu m$ -gate)이었으며, EPI MOSFET인 경우는 $0.02\mu m$ ($0.3\mu m$ -gate), $0.014\mu m$ ($0.15\mu m$ -gate), $0.01\mu m$ ($0.075\mu m$ -gate)인 경우에 대하여 시뮬레이션하였다.

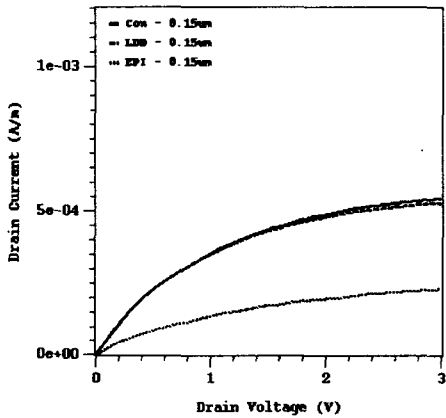
TCAD의 이용 tool인 MDRAW-ISE를 통해 mesh를 구했으며, DESSIS-ISE tool로 시뮬레이션을 하였다. 그리고 그 결과를 INSPECT-ISE tool과 PICASSO-ISE tool로 비교 조사하였다.

그림 2으로부터 bias의 증가시 EPI MOSFET가 채널쪽 전계가 늘어나는 것을 막아주는 것을 볼 수 있으며 스텝링할 때 드레인전류가 다른 구조보다 적으며, 크게 변하지 않는 것을 볼 수가 있다. 그러므로 소모 전력이 적다는 것을 알 수가

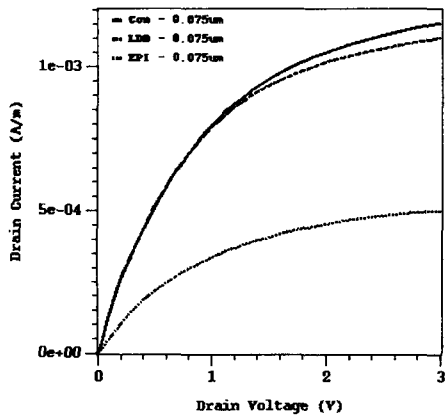
있다.



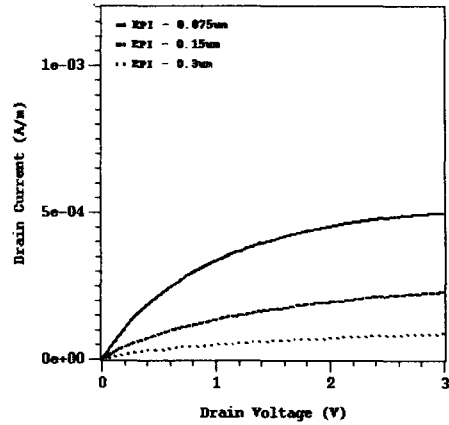
(a)



(b)



(c)



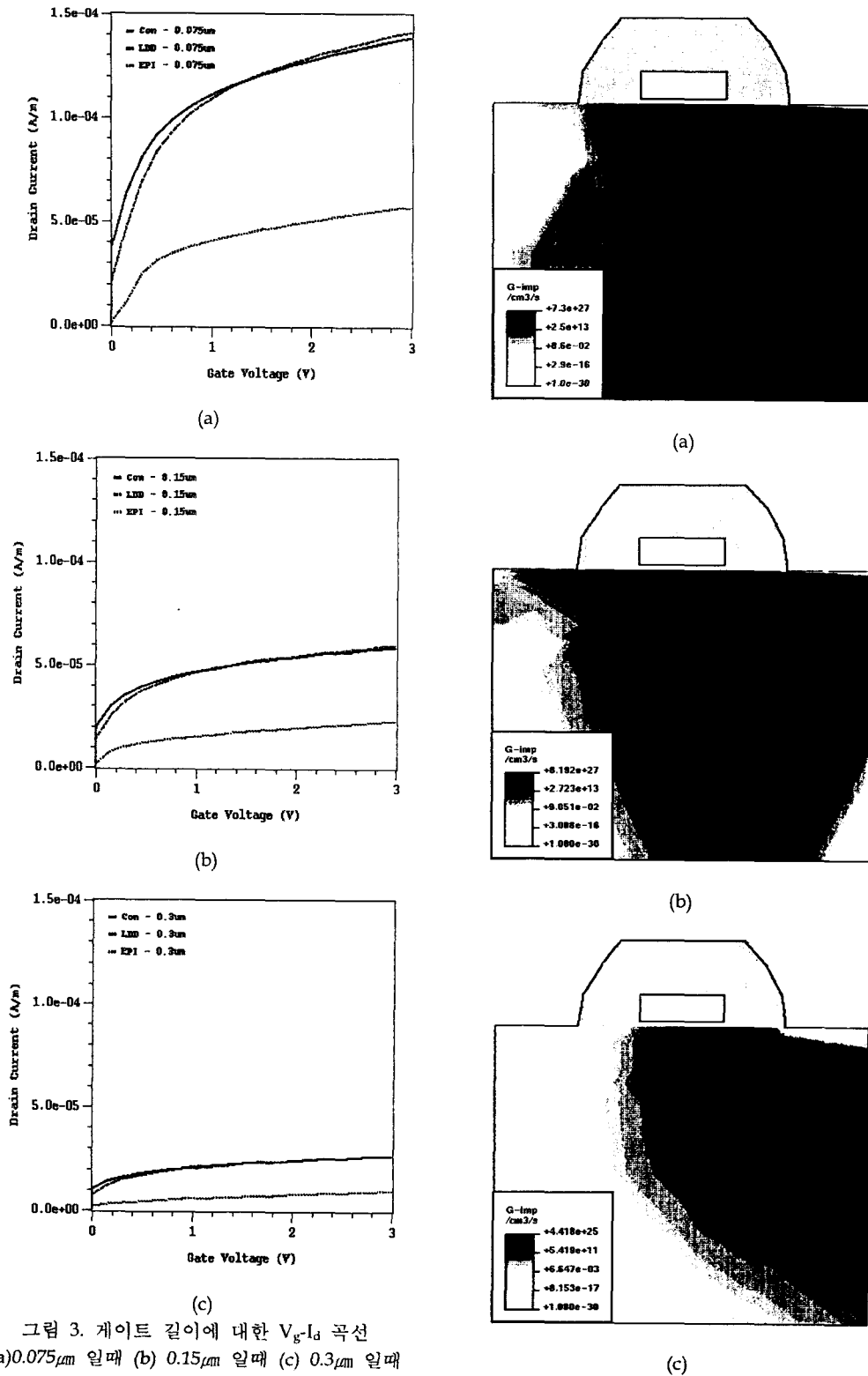
(d)

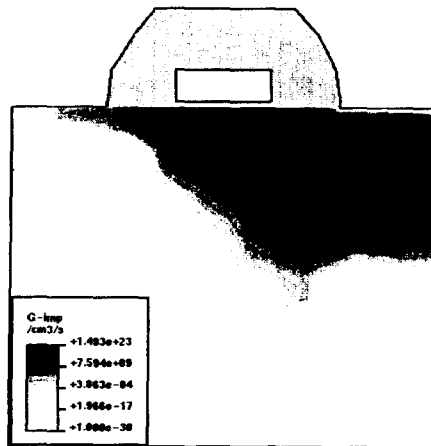
그림 2. 게이트의 길이에 따른 conventional MOSFET, LDD MOSFET, EPI MOSFET의 V_d - I_d 곡선 (a) $0.3\mu\text{m}$ 일 때 (b) $0.15\mu\text{m}$ 일 때 (c) $0.075\mu\text{m}$ 일 때 (d) EPI MOSFET의 게이트의 길이가 $0.3\mu\text{m}$, $0.15\mu\text{m}$, $0.075\mu\text{m}$ 일 때 V_d - I_d 곡선 비교

I_d 가 conventional MOSFET구조와 LDD MOSFET구조에서 많이 흐를지라도 EPI MOSFET구조는 항상 같은 채널길이를 가진 다른 구조보다 더 낮은 드레인전류를 가진다. 드레인 바이어스가 스케일될 때 I_d 를 증가시키는 유일한 방법은 효과적으로 채널저항을 감소시키는 것이다. 그것은 채널에 영향을 주며 실제의 일반적인 효과는 저항이 감소한다는 것이다. 드레인과 소스의 저항은 스케일하면 conventional MOSFET구조에서 거의 같게 유지되며 LDD MOSFET구조는 약간 감소하며, EPI MOSFET는 약간 증가한다. 이는 소스와 드레인저항은 그들 사이의 접합사이에서 저항의 중요한 부분을 고려할 수 있는 작은 접합깊이를 갖는다[3].

그림 3로부터 EPI MOSFET구조가 스케일링시 게이트전압에 대한 드레인전류값의 변동과 전달 컨덕턴스는 다른 구조보다 적음을 알 수 있고, 보다 빨리 포화상태가 오는 것을 볼 수가 있다. 이것은 높은 전압에서는 EPI MOSFET구조가 특성이 나쁘지만 낮은 전압에서는 특성이 좋음을 알 수가 있다. 임팩트 이온화를 관찰하여 보면 EPI MOSFET구조의 특성을 더 알아 볼 수가 있다.

그림 4에서 LDD MOSFET구조보다 EPI MOSFET가 낮은 전압에서 임팩트 이온화가 적음을 알 수 있다. 임팩트 이온화가 많으면 드레인 전류가 증가하며, 이 과정이 가속화될 때 트랜지스터는 정상적인 동작 기능을 상실하게 될 수도 있다. 그러므로 임팩트 이온화가 적은 EPI MOSFET구조가 낮은 전압에서 안정성에서 보면 더욱 유리하다.





(d)

그림 4. 게이트 길이가 $0.075\mu\text{m}$, V_d 와 V_g 값이 3V 일때(a) LDD MOSFET 임팩트 이온화 (b) EPI MOSFET 임팩트 이온화, V_d 와 V_g 값이 1.5V일때 (c) LDD MOSFET 임팩트 이온화 (d) EPI MOSFET 임팩트 이온화

일반적으로, 전계는 드레인의 측면 확산 영역 안에서 최고치를 갖는다. 비지역화 효과들이 작은 채널길이에서 발생하는 것을 나타내는 최대 평균 에너지는 전계의 최고치를 지나서 존재한다. 가장 작은 소자는 많은 수의 고에너지 전자를 가진다 [4][5]. 그러나 그들은 드레인 안쪽에서 더 많이 타난다. 드레인에서의 전압 강하는 이러한 행동의 원인이다. MOSFET가 스케일되었을 때, 채널 저항은 떨어지는 반면 소스와 드레인의 저항은 거의 일정하게 유지된다. 전압 강하의 중요한 부분은 드레인에서 측면 확산영역을 가로질러 일어난다. 이 확산 영역은 채널의 끝에서 게이트-드레인 중첩의 끝까지 확장된다. 드레인을 가로지르는 전압강하가 더 크면 클수록 같은 드레인 바이어스에 대하여 채널-드레인 경계영역에서의 전압이 더 작으며 전자가 소스로부터 채널의 끝까지 이동할 때 전자가 전계로부터 얻을 수 있는 에너지가 더 작아진다.

IV. 결 론

본 연구에서는 EPI MOSFET구조와 conventional MOSFET, LDD MOSFET구조를 비교하여 V_d - I_d 곡선 특성, g_m 값변화, 임팩트 이온화, 전계를 분석 및 조사하였다.

그 결과 EPI MOSFET구조가 우수한 특성을 가지고 있는 것을 확인할 수 있었다. 그리고 TCAD의 유용성도 확인해 볼 수가 있었다.

앞으로 나노구조성장 및 형성기술, 나노패터닝

기술, 나노물리, 나노전자 등을 활용한 대용량, 초고속 첨단 소자를 만들기 위하여 더 나은 MOSFET구조를 만들기 위해 각 구조의 장단점을 수용하여 더 나은 구조를 제시하여야겠다.

참고문헌

- [1] 김원찬, 반도체 소자의 이해, p.387-415, 대영사, 1999
- [2] John P. Uyemura, Fundamentals of MOS Digital Integrated Circuits, p.49-57 (1988)
- [3] A. Duncan, U. Ravaioli, J. Jakumeit, IEEE Trans. ED, p.869 (1998)
- [4] H.K.Jung, H.Nakano, K.Taniguchi, 6th international workshop on computational electronics, 1998
- [5] 정학기, 대한전자공학회, vol 33A, pp. 2258-2265, 1996