

패턴인식을 위한 다층 신경망의 디지털 구현에 관한 연구*

박영석

경남대학교 정보통신공학부

A Study on the Digital Implementation of Multi-layered Neural Networks for Pattern Recognition*

Young-Seak Park

Division of Information and Communication Engineering

Kyungnam University

e-mail : yspark@kyungnam.ac.kr

요약

본 연구에서는 패턴 인식용 다층 퍼셉트론 신경망을 순수 디지털 논리회로 모델로 전환 구현할 수 있도록 새로운 논리뉴런의 구조, 디지털 정형 다층논리신경망 구조, 그리고 패턴인식의 응용을 위한 다단 다층논리 신경망 구조를 제안하고, 또한 제안된 구조는 매우 단순하면서도 효과적인 증가적인 가법적(Incremental Additive) 학습알고리즘이 존재함을 보였다.

I. 서론

대부분의 디지털 신경망의 구현에 관한 연구는 가급적 생물학적 기능에 충실한 뉴런의 설계와 대량 뉴런의 집적화에 바탕을 두고 범용성있는 (general-purpose) 처리기능을 실현하는 점에 초점을 두고 있다. 이같은 접근은 자연스런 것일지라도 현실적인 다양한 응용 요구에 비추어 그러한 시스템은 뉴런의 범용성 추구로 지나치게 회로가 복잡화되고 고가가 된다는 문제점을 지니고 있다.

이러한 점은 다양한 목적의 신경망응용 활성화를 위촉하는 결과를 초래하게 된다. 따라서 범용적 신경회로망 구현의 노력과 더불어 소규모 응용 혹은 특수목적 응용에도 적합한 설계 구현이 용이하고 경제적인 신경망 구현 접근법의 연구 개발이 매우 필요하다.

* 본 연구는 1999년도 경남대학교 교내 연구비 지원에 의해 수행되었음.

다층퍼셉트론신경망(Multi-layered Perceptron Neural Network)은 패턴인식에 있어서 패턴 분류를 위해 거의 공통적으로 사용될 수 있을 뿐만 아니라 음성 및 영상을 포함하는 신호처리, 컴퓨터 비전, 자동제어 등의 다양한 분야에서 널리 이용되고 있다[1~4]. 따라서 본 연구에서는 패턴 인식용 다층 퍼셉트론 신경망을 디지털 논리회로 모델로 구현할 수 있는 디지털 논리 뉴런구조와 체계적인 학습 알고리즘이 존재하는 디지털 논리 신경망 구조를 제안하고자 한다.

II. 다층 퍼셉트론신경망의 매핑개념

일반적으로 다층 퍼셉트론 신경망과 패턴인식의 핵심적 처리(패턴 분류 혹은 식별)는 수학적 의미로 N -차원 유클리드(Euclidean) 입력 벡터 공간(R^N)을 M -차원 이진출력 공간(I^M)으로 다단계 매핑(mapping)하는 함수($f: R^N \rightarrow I^M$)라는 기능적 유사성을 가진다[4].

그림 1은 3층 퍼셉트론 신경망의 구조를 보인다. 제1층의 뉴런 집합은 매핑 $R^{N1} \rightarrow I^{N2}$ 을 행하고 생성된 개개의 이진출력은 패턴공간의 선형 식별 능력을 가지며 각각 패턴공간을 2등분하는 하나의 초평면(Hyperplane)에 대응한다. 제2층은 매핑 $I^{N2} \rightarrow I^{N3}$ 를 행하며 1층에 의한 초평면들에 의해 나누어진 영역 부류를 한점으로 하는 I^{N2} 차원 이진 혹은 hyper-cube 공간을 I^{N3} 차원 이진 공간으로 매핑하는 것이며 역시 각 출력은 I^{N2} 공간에 대

한 하나의 초평면에 대응한다.

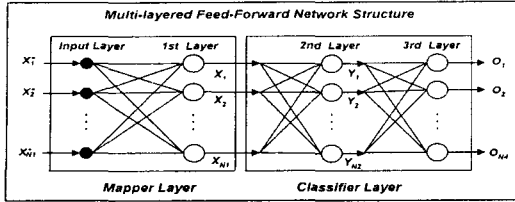


Fig. 1 3-Layer Perceptron Network Structure

결과적으로 I^{N3} 공간이란 개개의 제 2층 출력이 제 1층에 의한 초평면들의 AND 결합 즉, I^{N1} 공간의 2진 변수들의 적항(Product Term)으로서 이뤄지는 패턴 부류들의 공간이다. 따라서 2층 망은 I^{N3} 공간의 한점(부류) 즉, 초평면들로 이뤄지는 하나의 폐공간(Close Space)에 속하는 패턴 부류들을 식별할 수 있는 준선형 식별 능력을 가진다.

그리고 제 3층은 유사하게 매핑 $I^{N3} \rightarrow I^{N4}$ 를 행하며 개개 출력은 제2층 초평면들의 AND 결합이지만 1층 초평면들의 AND 결합에 의한 폐공간들의 OR 결합 즉, I^{N1} 공간 변수들로 이뤄지는 적항(Product Terms: I^{N2} 공간 변수에 대응)의 합항(Sum Term)에 대응한다. 결국 I^{N3} 출력 공간은 I^{N2} 공간 변수에 대한 적의 합(sum of product)형으로 이뤄지는 패턴 부류들의 공간이 된다.

이러한 다단계 매핑의 개념으로부터 그림 1의 신경망에서 제2층은 논리적 AND 층 그리고 제 3층은 논리적 OR 층에 대응한다. 제 2층과 제 3층 부분은 I^{N2} 공간 패턴에 대한 분류 기능을 수행하므로 여기서 1층과 분리하여 분류기 층(classifier layer)이라 명명한다. 그리고 제 1층은 유클리드 공간을 이진공간으로의 매핑 $R^{N1} \rightarrow I^{N2}$ 을 수행하므로 매핑기 층(Mapper layer)라 명명한다.

III. 디지털 정형논리 신경망의 구조

3.1 논리뉴런(Logic Neuron)의 구조

그림 2는 재구성 가능한 n입력 논리 AND 뉴런과 논리 OR 뉴런의 논리도를 보인다. 표 1과 2는 단순화된 입력제어논리 기능을 보이고 있고, 간략화된 논리식은 다음과 같다.

$$Y_{A*} = X_i' S_i' + X_i S_i = (X_i \oplus S_i)'$$

$$Y_{O*} = X_i S_i$$

표 1,2에서 SAIC논리블록이나 SOIC논리블록은 신경망의 시냅스와 대응되며 뉴런의 입력결합을 재구성 가능하게 하며, 여기서 입력 s_i 는 이진 시냅스 가중치(weight)이다.

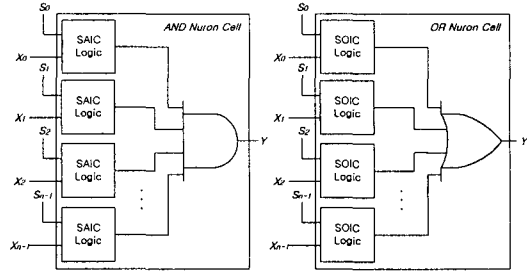


Fig. 2 Neuron Cell Logic Diagram

Table1 Simple AND Input Control logic (SAICL)

X_i	S_i	Y_{A*}	Meaning
0	0	1	invert
0	1	0	connect
1	0	0	invert
1	1	1	connect

Table2 Simple OR Input Control Logic (SOICL)

X_i	S_i	Y_{O*}	Meaning
0	0	0	cut
0	1	0	connect
1	0	0	cut
1	1	1	connect

3.2 매핑기 층(Mapper Layer)의 구조

매핑기 층은 의미적으로 유클리드 공간상의 패턴에 대응하는 점들을 2진 패턴에 해당하는 2진 공간상의 한 점으로 매핑하는 것이다 그래서 매핑기의 구조는 응용에 따라 달라질 수 있다. 예로써 문자 인식의 경우 입력 벡터는 문자 영상의 일련의 화소(pixel) 값일 수 있고 이 때 뉴런은 단순한 스톱워킹 기능을 수행함으로써 2진 패턴 벡터로 변환되어 질 수 있다. 본 연구에서는 문자인식과 같은 영상패턴 인식용을 고려하여 그림 3에서 보 여지는 문턱치 처리기(Threshold)에 의한 하나의 매핑기 구조를 제시한다.

3.3 분류기 층(Classifier Layer)의 구조

단일출력을 가지는 분류기층 신경망 회로는 NOT 게이트는 제외하고 2^{n-1} 개의 AND 뉴런과 1

개의 OR뉴런을 가지는 레벨 2인 AND-OR 구조로 구현할 수 있다[3]. 그러나 분류기는 일반적으로 다출력 함수를 가지기 때문에 레벨 2로 $(2^{n-1}+n)$ 개의 논리 게이트들에 의한 AND-OR 다출력 신경망 구조를 구성했을 때 모든 입력패턴 부류에 대한 완전한 분류능력을 가질 수 없다.

Mapper Layer

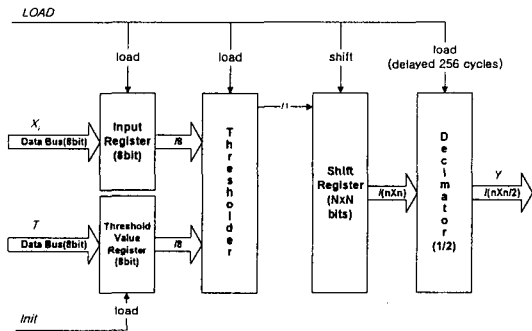


Fig. 3 Mapper Layer Structure

2-level 분류기 층은 정리에 따라 2^n 개의 AND 뉴런 셀과 1개의 OR뉴런 셀로 r 개의 출력함수를 구현한 구조를 그림 12와 같이 표현할 수 있다. 하나의 부울함수 $f(x_1, \dots, x_n)$ 는 식(1)처럼 최소항(Minterm)을 M_i , 그것의 가중치 $w_i \in (0,1)$ 라 할 때 최소항의 합(SOM: Sum of Minterms)형인 정형(Canonical Form)으로 표현될 수 있기 때문에 다출력을 가지는 분류기 층의 AND 블록은 2^n 개의 AND 뉴런 셀로 이루어진다. 그리고 출력은 상호 배타적이므로 최대 2^n 개를 가질 수 있으므로 $r \leq 2^n$ 이다. 이런 이유로 그림 10의 구조를 디지털 정형논리 신경망 분류기(Digital Canonical Logic Neural Network Classifier)라 명명한다.

$$f(x_0, \dots, x_{n-1}) = w_0 M_0 \vee w_1 M_1 \vee \dots \vee w_{2^n-1} M_{2^n-1} \quad (1)$$

그림 4는 다층 전향 퍼셉트론(Feed Forward Perceptron) 신경망의 디지털 정형논리 신경 식별기로 구성된 1단 식별기층 망 구조를 보인다. AND 및 OR뉴런의 가중치는 각각의 가중치 ROM(PROM or EPROM)에 저장되고 신경망의 초기화 과정에서 로드(Load) 혹은 다운로드(Down Load)된다. 그리고 AND 뉴런블록 래치(Latch)는 뉴런 당 1개로 총 2^n 개, OR 뉴런블록 래치는 r (최대 2^n)개가 필요하다. 중단의 2진 엔코더는 식별기 층의 r 개 상호 배타적인 출력을 2진 값으로 변환한다. 이 엔코더의 출력 값은 식별 패턴의 고유한 부류를 나타낸다.

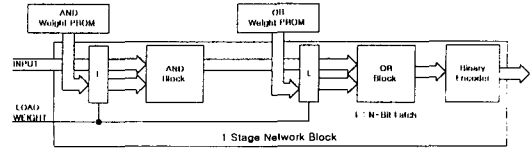


Fig. 4 Digital Canonical Logic Neural Network Classifier

3.3 분류기층의 학습 알고리즘

디지털 정형 다층 신경망에서 AND 뉴런의 출력 y_i 는 다음처럼 최소항 M_i 가 되도록 입력 가중치를 가지면 된다.

$$y_i = f(x_0, x_1, \dots, x_{n-1}) = M_i$$

이것은 고정적인 것으로 학습을 필요로 하지 않는다. 다만 신경망의 초기화 과정에서 AND뉴런이 모든 고유한 최소항을 동적으로 재구성할 수 있게 한다.

그림1의 분류기층의 입력 $X_i \in X$ 는 n 차 2진공간 상 한 점에 해당하고 분류 대상이 되는 부류(class) C_j 는 그 부류에 속하는 패턴 $P_{ji} \in X$ 인 P_{ji} 의 합집합, 즉 논리적 OR결합으로 표현된다. 그리고 하나의 패턴 P_{ji} 에 대응하는 최소항이 M_l 일 때 Map함수는 패턴을 최소항으로 매핑하는 함수로 다음과 같이 정리할 수 있다.

$$C_j = P_{j0} \vee P_{j1} \vee \dots \vee P_{jk}, 0 \leq k \leq 2^n-1$$

$$Map: P_{ji} \in C_j \rightarrow M_l \in M$$

$$Map(P_{ji}) = M_l = \Sigma(l)$$

그리고 모든 패턴은 서로 다르며(disjoint하며) 모든 패턴 부류의 합집합은 다음처럼 모든 최소항에 대한 역(inverse) Map함수의 합집합이다.

$$P_{ji} \neq P_{kl}, j_i \neq k_l$$

$$\bigcup_{for\ all\ j} C_j = \{Map^{-1}(M_0), \dots, Map^{-1}(M_{2^n-1})\}$$

OR뉴런 블록 전체 가중치 W 는 출력 O 에 관련되는 가중치 벡터 W_j 들의 벡터이고 W_j 는 모든 AND 뉴런과 j 번 OR뉴런 간의 가중치 벡터이며 w_{ji} 는 i 번 AND뉴런과 j 번 OR뉴런간의 가중치라 두자.

$$W = (W_0, W_1, \dots, W_{r-1})$$

$$W_j = (w_{j0}, w_{j1}, \dots, w_{j2^n-1})$$

부류 C_j 를 식별하는 함수 $Classify(C_j)$ 는 출력 부울함수 O_j 이며 디지털 정형다층신경망은 다음 식이 성립된다.

$$Classify(C_j) = O_j$$

$$O_j = W_j \cdot Y^T = W_j \cdot M^T$$

따라서 모든 j 와 i 에 대해서 $W(i,j)$ 는 다음처럼

학습한다.

$$w(j, l) = \begin{cases} 1 & \text{if } C_j \ni P_{ji} \text{ and } Map(P_{ji}) = M_l \\ 0 & \text{Otherwise} \end{cases} \quad (3)$$

여기서 i 가 패턴 P_{ji} 의 발생순서라면 OR뉴런의 학습은 논리 가법적으로 증가적(incremental)으로 진행된다. 지금까지의 학습에 대한 설명으로부터 형식적 증명없이(자명함으로) 다음의 성질을 정리할 수 있다.

성질) (정형논리신경망 분류기의 비선형 분류 능력) 정형논리 신경망 분류기는 매핑기의 출력 패턴에 대해 증가적인 가법적 학습을 통해 완전한 비선형 분류능력을 가진다.

IV. 다단 정형논리 신경망의 구조

일반적인 패턴인식문제에 있어서 입력패턴은 다변수 함수이기 때문에 패턴 즉, 입력 변수가 많아지면 정형논리신경망의 구조는 지수함수적으로 커지게되어 현실적이지 못하다. 따라서 패턴인식에 적용하기 위해서는 적절한 적용방법을 고려할 필요가 있다.

문자 영상패턴과 같은 영상 패턴의 경우는 그림 5의 매핑기를 통하면 $N \times N$ 의 2진 패턴이 되고 분류기에서는 N^2 개의 입력 부울변수를 가지게 된다. 예로써, 16×16 그레이레벨 문자 패턴의 경우 1/2 다운샘플링을 통한 매핑기의 출력은 8×8 2진 패턴이 되며 이는 $8^2=64$ 개의 2진 변수가 된다. 이것을 1단의 정형논리신경망으로 구현한다고 하면 2^{64} 개의 AND뉴런이 요구되므로 현실적이지 못하다. 따라서 2×2 크기로 즉, 4변수로 분할하면 16개 블록이 되고 개개의 블록은 4입력 1단 논리신경망 분류기가 되고 총 16단으로 구현될 수 있다. 각 블록에 해당하는 2×2 패턴을 4개 부부류로 분류한다고 가정하면 각단은 2^4 개의 AND 뉴런과 4개의 OR뉴런, 그리고 하나의 4×2 2진 엔코더로 구성될 수 있고 전체는 16×2^4 AND 뉴런과 16×4 OR 뉴런 그리고 16개의 4×2 2진 엔코더로 구성된다.

만약 분류능력이 충분히 수용할만하다면 이 구조는 충분한 현실성을 가진다. 그리고 분류기의 최종 출력은 부부류를 나타내는 각각 2비트인 16개의 값들(16-tuple)로 하나의 부류를 나타내며 각각은 대응하는 단의 OR뉴런 즉, 출력함수의 위치를 나타낸다. 따라서 일반화해서 그림 16과 같은 다단의 다층 디지털 정형 논리신경망 분류기 구조를 제시한다.

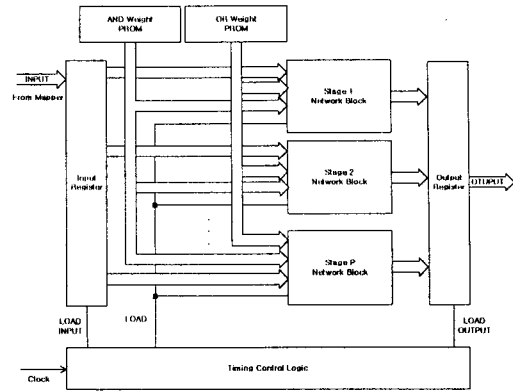


Fig. 5 The Structure of Multi-stage Digital Canonical Logic Neural Network Classifier

V. 결론

본 연구에서는 패턴 인식용 다층 퍼셉트론 신경망을 순수 디지털 논리회로 모델로 전환 구현할 수 있도록 새로운 논리뉴런의 구조, 디지털 정형 다층논리신경망 구조, 그리고 패턴인식의 응용을 위한 다단 다층논리 신경망 구조를 제안하고, 또한 제안된 구조는 매우 단순하면서도 효과적인 증가적인 가법적(Incremental Additive) 학습알고리즘이 존재함을 보였다.

본 연구에서 제시한 디지털 정형논리 다층신경망은 회로의 정규성(regularity)으로부터 최근 고집적도를 가지는 프로그램 가능한 논리소자(PLD)를 이용하여 구현이 가능하며, 나아가 ASIC기술을 통해 디지털 VLSI 논리신경망 칩 혹은 PLNND(Programmable Logic Neural Network Device)을 구현하기 위한 기반 연구로서도 큰 의미를 가지며 다양한 분야에 그 응용성을 기대할 수 있다.

참고 문헌

- [1] S. Haykin, Neural Network a Comprehensive Foundation, McMillan Publishing Co, 1993
- [2] B. Windrow, R.G. Winter, and R. A. Baxter, "Layered Neural Nets for Pattern Recognition," IEEE Trans. ASSP, Vol. 36, pp. 1109-1118, July 1988
- [3] Kai-Yeung Siu, V. Roychowdhury, and T. Kailath, Discrete Neural Computation: A Theoretical Foundation, Prentice Hall, 1995
- [4] Yoh-Han Pao, Adaptive Pattern Recognition and Neural Networks, Addison-Wesley, 1989