

# Interpolated IIR 필터를 사용한 저전력 디지털 다운 컨버터 아키텍처

장 영 범

이화여자대학교 정보통신학과

전화 : 02-3277-4251 / 핸드폰 : 011-445-2830

## A Low-power Digital Down Converter Architecture Using Interpolated IIR Filters

Young-Beom Jang

Dept. of Information Electronics Engineering, Ewha Womans University

E-mail : ybjang@mm.ewha.ac.kr

### Abstract

This paper proposes a low-power DDC(Digital Down Converters) architecture for IF(Intermediate Frequency) signal processing. It is shown that concept of conventional interpolated FIR filters can be expanded to IIR filters for DDC applications. Also in the paper, power dissipations for the proposed architecture and conventional ones are estimated.

### I. 서론

서로 다른 표준의 이동통신 시스템에서 하나의 휴대용 단말기를 공통으로 사용할 수 있는 개념의 소프트웨어 라디오가 널리 연구되고 있다. 여러 가지의 이동통신 단말기 표준을 지원하기 위하여 IF(Intermediate Frequency) 블록의 디지털 처리가 필수적으로 요구된다. 휴대용 단말기와 같은 저전력이 요구되는 이동통신 기기에서는 디지털 IF단의 고속 필터링에서 발생하는 전력소모가 반도체 구현의 걸림돌이 되고있으며, 따라서 디지털 IF 블록의 아키텍처는 적응성과 저전력의 구현을 요구한다. 이와 같은 IF 단의 디지털 처리 방식을 디지털 다운 컨버터(Digital Down Converter, 이하 DDC)라고 하며, 그림 1과 같이 나타내진다. IF신호  $s(t)$ 는 ADC(Analog-to-Digital Converter)를 통하여 디지털 신호로 변환된 후, 디지털 믹서를 통하여 I 방향의 신호와 Q방향의 신

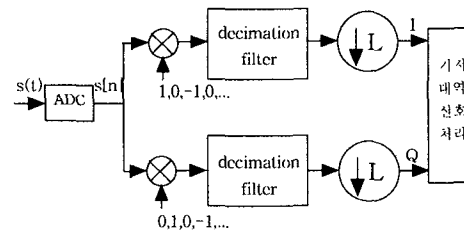


그림 1. DDC(디지털 IF) 블록도

호로 분리된 후에 각각 필터에 입력된다. 그림 1에서, 디지털 믹서의 계수 값들은 ADC의 샘플링 주파수가 디지털 믹서의 주파수의 4배가 되도록 정의하면 믹서 값들이 1, -1, 0으로 되어 믹서 값들을 만들어 내는 하드웨어가 필요 없으며, 믹서 값과 신호의 곱셈이 필요 없게 되는 효율적인 구조가 된다.<sup>[1]</sup> 믹서를 통과한 신호는 데시메이션 필터를 통하여 불필요한 신호대역이 제거된 기저대역 신호가 되며, 마지막으로 파잉의 정보를 제거하기 위하여 다운 샘플러에 의하여 정수 인수인 L만큼 샘플링 속도가 낮춰진다. 그림 1과 같은 고속 필터링이 요구되는 DDC가 이동통신 단말기시스템에 널리 사용되기 위해서는 저전력의 DDC 아키텍처의 연구가 선행되어야한다. DDC의 전력소모를 감소시키기 위한 바람직한 방법은 데시메이션 필터와 다운샘플러를 여러 개의 스테이지로 분리하여 스테이지마다 동작속도를 낮추는 방법이다. FIR(Finite Impulse Response) 형의 데시메이션 필터인 경우에 대하여는 IFIR(Interpolated Finite Impulse Response) 방식이 제안되었다.<sup>[2]</sup> 이는 필터를 인터폴레이션 필터와 모델필터로 분해하여서 그 중에서 모델필터와 다운샘플러를 위치 바꿈 함으로서 Multirate의 2개의 스테이지

로 처리하는 방식이다. 또한 전력소모를 더욱 줄이기 위하여, 두 개의 스테이지로 필터를 분해한 후에 각각의 스테이지마다 Polyphase를 적용하는 방식도 제안되었다.<sup>13)</sup>

본 논문에서는 IIR(Infinite Impulse Response) 필터를 데시메이션 필터로 사용할 경우의 스테이지 분리 방법을 제안한다. 스테이지 분리를 통한 동작속도의 감소가 저전력의 DDC 구조를 가능하게 함을 보인다.

## II. IIR 필터를 사용한 DDC 구조

원래 IFIR 필터는 일반 필터의 계산 양을 줄이기 위한 방법으로서 제안되었다. 이 방법은 2개의 스테이지의 직렬 연결로 구성되며 첫 번째 스테이지에서는 제로가 삽입된 FIR 필터로 구성되고 두 번째 스테이지는 인터플레이션 필터로 구성된다. 설계해야 할 필터  $H(e^{j\omega})$ 의 사양이 cut-off 주파수가  $\pi/8$ 라고 하면 그림 2와 같이 두 개의 필터의 곱, 즉  $P(e^{j\omega})$ 와  $G(e^{j\omega})$ 의 곱으로 구성될 수 있다. S. K. Mitra는  $P(e^{j\omega})$ 의 효과적인 설계를 위하여 그림 2의  $F(e^{j\omega})$ 를 먼저 제안하였다.  $P(e^{j\omega})$ 는  $F(e^{j\omega})$ 의 interpolated 버전 또는 up sampling 버전이라고 말할 수 있다. 시간 영역에서 다시 보면  $f[n]$ 의 Impulse 응답에 제로를 삽입하여 4배로 up sampling하면  $p[n]$ 을 얻을 수 있음을 의미한다. 따라서 일반 설계 도구를 사용하여  $f[n]$ 의 필터계수들을 얻은 후에 이를 up sampling하여 사용하는 방법이다. 그림에서는  $L=4$ 로 up sampling하였다. 시간 영역과  $z$  영역에서의 관계식은 다음과 같다.

$$p[n] = \begin{cases} f[\frac{n}{L}], & n=0, L, 2L, \dots \\ 0, & \text{otherwise} \end{cases} \quad P(z) = F(z^L) \quad (1)$$

$G(e^{j\omega})$ 의 필터는  $P(e^{j\omega})$ 의 원치 않는 반복구간의 주파수 성분을 제거하는 용도의 필터로서 일반적인 설계도구를 이용하거나  $G(z) = 0.5(1+z^{-1})$ 와 같은 간단한 필터도 고려될 수 있다.

이와 같은 IFIR 필터 설계방식을 데시메이터에 응용한 기존의 DDC 구조를 먼저 살펴보기로 하자.  $P(z)$ 와  $G(z)$ 는 교환법칙이 성립하므로 식 (2)와 같이 나타낼 수 있다.

$$H(z) = P(z)G(z) = G(z)P(z) = G(z)F(z^L) \quad (2)$$

위의 데시메이션 필터의 뒤에는 다운샘플러가 붙으므로 다운샘플러의 크기가  $L$ 이면  $F(z^L)$ 과 위치 바꿈이 가능하고 위치를 바꾼 후에  $F(z^L)$ 는  $F(z)$ 로 변환된다. 데시메이션 인수가 8인 경우의 그림 3(a)의 데시메이터를 보기로 하자.  $L$ 을 4로 정하면 데시메이션 필터는 (b)와 같이 분리되므로 다운 샘플러도 4와 2로 분리시킨다. 최종적으로  $F(z^4)$ 과 4의 다운 샘플러와 위치를 바꿔서 (c)와 같이 유도되어, 위치를 바꾼 후에  $F(z^4)$ 는  $F(z)$ 로 변환된다. 이와 같이 유도된

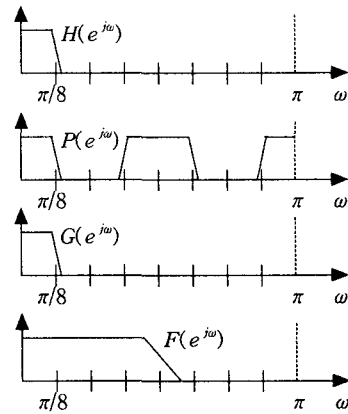


그림 2. IFIR 필터의 주파수 영역 해석

IFIR Multirate 구조는 뒤의 스테이지의 동작속도가 감소하므로 낮은 소모전력의 구조가 되며, 각각의 스테이지에 Polyphase를 적용하여 병렬로 처리하는 구조도 제안되었다. 이와 같이 IFIR 필터를 DDC에 응용하여 저전력의 구조를 얻을 수 있다. 그림 2를 다시 보기로 하자. 데시메이터에서는 필터 뒤에 다운 샘플러가 위치하나 일반 필터에는 다운 샘플러가 없으므로 그림 2의  $p[n]$ 과  $g[n]$ 의 직렬연결로 구현해야 한다. 그리고  $p[n]$ 의 효율적인 설계를 위하여  $f[n]$ 을 설계한 후에 이에 제로들을 원하는 비율로 삽입하여, 즉 업 샘플링하여  $p[n]$ 으로 사용한다.  $p[n]$ 이  $f[n]$ 의 업 샘플링 버전이라는 개념을 이용하기 위하여  $f[n]$ 이 FIR 필터이어야 하는 제약이 발생한다. 그러나 이와 같은 IFIR 필터를 데시메이터에 사용할 때에는 그림 3에서와 같이  $f[n]$ 을 업 샘플링하지 않고 그대로 사용할 수 있게 된다.

지금까지 기존의 IFIR 방식을 살펴본 이유는 이 방식을 IIR 필터의 개념으로 확장시킬 수 있기 때문이다. 필터만을 설계하는 것이 목적이려면  $f[n]$ 을 먼저 설계한 후에 제로를 삽입하여 Impulse 응답으로 사용하여야 하지만, 데시메이터에서는 그림 3(c)처럼  $f[n]$ 을 그대로 사용하므로 FIR이어야 하는 제약을 없앨 수 있다. 따라서 데시메이터에서는 그림

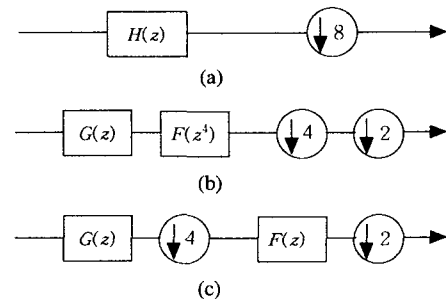


그림 3. 데시메이터의 스테이지 분리 (a) 인수 8의 데시메이터 (b) 필터와 다운 샘플러의 분해 (c) 필터와 다운 샘플러의 위치 바꿈

1의 주파수 영역의 해석을 FIR로만 제한시킬 필요가 없으며, IIR을 포함하는 개념으로 확장시킬 수 있게 된다. 즉, 그림 1의 주파수 영역 해석은 FIR에 국한되지 않고 IIR에도 확장시켜 적용할 수 있다. 다만 필터 설계가 목적이려면  $f[n]$ 을 먼저 설계하여 이에 제로를 삽입시켜  $f'[n]$ 으로 사용하여야 하므로  $f[n]$ 이 FIR 필터이어야 제로들을 쉽게 삽입하여  $f'[n]$ 으로 사용하기 용이하다. 만일  $f[n]$ 을 IIR로 설계하여  $f'[n]$ 을 만들려면 IIR 필터에서 Impulse 응답을 구한 후에 제

표 1. IFIR과 IIR의 쓰임새

용도	구분	IFIR	IIR
일반필터		○	×
데시메이터(필터+다운샘플러)		○	○

로들을 삽입하여 FIR로 적당히 잘라서 사용해야하므로 유용한 설계방법이 아니다. 그러나 데시메이터에서는  $f[n]$ 이 그대로 사용되고, 그것의 제로가 삽입된 버전을 고려할 필요가 없으므로  $f[n]$ 을 IIR 필터로 설계해도 된다. IIR 필터와 인터플레이션 필터  $g[n]$ 의 직렬연결이므로 이를 IIR (Interpolated IIR)이라고 부르기로 하자. 이와 같은 쓰임새를 표 1에 나타내었다. 인터플레이션 필터  $g[n]$ 의 설계도 FIR의 제한은 없다. 따라서 그림 3(c)에서  $g[n]$ 과  $f[n]$ 을 모두 FIR, 모두 IIR, 또는 FIR과 IIR의 조합등이 가능하다. 그림 3(c)에서 전체적인 시스템 함수가  $G(z)F(z^L)$ 이므로 이 시스템 함수의 통과대역 특성과 저지대역 특성이 원래 설계하고자 하는  $H(z)$ 의 그것들과 동가이면 된다. 전력소모를 감소시키기 위하여 면적과 동작속도 모두를 고려해야한다. 본 논문이 제안하는 IIR 아키텍처는 IIR 필터의 장점인 면적의 감소를 이룰 수 있을 뿐 아니라, Multirate의 구조이므로 동작속도의 감소를 통한 전력소모도 낮출 수 있는 구조가 만들어진다.

### III. 전력소모의 비교

IS-95 CDMA 이동통신 단말기의 IF단을 본 논문이 제안하는 아키텍처로 구성하여 기존의 아키텍처와의 전력소모를 비교한다. ADC의 샘플링 주파수  $f_s$ 는 디지털 믹서의 주파수  $f_{dm}$ 의 4배가되는 19.6608MHz를 사용하여 디지털 믹서의 곱셈 값들을 1, 0, -1이 되도록 하였다. 통과대역의 주파수와 리플은 각각 630KHz와 0.1dB로 하였으며, 저지대역의 주파수와 어테뉴에이션은 각각 1.2288MHz와 -40dB로 하였다. 그림 4에서 보듯이 디지털 믹서에 의해 신호가 저역의 주파수 영역으로 이동된 후 잉여 주파수 대역을 제거하기 위하여 데시메이션 필터와 8의 다운 샘플러를 사용한다. 이 DDC를 기존의 구조와 제안된 구조의 아키텍처로 구현하여 전력소모와 면적을 비교하기로 한다. 기존의 구조는 IFIR 방식을 사용하여 스테이지를 분리한 후, 각각의 스테이지에 Polyphase를 적용한 DDC 구조이다.<sup>[31]</sup> IFIR 구조를 만들기

위하여, 사양을 만족하는 그림 3의 (c) 구조를 설계하면  $G(z)$ 와  $F(z)$ 의 필터 탭 수가 각각 15와 36이 되며 그림 4(a)와 같다. 디지털 믹서들의 곱셈 값들 중에서 0들이 포함되어 있으므로, FIR 구조에서는 디지털 믹서 전단에서 2로 다운샘플링하여 그림 4(b)와 같이 입력시킴으로서 디지털 믹서의 0들의 곱셈 값을 제거하고 필터 구조의 복잡도를 2분의 1로 감소시킬 수 있다. Q단의 입력신호에는 디지털 믹서의 곱셈 값이 0부터 시작되므로 지연소자 1개를 통과하여 입력시킨다. 데시메이션 필터의 입력신호 속도가 2분의 1로 감소되었으므로 데시메이션 필터 후의 다운 샘플러도 4가 아닌 2로 바뀐다. 각각의 스테이지에 Polyphase를 적용하여 구현된 최종의 구조는 그림 4(c)와 같다. 여기에서 SPC는 Serial-to-Parallel Converter로서 각각의 SPC는 2개의 다운 샘플러와 1개의 지연소자로 구성된다.  $G_{I,0}(z)$ 와  $G_{I,1}(z)$ 의 필터들은 각각 4.4 탭의 필터로서 다음과 같다.

$$\begin{aligned} G_{I,0}(z) &= g_0 + g_4z^{-1} + g_8z^{-2} + g_{12}z^{-3} \\ G_{I,1}(z) &= g_2 + g_6z^{-1} + g_{10}z^{-2} + g_{14}z^{-3} \end{aligned} \quad (3)$$

$F_0(z)$ 와  $F_1(z)$ 의 필터들은 각각 9.9 탭의 필터로서 다음과 같다.

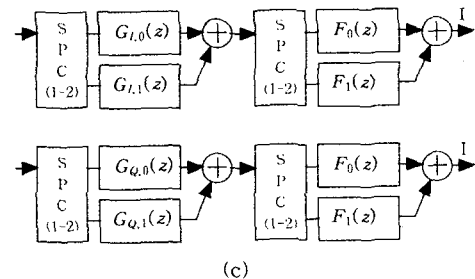
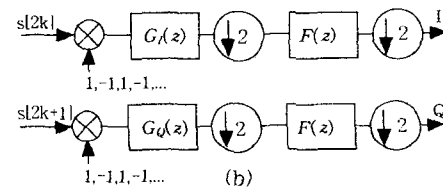
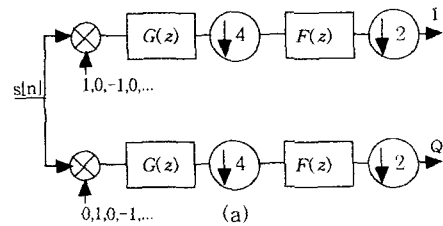


그림 4. (a) IFIR DDC 블록도

(b) 디지털믹서가 간략화된 IFIR DDC

(c) Polyphase로 구성된 데시메이션 필터와 다운샘플러(다운샘플러는 SPC 안으로 위치변경됨)

$$\begin{aligned} F_{1,0}(z) &= f_0 + f_2z^{-1} + \dots + f_{16}z^{-8} \\ F_{1,1}(z) &= f_1 + f_3z^{-1} + \dots + f_{17}z^{-8} \end{aligned} \quad (4)$$

Q단의  $G_{Q,0}(z)$ 와  $G_{Q,1}(z)$ 의 필터들은 각각 4,3 탭의 필터로서 다음과 같다.

$$\begin{aligned} G_{Q,0}(z) &= g_1 + g_5z^{-1} + g_9z^{-2} + g_{13}z^{-3} \\ G_{Q,1}(z) &= g_3 + g_7z^{-1} + g_{11}z^{-2} \end{aligned} \quad (5)$$

Q단의  $F_0(z)$ 와  $F_1(z)$ 의 필터들은 I단의 것들과 같은 필터를 사용한다. 전력소모는  $P_{dyna} = P_t \cdot C_L \cdot V_{dd}^2 \cdot f_{clk}$ 의 식을 일반적으로 사용한다. 이 식에서 dynamic 전력소모인  $P_{dyna}$ 은 CMOS 디지털회로의 총 전력소모 가운데 가장 큰 비중을 차지하는 전력소모이다.  $P_t$ 는 전력이 소모되는 transition의 확률이고,  $C_L$ 은 부하 커패시턴스,  $V_{dd}$ 는 인가전압, 그리고  $f_{clk}$ 는 clock의 주파수이다. 상대적인 dynamic 전력소모를 구하기 위하여 이 식을 다음과 같이 변형하여 사용한다.

$$P_{dyna} = \sum_{스테이지} (\text{동작속도} \times \text{면적}) \quad (6)$$

위의 식에서 동작속도는 첫 번째 스테이지를 항상 1로 하고 두 번째 스테이지부터는 다운 샘플러의 크기만큼 줄어들도록 하여 사용한다. 일반적으로 필터에서는 위의 식의 면적으로서 곱셈기를 사용한다. 즉 한 개의 곱셈기가 곱셈, 덧셈, 지연소자를 대략 1개씩 사용하여 구성되므로 면적 대신에 곱셈기 수를 사용한다. 기존 구조의 면적은 곱셈을 51개 사용하므로 51이 되고 전력소모는  $1/4 \times 15 + 1/8 \times 36 = 8.25$ 가 된다.

본 논문이 제안하는 IIR 아키텍처를 구현하기 위하여, IIR 필터로 스테이지를 분리하면 그림 4(a)와 같은 블록도를 얻는다. 여기에서 인터플레이터  $G(z)$ 의 구현은 Polyphase를 이용하기 위하여 FIR로 설계하여 15탭의 계수를 얻었다.

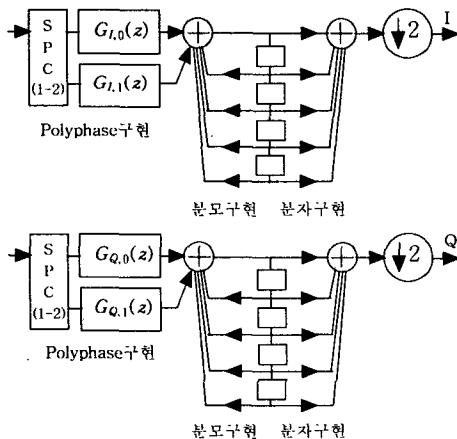


그림 5. 제안된 IIR DDC 구조

$F(z)$ 의 설계를 위하여 2.52MHz의 통과대역 주파수와 4.9152 MHz의 저지대역 주파수의 사양을 IIR 필터 설계도구를 이용하여 4차의 필터계수를 얻었다. 이에 대한 블록도는 그림 4(b)와 같다. 그림 4(b)를 Polyphase FIR 필터와 IIR 필터를 사용한 최종의 아키텍처는 그림 5과 같다. 그림 5에서 네모는 지연소자이다. 이제 이 구조의 면적과 전력소모를 계산해보기로 하자. 면적을 계산하기 위하여 각단의 곱셈의 수를 계산하면, Polyphase단에 15개, 분모구현 단에 8개, 그리고 분자구현 단에 10개이므로 총 33개의 곱셈이 사용된다. 따라서 상대면적은 33이 된다. 동작속도는 Polyphase단이

표 2. 기존 방식과의 구현면적과 전력소모 비교

구조	구현면적	전력소모
IFIR(Polyphase구조)	51(1)	8.25(1)
IIR(Polyphase구조와 Direct form의 IIR구조)	33(0.647)	7.0(0.848)

1/4이고, 분모구현 단도 1/4, 그리고 분자구현 단은 1/8이 된다. 따라서 전력소모는  $1/4 \times 15 + 1/4 \times 8 + 1/8 \times 10 = 7.0$ 이 되어 기존의 IFIR을 이용한 DDC 구조보다 전력소모와 면적이 모두 감소된 아키텍처임을 알 수 있다. 기존 구조에 대한 구현면적과 전력소모를 비교하면 표 2와 같다. 괄호 안에 표시된 숫자들은 Polyphase IFIR구조를 1로 정의했을 때의 상대 구현면적과 전력소모이다.

## V. 결론

Interpolated IIR 필터를 사용한 새로운 DDC 구조를 제안하였다. 이 구조는 기존의 IFIR 구조에 비하여 전력소모와 구현면적이 감소됨을 보였다. 즉, IS-95 CDMA IF 블록을 제안된 DDC 구조로 구성한 결과, IFIR을 사용한 DDC 구조에 비하여 전력소모가 15.2%, 구현 면적이 35.3% 각각 감소함을 알 수 있었다.

## 참고문헌

- [1] 안승혁, 박인순, 최진규, 이용훈, "중간 주파수 디지털 신호처리," 전자공학회지 제27권 제4호, 72-82쪽, 2000년 4월
- [2] Y. Neuvo, C. Y. Dong, S. K. Mitra, "Interpolated finite impulse response filters," *IEEE Trans. Acoust., Speech, Signal Processing*, vol. ASSP-32, pp. 563-570, June 1984.
- [3] J. Jou, S. Y. Wu, C. K. Wang, "Low-power multirate architecture for IF digital frequency down converter," *IEEE Trans. Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 45, No. 11, pp. 1487-1494, Nov. 1998.