

카오스 신경망을 위한 CMOS 혼돈 뉴런

송한정, 곽계달*

충청대학 전자공학과, *한양대학교 전자공학과

전화 : (0431) 230-2272 / 팩스 : (0431) 230-2279

CMOS Chaotic Neuron for Chaotic Neural Networks

Han Jung Song, Kae Dal Kwack*

Department of Electronic Engineering, Chung Cheong College

*Department of Electronic Engineering, Hanyang University

E-mail : hjsong@chch.ac.kr

Abstract

Voltage mode chaotic neuron has been designed in integrated circuit and fabricated by using $0.8\mu\text{m}$ single poly CMOS technology. The fabricated CMOS chaotic neuron consist of chaotic signal generator and sigmoid output function. This paper presents an analysis of the chaotic behavior in the voltage mode CMOS chaotic neuron. From empirical equations of the chaotic neuron, the dynamical responses such as time series, bifurcation, and average firing rate are calculated. And, results of experiments in the single chaotic neuron and chaotic neural networks by two neurons are shown and compared with the simulated results.

I. 서론

신경회로망에 대한 연구는 1943년 맥컬로크(McCulloch)와 피츠(Pitts)가 처음으로 뉴런(신경세포) 모델을 제안한 이래 영상처리, 음성인식, 최적화 문제 등 여러 분야에서 광범위하고도 다각적으로 진행되어

왔고, 그 응용 가능성으로 인하여 여전히 주목받는 연구분야가 되고 있다. 그러나 이러한 최근의 관심과 연구에도 불구하고 대부분의 신경회로망 모델은 여전히 그 본질적 한계를 지니고 있는 것 또한 부인할 수 없는 사실이다. 이러한 원인의 하나로써 신경망의 기본 요소를 이루는 뉴런 자체의 단순 기능성, 즉 생물학적 뉴런(신경세포)의 극히 일부 기능만을 모델화 했다는 점을 지적하지 않을 수 없다. 때문에 좀더 효율적이고 향상된 성능의 신경회로망 구성을 위해서는 생물학적 뉴런의 복잡 다양한 동적 특성 등을 포함하는 뉴런 모델이 절실하다 할 것이다. 최근의 연구에 의하면 실제 뉴런의 경우 평형, 주기, 분기현상 등 복잡한 혼돈(카오스) 현상은 물론 과거의 자극과 관련한 불응성 등 여러 가지 중요한 동적 특성들이 밝혀진 바 있다. 1990년 일본의 아이하라(Aihara)가 처음으로 카오스 뉴런 모델을 발표한 것을 계기로 여러가지 형태의 혼돈(카오스) 뉴런 연구가 진행되고 있고 '스위치드 캐패시터 방식의 전류모드 카오스 뉴런' 등과 같은 집적회로화는 물론 이를 신경망에 적용한 성과도 나오고 있으며 앞으로 많은 연구의 여지가 있다 할 것이다. 본 논문에서는 이산시간 전압모드로 동작하는 카오스 뉴런을 모델화 하여 $0.8\mu\text{m}$ 단일 폴리 CMOS 집적회로로 구현하고 이의 동적 응답 특성을 분석한다. 또한 4개

의 시냅스를 지닌 2개의 카오스 뉴런으로 이루어진 카오스 신경 회로망을 구성하여 시냅스 가중치에 따른 분기도 변화를 구하고 이의 실험적 확인을 위하여 $\pm 2.5V$ 전원, 10kHz의 클럭에서 제작된 카오스 뉴런과 2개의 뉴런으로 이루어진 신경망을 구성하여 제 특성을 측정, 분석한다.

II. 본론

(1) 전압모드 CMOS 카오스 뉴런의 구성

그림 1에 본 논문이 제안하는 카오스(혼돈) 뉴런의 회로도를 나타내었다. 본 회로는 카오스 신호 발생 블록과 시그모이드 출력함수로 구성되며 전압모드로 동작한다.

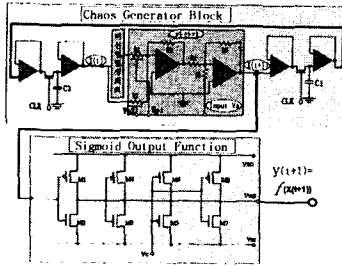


그림 1. 제안하는 CMOS 카오스 뉴런 회로도

그림 1의 전압모드 카오스 뉴런의 유도된 관계식을 정리하면 다음과 같다.

$$x(t+1) = k \cdot x(t) - \alpha \cdot (g(x)) + (-Va(t)) \quad (1)$$

$$g(x(t)) = 0.02 - 0.66x(t) + 3.07|x(t) + 0.25| - 3.18|x(t) - 0.11| \quad (2)$$

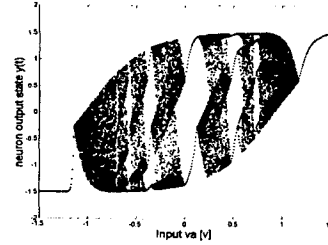
$$y(t+1) = f(x(t+1)) \quad (3)$$

$$f(x) = -3 \cdot \left\{ \left(\frac{1}{1 + \exp\left(-\frac{x}{0.3}\right)} \right) - 0.5 \right\} \quad (4)$$

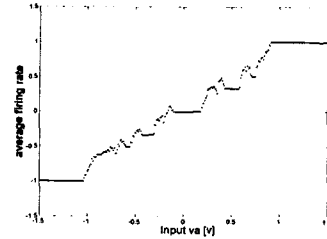
이때 함수 $f(\cdot)$ 는 그림 1의 출력함수에 대한 SPICE 모의실험을 통하여 유도된 근사수식이다. 이 출력함수는 기울기 파라미터 $\epsilon = 0.3$ 을 가지며 $\pm 1.5V$ 에서 포화되는 역 쌍극성 특성을 나타낸다.

본 논문에서 제안한 CMOS 카오스 뉴런의 여러 동적 특성을 분석하기 위하여 식 (1)~(4)에 대하여 수치해

석을 실시하였다. 먼저 입력전압 $Va(t)$ 와 뉴런의 출력상태 $y(t)$ 간의 분기도를 구하였다. 그림 2에 $k=0.5$, $\alpha=1$ 일 경우의 분기도와 평균 발화율 계산결과를 보이고 있다.



(a) bifurcation



(b) average firing rate

그림 2 단일 CMOS 카오스 뉴런의 응답 특성

입력전압 $Va(t)$ 를 $-1.5V$ 에서 $1.5V$ 까지 변화시켰을 때 뉴런의 출력상태 $y(t)$ 가 평형점, 2주기, 3주기, 혼돈상태 등으로 분기됨을 나타내 보이고 있다. $Va(t)$ 값이 $-1.2V$ 미만과 $1.2V$ 이상인 경우 특정한 DC 전압 즉, 평형점의 정상상태 값으로 수렴하는 것을 볼 수 있고 $Va(t)$ 값이 $-1.2V \sim 1.2V$ 사이에서는 간헐적인 주기성을 보이면서 카오스 상태를 나타내고 있는 것을 볼 수 있다. 카오스 상태의 특징은 임의의 초기점에서 근접 시작한 두 신호궤적이 시간이 지남에 따라 그 수렴, 발산정도가 지수함수적인 형태를 띠게 되는데, 이때 초기 미소한 궤적차이를 d_0 라 한다면 시간 t 가 지난 후의 궤적차이는 다음과 같이 표현될 수 있다.

$$d(t) = d_0 e^{\lambda t} \quad (5)$$

이때의 λ 를 리아프노프 지수라 부르며 이는 다음 식과 같이 구할 수 있다.

$$\lambda = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{t=0}^N \ln \left| \frac{\Delta X(t+1)}{\Delta X(t)} \right| \quad (6)$$

λ 값이 양수이면 궤적차이가 지수적 발산, 즉 혼돈상태를 뜻하고, 음수 또는 0이면 궤적차이가 수렴을 나타내는 주기운동 내지 평형상태를 뜻한다. 이 λ 값을 이용하여 카오스 뉴런 내부의 상태를 발화하는 정도를 나타내는 시간 평균 발화율(average firing rate)을 식(7)로부터 구할 수 있다.

$$\rho = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{t=0}^N h(x(t)) \quad (7)$$

$$h(x) = 1(x \geq 0), -1(x < 0)$$

그림 2(b)의 평균 발화율에 대한 수치해석 결과를 보면 평형내지 주기적 상태일 때는 뉴런 내부의 발화 정도가 일정하지만 카오스(혼돈) 영역에서는 불규칙한 특성을 보이고 있다.

(2) 카오스 뉴런을 이용한 신경회로망 구성

다음으로 전압모드 카오스 뉴런의 신경회로망 내에서의 응용 가능성을 확인하기 위하여 그림 3과 같이 4개의 시냅스와 2개의 뉴런으로 이루어진 신경회로망을 구성하여 학습에 필요한 시냅스 가중치 변화와 뉴런 자체의 귀환성, 다른 뉴런간의 연결성 등을 살펴 본다.

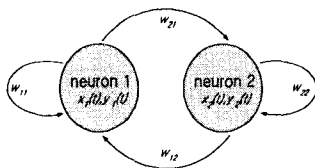


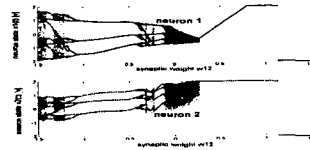
그림 3. 4개의 시냅스를 지닌 2개의 뉴런으로 이루어진 카오스 신경망

식 (1~4) 로부터 모든 외부입력과 문턱치의 합을 각각 V_{a1} 과 V_{a2} 로 놓고 그림 3의 신경회로망에 대한 관련 수식을 구하여 정리하면 아래와 같다.

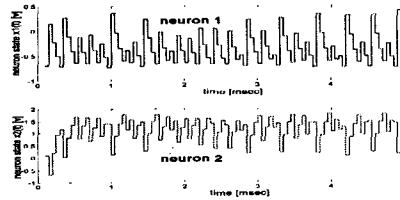
$$y_1(t+1) = f(k \cdot x_1(t) + \alpha \cdot g(x_1(t)) - (V_{a1}(t) + w_{11} y_1(t) + w_{12} y_2(t))) \quad (8)$$

$$y_2(t+1) = f(k \cdot x_2(t) + \alpha \cdot g(x_2(t)) - (V_{a2}(t) + w_{21} y_1(t) + w_{22} y_2(t))) \quad (9)$$

여기에서 $k=0.5, \alpha=1, V_{a1}=V_{a2}=0$ 이라 하고 수치해석한 2개의 뉴런으로 구성된 카오스 신경망의 응답특성을 그림 4에 나타내었다.



(a) bifurcation ($w_{11}=-0.5, w_{21}=-0.5, w_{22}=-1$)



(b) time series ($w_{11}=-0.5, w_{12}=-0.1, w_{21}=-0.5, w_{22}=-1$)

그림 4. 두 뉴런으로 이루어진 카오스 신경망의 응답특성

그림 4(a)로부터 시냅스 가중치 w_{12} 에 따라 두 개의 뉴런 모두에서 정상적인 카오스 뉴런의 분기현상이 나타나고 있고 그림 4(b)는 그림 4(a)의 $w_{12}=-0.1$ 일 때의 시간과형으로, 두 뉴런 모두 카오스(혼돈) 상태에 있음을 알 수 있다. 이는 신경회로망에 있어서의 가중치 변화에 따른 학습 가능성을 의미한다고 할 수 있다.

(3) 카오스 신경회로망의 측정 및 분석

본 논문에서 제안한 전압모드 CMOS 카오스 뉴런의 집적회로 구현한 현미경 사진을 그림 5에 나타내었다. $\pm 2.5V$ 전원, 10kHz의 클럭으로 구동시켜 입력에 따른 출력상태의 분기도 측정결과가 그림 6에 나타나 있는 데 모의실험결과와 동일함을 알 수 있다.

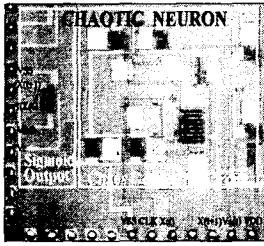
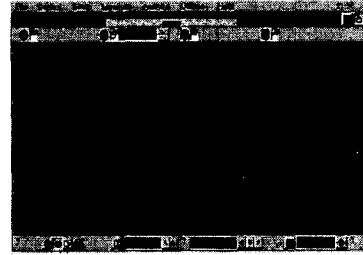


그림 5. 제작된 단일 CMOS 카오스 뉴런



(b) neuron ② ($w_{11}=-0.5, w_{12}=-0.1, w_{21}=-0.5, w_{22}=-1$)
그림 7. 카오스 신경망의 시간파형 및 주파수 응답 측정결과

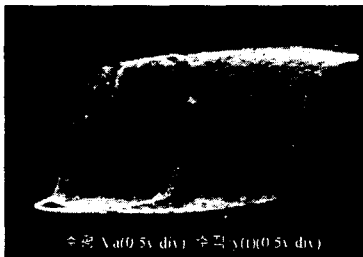
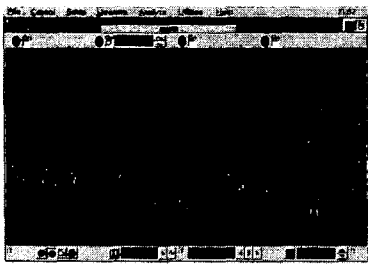


그림 6 단일 CMOS 카오스 뉴런의 출력 상태 분기도

다음으로 그림 6의 신경회로망을 구성하여 그림 4(b)와 같은 조건하에서 두 뉴런의 내부 시간파형과 이에 따른 주파수 특성을 측정하였다. 시간파형은 수치해석 결과에서도 예측한 바와 같이 두 뉴런 모두 카오스 상태에 있음을 알 수 있는데 약간의 차이가 나는 것은 카오스 상태의 초기값 민감성에 기인하는 것으로 사료된다. 마찬가지로 주파수 특성도 전 주파수 대역에 걸쳐 존재하는 전형적 카오스 특성을 보이고 있다.



(a) neuron ① ($w_{11}=-0.5, w_{12}=-0.1, w_{21}=-0.5, w_{22}=-1$)

III. 결론

본 논문에서는 CMOS 집적회로로 구현된 전압모드 카오스 뉴런의 특성을 분석하고 2개의 뉴런으로 카오스 뉴런 네트워크를 구성하여 시냅스의 가중치 변화 및 뉴런간의 상호영향을 분기도와 시간파형 등을 통하여 분석하였다. 한편 구현된 카오스 뉴런과 신경망에 대하여 $\pm 2.5V$ 전원, $10kHz$ 의 클럭으로 구동시켜 시간 및 주파수 변화 등의 제 특성을 측정하여 뉴런 네트워크에서의 응용가능성을 확인하였다. 본 논문의 카오스 뉴런은 적절한 전원전압 레벨과 클럭주파수 등을 보완한다면 신경망의 단위 뉴런으로 유용하게 사용되리라 생각된다.

참고문헌

- [1] 김대수, "신경망 이론과 응용 (I),(II)," 하이테크정보, 1992
- [2] 이수영, "신경회로망의 VLSI 구현," 전자공학회지, 제 18 권 제 10호, pp.750-756, 1991
- [3] 合原 幸 編者 경호선/여진경 공역, "뇌와 카오스," Ohm사, 1998
- [4] K. Aihara, T. Takbe, and M. Toyoda, "Chaotic neural networks," Phys. Lett. A, vol.144, no.6, pp.333-340, 1990.
- [5] J.E.Varrientos, "CMOS circuit design of current-mode nonlinear analog signal processing systems(Chaotic Oscillators)," Ph.D. Dissertation, Texas A&M University, 1997
- [6] 송한정 광계달, "전압제어형 카오스회로의 집적 회로 설계 및 구현," 전자공학회 논문지, 제 35권 C편 제 12호, pp.77-84, 1998