

다층 인쇄회로 기판 (multi-layered PCB)에서의 최적 via 구조의 구현

김재원, 권대한, 김기혁, 심선일, 박정호, 황성우
고려대학교 전자공학과
전화 : 02-927-6114 / 핸드폰 : 019-334-4334

Implementation of the Optimized Via Structure on the Multi-Layered PCB

Jaewon Kim, Dae Han Kwon, Ki-Hyuk Kim, Sun Il Shim, Jung-Ho Park, Sung Woo Hwang
Dept. of Electronics Engineering, Korea University
E-mail : kjaewon@unitel.co.kr

Abstract

Several new via structures in printed circuit boards are proposed, fabricated and characterized in RF regime. The new structure with a larger inductance component in the bottom layer shows 3 dB improvement over the conventional structure. The ADS simulation with model parameters extracted from 3D field solver matches with the characterization of these vias.

I. 서론

네트워크 장비, 이동통신 단말기, 반도체 회로 모듈 등 최근의 기판 회로들이 가지는 특징은 기판 크기의 소형화 및 기판 배선의 복잡성의 증대로 요약될 수 있다. 이와 같은 요구사항들 때문에 다층 인쇄회로 기판의 사용이 빈번해지고 층과 층간의 배선을 연결하는 via의 사용 또한 빈번해질 수 밖에 없다. 수백 MHz에서 수 GHz 대역의 RF 신호들은 이러한 via를 통과할 때 상당한 반사 및 신호의 왜곡현상을 가지게 된다 [1]. 본 논문에서는 여러 가지 형태의 via 구조를 제안하고 제작하였다. 제작된 여러 가지 via 구조를 S-parameter 측정을 통하여 비교하고 이들 측정결과를 Maxwell Quick 3D Parameter Extractor와 ADS

simulation을 통하여 확인하였다 [2][3].

II. 여러 가지 via 구조를 포함한 test board의 제작

본 연구에서는 FR-4 재질의 4층 인쇄회로 기판을 사용하였다. 그림 1은 4층 인쇄회로 기판의 모식도이다. 이 기판의 유전체의 비유전율(ϵ_r)은 4.6이고, 유전체의 두께는 각각 0.4, 0.8, 0.4 mm이며, 각 layer의 두께는 1/2 Oz (0.018 mm)이다. Top과 bottom layer에 signal line을 설계하여, through_via_hole을 이용하여 두 layer의 signal line들을 연결하였다. 그리고, 고속 동작을 위해 top과 bottom layer사이에 GND 평면을 배치하였다. 그리고, power layer는 routing을 위한 층으로 제작시 제외되었다. Top과 bottom layer위의 signal line은 GND 평면을 기준으로 각각 microstrip line으로 설계되었다. 그림 2는 12가지의 서로 다른 via 구조를

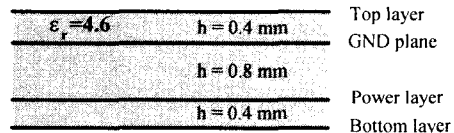


그림 1. 4층 PCB 단면도

포함하는 test board 사진이고, 그림 3은 그중 특성의 개선이 가장 잘 구분되는 3번 line과 10번 line via 구조를 확대한 그림이다. 3번 line은 일반적인 via 구조이고, 10번 line이 개선된 via 구조이다. 10번 line은 800 MHz 주파수에서 via의 capacitance 성분을 보상해 주기 위해서 bottom layer에 inductance 성분을 추가해 준 모양이다.

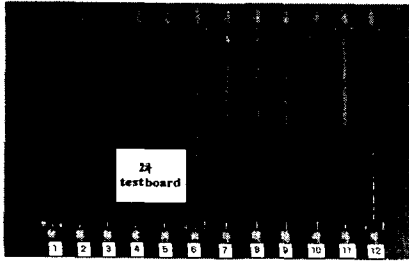


그림 2. 여러 가지 via 구조를 포함한 test board 사진

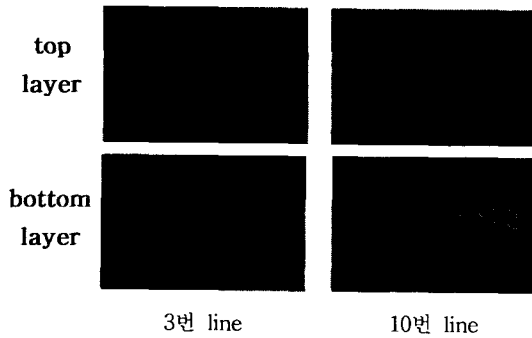


그림 3. 3번과 10번 line의 via 구조 확대사진

III. Test board의 S-parameter 측정

HP 8753E Vector Network Analyzer 장비를 이용해 각 via 구조들에 대한 Two-port 측정을 수행하였다 [4]. 표 1은 800 MHz에서의 5개 Sample의 3번 line 구조와 10번 line 구조의 S-parameter 측정결과를 요약한 것이다. 10번 line의 reflection이 10 dB에서 2.5 dB까지 개선됨을 알 수 있다. 같은 구조임에도 불구하고 sample에 따라 측정값에서 다소 차이를 보인다. 이것은 기판제조시 line 크기 및 두께가 변화하여 microstrip line의 characteristic impedance가 약간씩 달라지기 때문이라 생각한다.

	Sample I	Sample II	Sample III	Sample IV	Sample V
3번 line	-26.52 dB	-25.39 dB	-24.65 dB	-24.09 dB	-25.29 dB
10번 line	-29.09 dB	-34.75 dB	-27.06 dB	-34.7 dB	-28.03 dB
개선된 정도	-2.57 dB	-9.36 dB	-2.41 dB	-10.61 dB	-2.74 dB

표 1. 800 MHz에서 측정결과의 요약

IV. Via구조의 3D Field Simulation

Maxwell Quick 3D Parameter Extractor를 사용해 두가지 via 구조에 대한 RLC parameter를 추출해 등가회로 modeling에 사용하였다. 표 2는 추출한 RLC parameter 값들을 나타내고, 그림 4는 여기에 사용된 3번과 10번 line의 두가지 via 구조의 3D simulation 패턴이다. 이 결과를 통해 개선된 구조의 via에서는 처음에 의도한 대로 약 0.37 nH의 inductance 성분이 추가되었음을 확인할 수 있었다.

	3번 구조	10번 구조
Capacitance	1.483 pF	1.266 pF
DC Resistance	0.011 Ohm	0.012 Ohm
DC Inductance	4.451 nH	4.718 nH
AC Resistance	0.077 Ohm	0.031 Ohm
AC Inductance	3.943 nH	4.315 nH

표 2. 두가지 via 구조로부터 추출한 RLC parameter

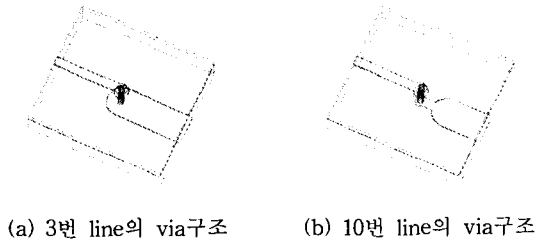


그림 4. 두가지 via 구조의 3D simulation 패턴

V. Via구조의 등가회로 modeling과 SPICE simulation

S-parameter 측정 결과와 3D field simulation 결과를 이용해 via구조에 대한 등가회로 modeling을 수행하고, Agilent사의 circuit simulator인 ADS (Advanced Design System)를 사용해 simulation 하여 측정 결과와 비교하였다.

5.1 일반적인 via 구조(3번 line)의 등가회로 modeling

그림 5은 일반적인 via구조(3번 line)의 등가회로 model이고, 그림 6과 그림 7은 ADS simulation 결과와 측정결과를 비교하여 보여주고 있다. 측정결과와 simulation 결과가 매우 잘 일치함을 확인할 수 있었다.

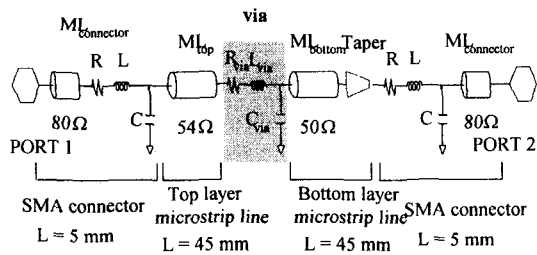


그림 5. 일반적인 via구조의 등가회로 model

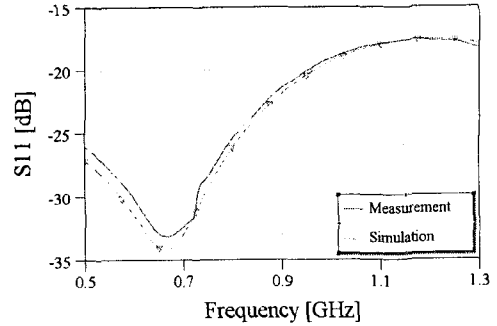


그림 6. 3번 line의 측정 결과와 simulation 결과의 비교 (S11의 크기)

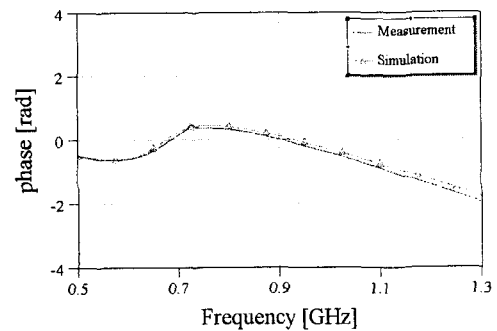


그림 7. 3번 line의 측정 결과와 simulation 결과 비교 (S11의 위상)

5.2 개선된 via구조(10번 line)의 등가회로 modeling.

그림 8는 개선된 via구조(10번 line)의 등가회로 model이고, 그림 9와 그림 10은 ADS simulation 결과와 측정결과를 비교하고 있다. 그림 8에서 L_{comp} 는 보상해 준 inductance 성분으로 앞에서 추출한 0.37 nH의 값을 사용하였다. 이 경우도 역시 측정결과와 simulation 결과가 잘 일치함을 알 수 있다.

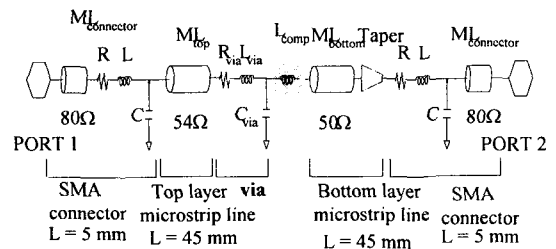


그림 8. 개선된 via구조의 등가회로 model

참고문헌

- [1] Brain C. Wadell, *Transmission Line Design Handbook*. Boston: Artech House, 1991
- [2] Ansoft co., "Maxwell Quick 3D Parameter Extractor User's reference".
- [3] Hewlett Packard co., "HP Advanced Design System 1.1 User's reference".
- [4] Hewlett Packard co., "HP 8753E Vector Network Analyzer User Manual".
- [5] Luc Martens, *High-frequency Characterization of Electronic Packaging*, Kluwer Academic Publishers.
- [6] Howard W. Johnson, Marten Graham, *High-Speed Digital Design-A Handbook of Black Magic*, Prentice Hall, 1993

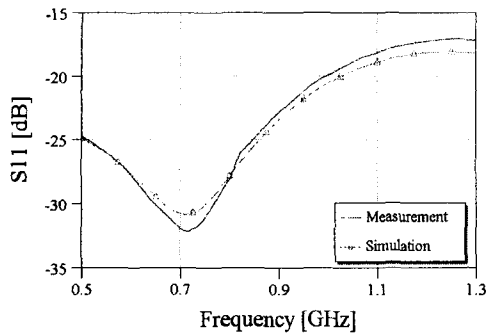


그림 9. 10번 line의 측정 결과와 simulation 결과의 비교 (S11의 크기)

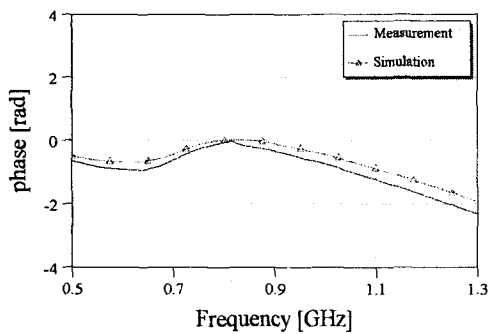


그림 10. 10번 line의 측정 결과와 simulation 결과의 비교 (S11의 위상)

VI. 결론

본 연구의 목적은 고주파수영역인 500 MHz ~ 1.3 GHz의 주파수영역에서 다층기판의 서로 다른 층의 2개의 microstrip line들을 연결하는 via구조에서의 reflection을 최소화할 수 있는 최적 via구조를 구현하는 것이었다. 측정과 simulation을 통해 일반적인 via구조보다 개선된 via구조에서 3 dB정도의 reflection 감소가 일어남을 확인했다. 또한, 3D parameter extractor와 ADS를 사용한 simulation 결과는 실험결과와 매우 잘 일치함을 확인하였다. 본 논문의 결과를 가지고 다수의 via를 포함하는 transmission line에 적용한다면 reflection에서 더욱 큰 개선효과를 기대할 수 있으리라 생각한다.