

QAM 방식의 VDSL 모뎀에 최적화된 Spectral Shaping 필터의 설계 및 구현

*양 태 옥, *최 인 규, **이 훈, *김 중 은 *박 종 식
 *경북대학교 전자공학과, **전자통신연구원
 전화 : 053-940-8839 / 핸드폰 : 017-529-8963

Design and Implementation of Spectral Shaping Filter appropriated for QAM-VDSL

*Tae uk Yang, *In gyu Choi, **Hoon Lee, *Jong eun kim, *Jong sik Park
 *Department of Electronics Engineering, Kyungpook National University.
 **Electronic Technology Research Institute.
 E-mail : ytu@jsp.knu.ac.kr

Abstract

This paper proposes a new FIR filter architecture for the spectral shaping filter used in the transmitter and the receiver for QAM-VDSL modem. This architecture reduced the hardware property and the power consumption.

We derive algorithms for reducing the number of multipliers and the memory architecture for reducing the power consumption. The proposed filter has been implemented using VHDL and performed functional simulation.

I. 서론

데이터의 고속전송을 위해서는 넓은 대역폭을 사용해야 하는데 이렇게 확장된 대역폭을 효율적으로 사용하기 위해서는 필터가 필수적이다. 디지털 데이터의 전송을 위한 파형정형 이론이나 개념은 60년 이상 된 Nyquist의 연구에 근거한 것이나 디지털 필터의 등장과 함께 약 20여년 전부터 본격적으로 사용되기 시작하였다. 별도의 파형정형이 없는 NRZ(Non-Return to Zero)신호부호는 그 전력성분이 1/T 이내의 주파수에 집중되어 있으나 side lobe 또한 상당량 존재하기 때문에 제한된 대역폭을 가지는 채널에서는 심볼 상호간의 간섭(ISI)이 필연적으로 나타난다.

따라서 신호의 전력이 주어진 대역폭 이내에 100% 들

어오도록 하기 위해서는 개개의 신호가 1주기(1/T) 이상의 구간에 걸쳐 정의되는 소위 Nyquist 펄스를 사용하여야 한다. 식 (1)에서 보인 것은 잘 알려진 sinc함수로서의 Fourier transform은 폭이 1/2T Hz인 구형파이다.^{[1][6]}

$$g(t) = \frac{\sin(\pi t/T)}{\pi t/T} \quad -\infty < t < \infty \quad (1)$$

즉 스펙트럼의 side lobe성분이 zero이기 때문에 샘플링 순간에서의 ISI는 존재하지 않는다. 그러나 식(1)의 펄스는 1/t에 비례하는 완만한 감쇠특성을 가지므로 수신부의 phase jitter에 의한 영향을 크게 받는다. 즉 수신부에서 샘플링 클럭의 오류에 의해 발생된 ISI가 크게 나타날 수 있다. 따라서 실제적으로 이 문제를 보완하기 위해서는 식 (2)와 같은 raised cosine Nyquist pulse를 사용한다.^{[1][6]} 식(2)는 크기가 1/t³에 비례하여 감소하므로 본래의 Nyquist pulse보다 인접 신호 구간에서 빨리 감쇠하여 수신부의 phase jitter의 영향을 덜 받게 된다.

$$g(t) = \frac{\sin \pi t/T}{\pi t/T} \times \frac{\cos \alpha \pi t/T}{1 - (2\alpha t/T)^2} \quad (2)$$

식 (2)에서 α 는 초과대역폭이며 신호의 전송에 필요한 이론적인 최소 대역폭인 1/2T Hz와 이를 초과하여 사용한 여분의 대역폭과의 비율로 정의된다. 식 (2)의 Fourier transform은 식 (3)과 같이 표현될 수 있다 α 는 식 (4)와 같이 표현될 수 있다.^[1]

$$G(f) = \begin{cases} T & 0 \leq |f| \leq \frac{1}{2T}(1-\alpha) \\ \frac{T}{2} - \frac{T}{2} \sin \frac{\pi t}{\alpha} (f - \frac{1}{2T}), & \frac{1}{2T}(1-\alpha) \leq |f| \leq \frac{1}{2T}(1+\alpha) \end{cases} \quad (3)$$

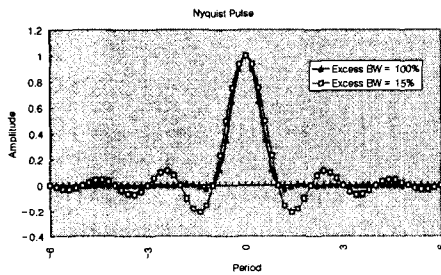
$$\alpha = \frac{W-1/2T}{1/2T} \quad (4)$$

그림 1에 도시한 것처럼 $\alpha = 0$ 일 때에는 식 1의 본래 Nyquist pulse로 환원되며 α 가 1(100%)에 가까워질수록 그림 윗부분에서 알 수 있는 바와 같이 인접신호공간에서 빨리 감쇠한다.

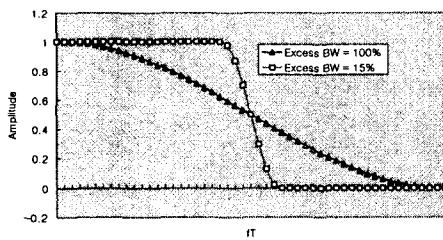
식 (3)은 이와 같은 Nyquist pulse의 Fourier transform이다. 식 (5)는 square-root Nyquist pulse로서 이의 Fourier transform인 식 (5)는 식 (3)의 제곱근으로 구해진 것이다.

$$g(t) = \frac{\sin[\pi(1-\alpha)t] + 4\alpha t \cos(\pi(1+\alpha)t]}{\pi t [1 - (4\alpha t)^2]} \quad (5)$$

$$G(f) = \begin{cases} T & 0 \leq |f| \leq \frac{1}{2T}(1-\alpha) \\ \frac{T}{\sqrt{2}} \sqrt{1 - \sin \frac{\pi T}{\alpha} (f - \frac{1}{2T})} & \frac{1}{2T}(1-\alpha) \leq |f| \leq \frac{1}{2T}(1+\alpha) \end{cases} \quad (6)$$



a) Baseband Nyquist pulse



b) Spectrum of Nyquist pulse.

그림 1. $\alpha=0.15$, 1일때 기저대역의 나이퀴스트 파동

전송한 바와 같이 송신부와 수신부를 합해서 Nyquist pulse를 합성하기 위해서 통상은 송신부와 수신부에 모두 이와 같은 square-root 형태의 파형정형 필터를 사용한다.

본 논문에서는 QAM-VDSL 모델에 적합한 선형위상을 가지는 파형정형 Nyquist 필터의 설계 방법을 제안하고자 한다. 제안된 필터는 모델의 요구사항에 맞게 하드웨어의 크기를 최소화하고 파워를 줄이는데 중점을 두었다. 설계된 필터는 16탭의 FIR 필터로서 승산기의 수가 2개이며

탭 딜레이 구조대신 메모리 구조를 택하여 파워소모를 줄였다.

본 논문의 구성은 다음과 같다. 우선 II절에서는 기존의 FIR 필터의 설계 방법에 대하여 살펴보고 III절에서는 기본 설계방법으로부터 VDSL 모델에 적합한 구조를 유도하고 제안한다. IV절에서는 설계된 필터의 시뮬레이션 파형을 통한 검증을 하고 마지막으로 V절에서는 기존의 필터와 설계된 필터를 비교하고 결론을 맺도록 하겠다.

II. 기존의 FIR 필터의 설계 방법

FIR 필터는 그림 2와 같이 Direct 구조와 Transpose 구조라는 잘 알려진 두 개의 기본 구조를 가지고 있다.^[2]

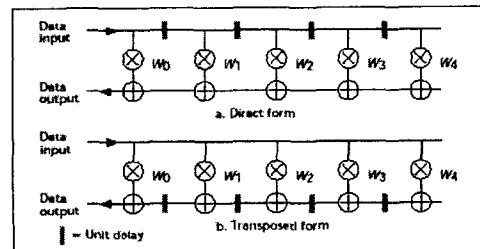


그림 2. FIR 필터의 기본 구조

그림 2의 direct 구조는 연산 지연이나 임계 경로가 모든 승산기 연산과 덧셈기 연산의 수행에 일치한다. 이 같은 지연은 탭의 수에 비례하게 되고, 클럭 주기보다 작아야 하므로 필터의 설계에 중요한 제약으로 따르게 된다. Transpose 구조는 승산기-덧셈기 연산 사이에 탭 딜레이를 삽입하면서 위의 문제를 극복했다. 이와 같은 구조에서 임계 경로는 단지 하나의 승산기 연산과 덧셈기 연산을 통해 흐르게 된다. 그러나 많은 탭을 가지는 필터에 있어서 이 구조는 입력 데이터 버스의 용량이 전체 성능을 제한한다는 단점이 있다. 탭의 수에 상관없는 연산 지연을 이루기 위해 그림 3의 systolic 구조^[2]를 사용한다.

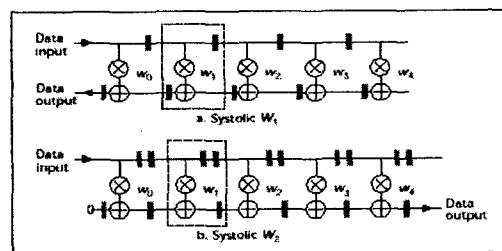
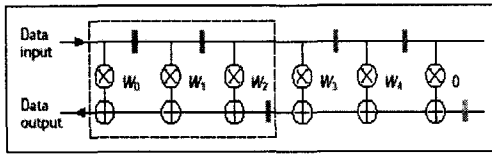


그림 3. Systolic FIR 필터의 구조

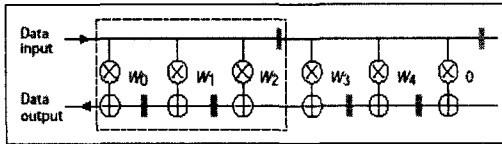
이 구조는 임계경로를 최소화하기 위한 barrier란 특별한 파이프라인의 변형 모듈 구조의 일종이다. 그림 3의 (b)의 경우에는 출력 지연은 N 클럭 주기이다. N은 탭 수이며 이와 같은 출력 지연은 특별한 레지스터가 추가되었

기 때문이다. 많은 경우에 있어서 이런 지연은 허용이 되기 어렵다. 그래서 대신 (a)와 같은 구조가 사용된다. 그러나 (a)의 경우에도 똑같은 성능을 내기 위해서는 두 배의 클럭 주파수가 필요하기 때문에 클럭 주파수가 이미 아주 높다면 이런 구조도 구현하기가 어려워진다.

특별한 지연 없이 파이프라인 구조를 끌어내는 것이 가능한데 이것이 그림 4의 하이브리드 구조이다. direct 구조와 transpose 구조의 중간 형태로서 systolic 구조보다 지연이 적고 탭의 수도 적다. 그러므로 하이브리드 구조는 높은 속도와 저전력 소모에 적합한 구조라고 할 수 있다.



(a) 하이브리드 구조 I



(b) 하이브리드 구조 II

그림 4. 하이브리드 구조의 FIR 필터

III. VDSL 모뎀에 최적화된 FIR 필터의 설계

VDSL 모뎀은 QAM 방식 변복조를 사용하므로 기저대역 spectral shaping(BSS) 필터를 사용한다. 이때 사용되는 BSS 필터는 SRRC(Square-Root Raised-cosine) Nyquist 형태의 저역통과 필터이며, 초과대역폭은 $\alpha=0.2$ 으로, 식 (7)와 같이 표현할 수 있으며, 이때 시간축에서 그림 5와 같은 형태를 가진다.^{[3][4]}

$$g(t) = \frac{\sin(\pi \frac{(1-\alpha)t}{T}) + \frac{4\alpha t}{T} \cos(\frac{\pi(1+\alpha)t}{T})}{(\pi \frac{t}{T})(1 - (\frac{4\alpha t}{T})^2)}$$

$$= \frac{\sin(\pi \frac{4t}{5T}) + (\frac{4t}{5T}) \cos(\pi \frac{6t}{5T})}{(\pi \frac{t}{T})(1 - (\frac{4t}{5T})^2)} \quad (7)$$

실제 square-root raised-cosine Nyquist 필터의 임펄스 응답은 무한대 시간에 걸쳐 존재하지만 본 논문에서는 구현의 문제를 고려하여 $-4T \leq T \leq 4T$ 구간의 임펄스 응답을 구현하도록 하며, 임펄스 응답의 샘플값은 8 비트로 표현한다.^{[3][4]}

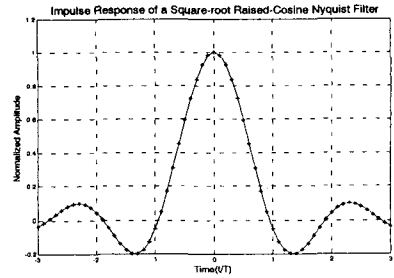


그림 5. SRRC 나이퀴스트 필터의 임펄스 응답

기본적인 FIR 필터는 탭수 만큼 곱셈기와 레지스터를 필요로 하므로 필터의 설계에 있어서 면적을 많이 차지하는 곱셈기의 수를 줄이는 것과 각 레지스터에 들어가는 파워를 줄이는 것은 매우 중요하다. 설계된 필터는 하드웨어의 크기와 파워소모를 줄이기 위해 기존의 FIR 필터와는 다른 변형된 구조를 택하였다.

2.1 필터계수 중심값의 변화

필터의 중심값을 필터 최외각의 값의 $2n$ 형태로 하면 필터 구조를 간단하게 할 수 있다. 이 같은 필터 중심값의 변화는 시뮬레이션에 영향을 주지 않는다. 표 1과 그림 6은 변형된 필터계수와 변형된 Nyquist 필터의 임펄스 응답을 각각 보여주고 있다.

표 1. 변형된 Nyquist 필터계수

Tab number	Time Span	Original value		Modified value	
		Decimal	Binary	Decimal	Binary
1	-4T	0.01934510615060	0000010011	0.0233046850505	0000010111
2	-7T/2	-0.02682364257802	11111001001	-0.02682364257802	111111001001
3	-3T	-0.02688002451018	11111001001	-0.02688002451018	111111001001
4	-5T/2	0.06002108774381	00000111010	0.06002108774381	00000111010
5	-2T	0.03294157307685	00000100011	0.03294157307685	00000100011
6	-3T/2	-0.13062605570664	11101110100	-0.13062605570664	11101110100
7	-T	-0.03715576877214	11110110011	-0.03715576877214	111110110011
8	-T/2	0.44343243000347	00110001100	0.44343243000347	001110001100
9	0	0.74574868818066	01011110111	0.74574868818066	010111101000
10	T/2	0.44343243000347	00110001100	0.44343243000347	001110001100
11	T	-0.03715576877214	11110110011	-0.03715576877214	11110110011
12	3T/2	-0.13062605570664	11101110100	-0.13062605570664	11101110100
13	2T	0.03294157307685	00000100011	0.03294157307685	00000100011
14	5T/2	0.06002108774381	00000111010	0.06002108774381	00000111010
15	3T	-0.02688002451018	11111001001	-0.02688002451018	111111001001
16	7T/2	-0.02682364257802	11111001001	-0.02682364257802	111111001001
17	4T	0.01934510615060	0000010011	0.0233046850505	0000010111

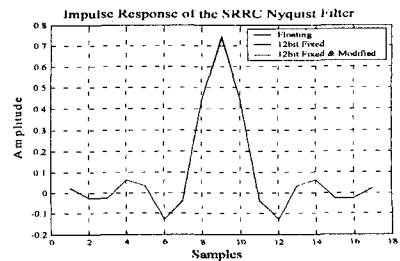


그림 6. 설계된 필터의 임펄스 응답

2.2 폴딩 구조와 곱셈기 공유 구조

SRRC Nyquist 필터가 대칭적이므로 이를 이용하여 폴딩 구조를 택하여 곱셈기의 수를 반으로 줄였다 또한 샘플링 주파수보다 4배 고속으로 동작하는 곱셈기와 MUX를 사용하여 곱셈기의 수를 줄였다.

2.3 저전력 구조

클럭이 분기할 때마다 탭 수만큼의 모든 레지스터가 파워를 소모하므로 필요할 때마다 읽어들이는 메모리 구조 방식을 채택해 파워소모를 줄였다. In_sw는 주소 생성기의 역할을 담당하고, Out_sw블록은 딜레이를 담당하는 탭 대신 각각의 지연에 대해 연산부에 데이터를 출력해준다.

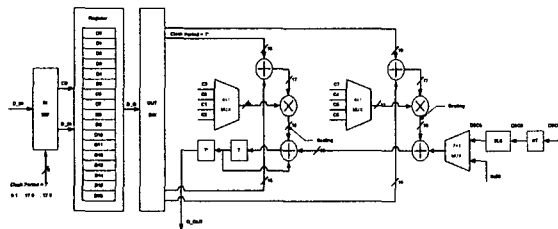


그림 7. 변형된 FIR 필터의 구조도

그림 7은 이와 같이 변형되어 설계된 16 탭 FIR 필터의 구조를 나타내었다. 위와 같이 설계된 16 탭 FIR 필터는 곱셈기의 수를 16개에서 2개로 줄였고, 메모리 구조를 사용함으로써 하드웨어의 크기와 전력소모에서 VDSL 모뎀에 최적화 된 구조를 실현하였다.

IV. 설계된 FIR 필터의 검증

그림 8은 설계된 필터의 시뮬레이션 결과를 보여주고 있다. 클럭은 각각 기준 클럭의 2배 4배까지 사용하고 있으며 연산부는 4배 클럭에 맞춰 결과를 내고 출력단에서 기준클럭에 맞춰 accumulation을 수행한다.

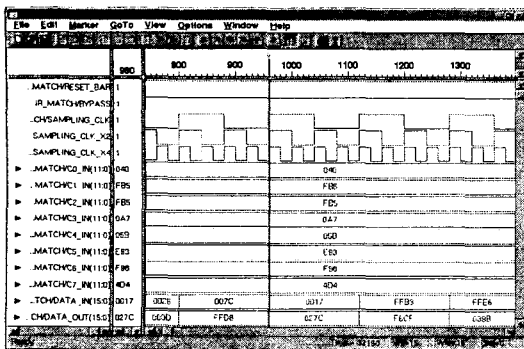


그림 8. 설계된 FIR 필터의 시뮬레이션 결과

입력값은 매트랩에서 추출한 데이터를 사용하였으며 결과값도 매트랩의 결과값과 비교, 검증하였다. 그림 9는 설계된 필터의 합성 후 모습이다. Synopsys사의 design analyzer를 이용하여 UMC 0.25 μ m fs_90a_a 라이브러리로 합성하였다.

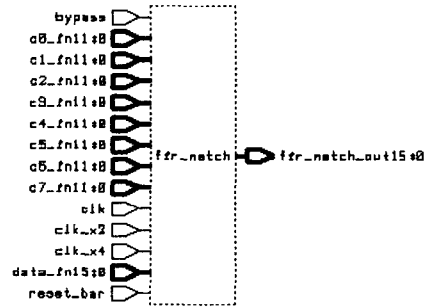


그림 9. 설계된 필터의 합성 후 모습

V. 결론

본 논문은 QAM-VDSL 모뎀에 사용되는 Spectral shaping 필터의 새로운 구조를 제안하고 실제로 설계 및 구현을 하였다. 설계된 필터는 16 탭 FIR 필터로서 기본 구조와 동일한 성능을 내면서도 곱셈기의 수를 기본구조의 1/8로 줄였으며 기존의 탭 딜레이 구조에 비해 파워소모도 줄였다. 곱셈기 숫자의 감소로 인해서 하드웨어의 크기도 대폭 감소하였으며 데이터의 입력 속도보다 4배 빠른 고속 곱셈기를 사용함으로써 연산 지연도 1/4로 줄였다. 뿐만 아니라 설계된 필터는 VDSL 모뎀뿐만 아니라 디지털 시스템의 모든 영역에서 두루 활용될 수 있으며 적은 하드웨어의 크기나 파워 소모를 요구하는 시스템에 적합한 구조로 생각된다. 구현된 필터는 0.25 μ m UMC fs90a_a 라이브러리를 이용하여 합성하였고 전체 게이트 수는 7363개이다.

참고 문헌

- [1] Pierre R. Chevillat, and Gottfried Ungerboeck, "Optimum FIR Transmitter and Receiver Filters for Data Transmission over Band-Limited Channels," IEEE, 1982.
- [2] Kamran Azadet and Chris J. Nicole, "Low-Power Equalizer Architectures for High-Speed Modems," IEEE, 1998.
- [3] ETRI, "PMD 기능 설계 규격서," 3. 10, 2000.
- [4] ETRI, "PDSL 최종 검토회의 자료," 8. 8, 2000.
- [5] ETRI, "고속 ATM 접속을 위한 UTP-PMD 선로부 호기술 개발," 1.31, 1997