

Partial SOI 기판을 이용한 고속-고전압 Smart Power 소자설계 및 전기적 특성에 관한 연구

최 철, 구용서*, 안 철

서강대학교 전자공학과, *서경대학교 전자공학과

전화 : (02) 706-3401 / 팩스 : (02) 706-4216

Design of a New Smart Power ICs based on the Partial SOI Technology for High Speed & High Voltage Applications

Chul Choi, Yong-Seo Koo*, Chul An

Dept. of Electronic Eng. Sogang Univ., *Dept. of Electronic Eng. Seokyeong Univ.

E-mail : cchurry@dreamwiz.com

Abstract

A new Smart Power IC's based on the Partial SOI technology was designed for such applications as mobile communication systems, high-speed HDD systems etc. A new methodology of integrating a $0.8\mu\text{m}$ BiCMOS compatible Smart Power technology, high voltage bipolar device, high speed SAVEN bipolar device, LDD NMOSFET and a new LDMOSFET based on the Partial SOI technology is presented in this paper. The high voltage bipolar device has a breakdown voltage of 40V for the output stage of analog circuit. The optimized Partial SOI LDMOSFET has an off-state breakdown voltage of 75 V and a specific on-resistance of $0.249\text{m}\Omega \cdot \text{cm}^2$ with the drift region length of $3.5\mu\text{m}$. The high-speed SAVEN bipolar device shows cut-off frequency of about 21GHz. The simulator DIOS and DESSIS has been used to get these results.

I. 서론

현재 정보통신 시스템 및 전자 제어 시스템내의 신호 처리부는 고집적, 소형경량화가 이루어졌으나, 상대적으로 반도체 전력소자의 기술구현은 발전속도가 늦어 시스템내의 전력부가 전체 시스템 중량의 대부분을 차지하고 시스템 가

격을 좌우하는 실정이다. 그러므로 신뢰성이 높고 저렴한 가격의 반도체 전력소자 개발은 시스템 산업발전에 필수적인 해결과제라 할 수 있다. 이에 따라 최근 저전압 BiCMOS 공정을 이용하여 저전압/고집적 소자와 고전압/대전류 구동이 가능한 전력소자를 one-chip에 구현하는 스마트 전력 집적회로(Smart Power IC)기술이 대두되었다[1]. 이러한 스마트 전력 집적회로 기술은 구동회로, 보호회로 및 인터페이스 회로를 one-chip으로 구현함으로써 저비용으로 시스템의 소형화, 신뢰성 향상과 다양한 기능의 구현이 가능하다[2]. 이에 본 논문에서는 $0.8\mu\text{m}$ BiCMOS 공정기술을 기본으로 하여, 다기능의 one-chip화된 Partial SOI Smart Power 소자구조 및 공정과정을 제안하고 공정 및 소자 시뮬레이션을 통해 각각의 전기적 특성을 분석하고자 한다. 또한 Partial SOI LDMOSFET에서 개방된 매몰산화막의 수평길이를 조절하여 전기적 특성을 최적화시키고자 한다.

II. 소자구조 및 공정설계

제안된 Smart Power IC에는 고전압 특성을 갖는 Partial SOI LDMOSFET, 초고속 아날로그 회로 구현을 위한 SAVEN(Self-Aligned device using VERTICAL Nitride) 바이폴라 트랜지스터와 고전압/대전류 특성을 만족시키기 위한 SOI 바이폴라 트랜지스터를 내장하였으며, 고속 디지털용 인터페이스 회로에 적용될 수

있도록 Submicron LDD MOSFET도 동시에 탑재하였다. 제안된 본 소자의 특징적인 면으로는 SOI 기판을 이용하여 1.5 μm 두께의 얇은 epi 위에 40V 이상의 고전압 바이폴라 소자의 구조를 구현하였고, 고전압용 LDMOSFET의 항복전압 및 thermal 특성개선을 위하여 Partial SOI 기판을 이용한 개방형 드레인 구조를 채택하였다[3]. 또한, 고속 바이폴라 트랜지스터의 차단 주파수 특성 개선을 위하여 SAVEN(Self-Aligned device using VERTICAL Nitride)[4] 소자 구조의 채택 및 SIC (Selective Implantation of Collector)[5] 공정을 수행하였다. 그림 1에서는 본 논문에서 제안된 Partial SOI Smart Power IC의 소자구조를 나타내었고, 표. 1에서는 공정 흐름도를 나타내었다.

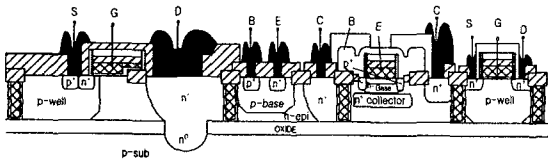


그림 1. 제안된 Partial SOI Smart Power IC의 단면 구조

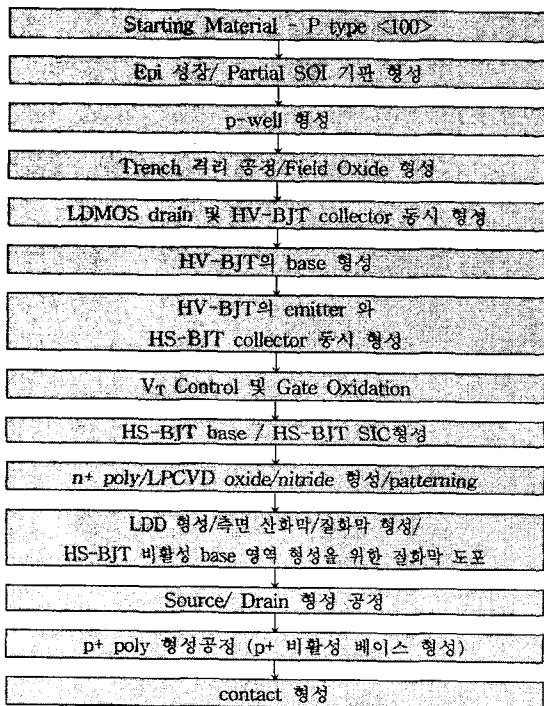


표. 1 공정설계 흐름도

III. 공정/소자 시물레이션 및 분석

가. Partial SOI LDMOSFET

본 논문에서 제안한 Smart Power IC를 위한 Partial SOI LDMOSFET에서는 항복 전압을 높이기 위해 소스 왼쪽에 p+ 영역을 형성하여 누설전류에 의한 기생 BJT의 활성을 억제하였고, 그림 2와 같이 Partial SOI 기판을 이용하여 드레인 아래 부분을 개방함으로써 드레인에 걸리는 전계를 기판 쪽으로 분산시켜 드레인의 n/n+ 접합 부근에서 발생하는 충돌 이온화 현상을 감소시켰다.

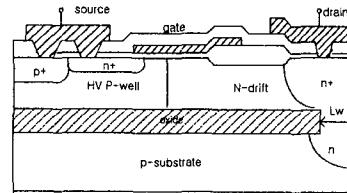


그림 2. 제안된 Smart Power IC를 위한 partial SOI LDMOSFET

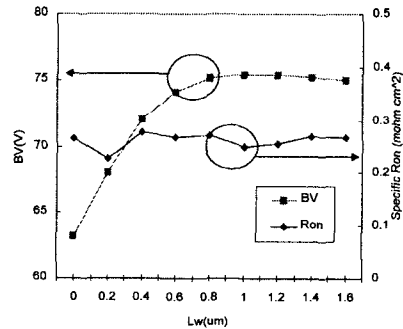


그림 3. 개방된 매몰산화막의 수평길이(L_w) 변화에 대한 동작 대기 상태 항복전압과 Specific On-Resistance

다른 저전압 소자들의 성능을 저하시키지 않고, 소자 크기를 변화시키지 않으면서, 최적화된 소자 변수를 추출하기 위해 그림 2에서와 같이 드레인 밑의 개방된 매몰산화막 길이(L_w)를 변화시켜 가며 시물레이션을 수행하였다. 그림 3에서는 개방된 매몰산화막의 수평길이 변화에 대한 동작 대기상태 항복 전압과 specific on-resistance 값을 나타내고 있는데, 개방된 매몰산화막의 수평길이가 길어질수록 항복 전압이 증가함을 볼 수 있으며, 일정 길이 이상에서는 항복 전압이 더 이상 증가하지 않음을 볼 수 있다. 또한 개방된 매몰산화막의 길이 변화는 specific on-resistance 값에 무관함을 알 수 있다.

Smart power IC를 위한 고전압 LDMOSFET에서 SOI 기술은 소자들간의 완전한 격리를 이루어 고전압 소자에 걸리는 높은 전압이 저전압 소자의 특성에 영향을 미치지 않게 하고, 접합용량의 감소로 소자의 동작 주파수를 향상시키며, 주어진 항복전압에 대하여 specific on-resistance를 향상시킬 수 있는 장점이 있다. 또한, 드레인 밑의 매몰산화막을 개방한 개방형 드레인 구조는 드레인에 걸리는 전계를 기판 쪽으로 분산시켜 드레인의 n^+/n^+ 접합 부근에서 발생하는 충돌 이온화 현상을 감소시키고, 이에 따라 항복 전압을 향상시킨다. 그리고 개방된 매몰산화막을 통하여 소자 동작 중 발생하는 내부의 열을 기판 쪽으로 방출함으로써 SOI의 단점인 self-heating 현상을 감소시키는 역할을 한다. 따라서 본 논문에서는 그림 3의 결과로부터 SOI의 장점을 최대한 살리면서 개방된 매몰산화막의 항복전압 향상 효과를 얻을 수 있는 구조인 $1\mu\text{m}$ 의 개방된 매몰산화막 길이를 가지는 Partial SOI LDMOSFET 구조를 채택하였다. 결과적으로 제안된 Smart Power IC를 위한 Partial SOI LDMOSFET은 그림 4와 같이 전계의 최대치가 기판 쪽에서 발생함을 볼 수 있었고, $3.5\mu\text{m}$ 의 드리프트 영역 길이, $0.8\mu\text{m}$ 의 채널 길이, 그리고 $1\mu\text{m}$ 의 개방된 매몰산화막 길이 조건에서 75V의 동작 대기 상태 항복전압과 $0.249\text{m}\Omega \cdot \text{cm}$ 의 Specific On-Resistance 값을 얻을 수 있었다.

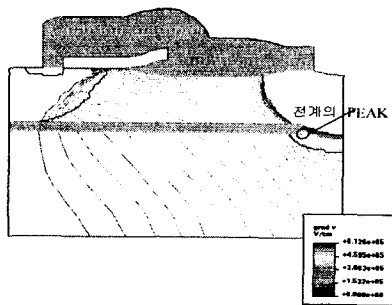


그림 4 제안된 Smart Power IC를 위한 Partial SOI LDMOSFET의 전계분포 ($L_w=1\mu\text{m}$)

나. LDD NMOSFET

Smart Power IC에서 LDD NMOSFET, 즉 CMOS는 고속, 고집적용 논리 회로 및 인터페이스 회로 구성에 사용된다. 본 논문에서는 공정단계를 간소화시키기 위하여 LDD 영역 형성을 위한 phosphorous 이온 주입 이외의 모든 공정은 Partial SOI LDMOSFET 및 고전압 SOI 바이폴라 트랜지스터와 동일한 mask를 사

용하였다. 그림 5에서는 ISE사의 DESSIS를 이용한 소자 시뮬레이션 결과 중 I_d-V_{gs} (Log Scale) 특성을 보여 주고 있다. 시뮬레이션 결과 문턱전압은 1V, subthreshold-swing은 100mV/decade 로서 Smart Power IC에서 고속, 고집적용 논리 회로 및 인터페이스 회로 구성에 사용 가능함을 확인할 수 있었다.

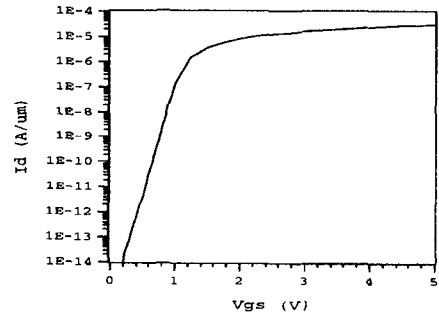


그림 5. 제안된 Smart Power IC를 위한 LDD NMOSFET의 I_d-V_{gs} 특성 (Log Scale)

다. 고속 SAVEN 바이폴라 트랜지스터(HS-BJT)

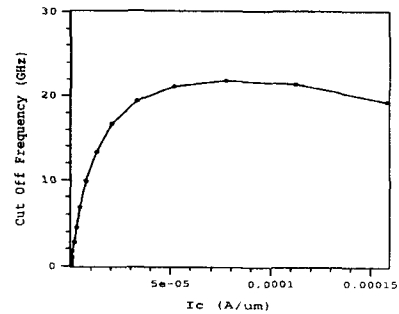


그림 6. 제안된 Smart Power IC를 위한 고속 SAVEN 바이폴라 트랜지스터의 차단주파수 특성

본 논문에서는 SOI 기판을 사용하여 컬렉터-기판 사이의 접합 용량을 줄이고, 측면 질화막에 의해서 p+ 비활성 베이스 영역이 정의(SAVEN)되도록 함으로써 베이스-컬렉터 사이의 접합 용량을 최소화하였다. 그리고 확산 용량의 최소화를 위하여 베이스 폭을 $0.15\mu\text{m}$ 이하로 줄이도록 하였다. 또한 phosphorus이온이 in-situ 도핑된 다결정 실리콘을 이용하여 $0.2\mu\text{m}$ 이하의 매우 얇은 접합 깊이를 가지는 에미터를 형성하여 차단 주파수를 개선하였다. 그리고 컬렉터 직렬 저항 감소 및 스위칭 특성 개선을 위하여 SIC 공정을 수행

하였다. 또한 고전압 바이폴라 트랜지스터의 에미터와 고속 바이폴라 트랜지스터의 컬렉터를 동시에 형성시킴으로써 마스크 수를 줄이고 공정 단계를 간소화시켰다. 소자 시뮬레이션 결과 60 정도의 전류이득 특성을 보여주었으며, 차단 주파수는 약 21GHz의 고주파 특성을 구현하였다. 이로써 고전압 소자와 동시에 형성되는 고속 SAVEN 바이폴라 트랜지스터가 고속 아날로그 회로에 응용 가능함을 확인할 수 있었다. 그림 6은 고속 SAVEN 바이폴라 트랜지스터의 차단 주파수 특성을 보여주고 있다.

라. 고전압 SOI 바이폴라 트랜지스터(HV-BJT)

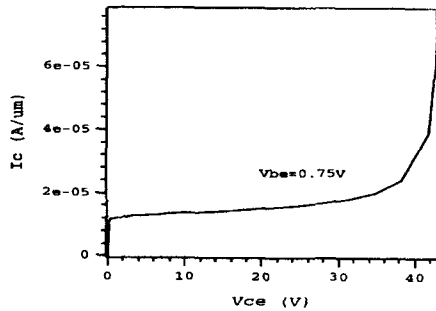


그림 7. 제안된 Smart Power IC를 위한 고전압 SOI 바이폴라 트랜지스터의 I_c - V_{ce} 특성

소자의 항복전압 특성은 epi 층의 두께와 도핑농도에 의해 좌우되기 때문에 고전압 바이폴라 소자 구현을 위해서는 두꺼운 epi 층과 깊은 접합 깊이 특성이 요구되어왔다. 따라서 고전압 바이폴라 소자를 저전압 BiCMOS 공정으로 집적시키는데 어려움이 많았다. 최근 이러한 문제를 해결하기 위해 extra poly를 이용한 DMOS 기반의 바이폴라 소자 구조[6]와 SOI 기판을 이용한 바이폴라 소자구조[7]가 제안되었다. 이에, 본 논문에서는 고전압 바이폴라 트랜지스터를 저전압 소자인 고속 SAVEN 바이폴라 트랜지스터 및 sub-micron급 LDD MOSFET와 동시에 탑재하기 위해 SOI 기판을 이용한 1.5 μ m 두께의 얇은 epi 층과 0.4 μ m 베이스 폭, 0.4 μ m의 에미터 깊이로 공정을 수행하였다. 또한 SOI 기판을 이용한 얇은 epi 층을 사용하기 때문에 buried layer 공정을 생략할 수 있게 되었다. 소자 시뮬레이션결과, 전류 이득은 약 60, 항복 전압은 약 40V 이상의 특성을 얻을 수 있었다. 그림 7은 고전압 SOI 바이폴라 트랜지스터의 I_c - V_{ce} 특성을 보여주고 있다.

IV. 결 론

본 논문에서는 정보통신 시스템 및 자동차용 전자 제어 시스템의 핵심 부품으로 사용되는 새로운 구조의 고속-고전압 Partial SOI Smart Power 소자 구조를 고안하였으며, one-chip화시키기 위한 최적화된 공정 조건을 추출하고 각각의 전기적 특성을 분석하였다.

본 논문에서 제안된 Partial SOI Smart Power 소자 구조에서는 SOI 기판을 이용하여 1.5 μ m 두께의 얇은 epi 위에 고전압 바이폴라 소자를 구현하였고, 고전압용 LDMOSFET의 항복전압 및 thermal 특성 개선을 위하여 Partial SOI 기판을 이용한 개방형 드레인 구조를 채택하였다. 그리고 고속 바이폴라 트랜지스터의 차단 주파수 특성 개선을 위하여 SAVEN 소자 구조의 채택 및 SIC (Selective Implantation of Collector) 공정을 수행하였다. 또한 위의 소자들을 동시형성 공정으로 one-chip화시킴으로써 마스크 수를 줄이고 공정 단계를 간소화시킬 수 있었다.

ISE사의 DIOS와 DESSIS를 이용한, 시뮬레이션 결과, 개방형 드레인 Partial SOI LDMOSFET의 경우 3.5 μ m의 드리프트 길이와 1 μ m의 개방된 매몰산화막 깊이에서 약 75V 이상의 양호한 항복 전압 특성을 구현하였으며 Specific On-Resistance는 0.249m Ω ·cm²을 얻을 수 있었다. 고전압 SOI 바이폴라 트랜지스터는 1.5 μ m의 얇은 epi 두께 및 0.4 μ m의 얇은 접합 깊이에서도 40V 이상의 항복전압을 얻을 수 있었다. 아울러 고속 SAVEN 바이폴라 트랜지스터의 경우 최소화된 비활성 베이스 폭과 선택적 컬렉터 이온주입 구조에 의해 21GHz 이상의 고속 스위칭 특성을 구현하였다. 또한, LDD NMOSFET은 LDD 영역 형성을 위한 이온주입 이외에는 추가된 공정 없이 소자의 성능을 저하시키지 않으면서 고전압 소자들과 동시에 형성하였다.

참 고 문 헌

- [1] P. G. Y. Tsui, et al., IEEE ED, Vol. 42, No. 3, pp. 564-570, 1995.
- [2] Taylor Efland, et al., IEDM, pp.237-240, 1992
- [3] Qin Lu, et al., ISPSD, pp. 36-39, 1991
- [4] Yong Seo Koo, et al., Jpn. J. Appl. Phys. Vol. 31, No. 8, pp. 2400-2406, 1992
- [5] P. G. Y. Tsui, et al., IEDM, pp. 27-30, 1992
- [6] M. A. Shibib, ISPSD, pp. 211-214, 1996
- [7] H. Funaki, et al., IEDM, pp. 967-970, 1995