

저전력 상위 레벨 합성을 위한 레지스터 스케줄링 및 할당알고리즘

최지영, 인치호*, 김희석
m7515103@venus.semyung.ac.kr , ich410@venus.semyung.ac.kr*
khs8391@chongju.ac.kr

세명대 컴퓨터학과*, 청주대 전자공학과

A Register Scheduling and Allocation Algorithm for Low Power High Level synthesis

Ji-young Choi, Chi-ho Lin*, Hi-seok Kim
m7515103@kebi.com , ich410@venus.semyung.ac.kr*
khs8391@chongju.ac.kr

*Dept. of Computer Science, Semyung University. ,
Dept. of Electronic Engineering, Chongju University

Abstract

This paper presents a register scheduling and allocation algorithm for high level synthesis.

The proposed algorithm executes the low power scheduling to reduce the switching activity using shut down technique which was not unnecessary the calculation through the extraction DFG from VHDL description. Also, the register allocation algorithm determines the minimum register after the life time analysis of all variable. It is minimum the switching activity using graph coloring technique for low power consumption.

The proposed algorithm proves the effect through various filter benchmark to adopt a new scheduling and allocation algorithm considering the low power.

1. 서 론

1)최근에 접어들어 다양한 형태의 디지털 시스템의 휴대화에 대한 수요가 급증하게 되었다. 특히, 휴대용 장치에 있어서 크기나 중량과 더불어 중요한 요소를 차지하는 배터리 용량은 집적 회로가 소모하는 전력에 직접적으로 비례하게 되었다. 그리고 전력 손실이 큰 회로에 대한 packaging/cooling 비용의 상승으로 저전력 소모를 위한 디지털 시스템 설계의 필요성이 요구되고 있다. 그러나 이전까지는 이러한 추세와는 달리 디지털 시스템

의 설계에 있어서 주된 관심은 대상 회로의 속도의 증가와 성능 측면에 중점을 두어 왔으며, 상위 레벨에서의 저전력 소모를 지원하기 위한 연구가 미흡했다. 일반적으로 CMOS 회로에서의 전형적인 전력 소모의 요인으로 스위칭 활동(switching activity), 누설전류(leakage current), 폐회로 전류(short-circuit current)등에 의하며, 이들 중 스위칭 동작에 의한 전력 소모가 가장 큰 비중을 차지한다.[1-4]. CMOS 회로에서는 데이터의 스위칭 동작이 발생하지 않을 경우 전력 손실이 없으므로, 저전력 회로 설계에 있어서 최소의 스위칭 동작을 허용하는 것이 목적이다. 최근 들어, 저전력 설계를 위해 공급 전압의 감소, 스위칭 동작의 최소화 등을 통한 여러 가지 설계 방식을 제안하고 있으며, 저전력 설계를 지원하기 위한 상위 레벨 합성에 대한 연구가 진행되고 있다.[5-8]

본 논문의 구성은 다음과 같다. 2장에서는 저전력 상위 레벨 합성을 위한 레지스터 스케줄링 및 할당 알고리즘을 제안하고, 3장에서는 실험 및 고찰을 통해 저전력 레지스터 및 할당 알고리즘을 적용한 벤치마크를 통해 전력 효율을 보이며, 마지막 4장에서는 결론으로 구성되어 있다.

II. 저전력 상위 레벨 합성을 위한 레지스터 스케줄링 및 할당 알고리즘

서론에서도 언급했듯이 CMOS 회로에서 주된 전력 소모의 원인은 스위칭 동작, 누설전류, 폐회로 전류이다. 여기서 스위칭 전력이 주로 차지한다. CMOS 게이트에

* 본 연구는 과학기술부 · 한국과학재단 지정 청주대학교 정보통신연구센터의 지원에 의한 것입니다.

서 소모되는 평균 전력은 (1)의 식과 같다.

$$POWER = \frac{1}{2} C_L V_{DD}^2 \frac{N}{T} \dots\dots\dots (1)$$

여기서 C_L 은 load 캐패시턴스, V_{DD} 는 공급전압, T 는 클럭주기, N 은 클럭주기마다 게이트에서의 천이수, 즉 스위칭 동작의 수를 의미한다. 그러므로 (1)의 식으로부터 N 을 줄이는 것을 최적 목표로 한다.

본 논문에서 제안한 알고리즘은 VHDL을 입력으로 받아 중간 표현인 DFG(Data Flow Graph)를 생성한다. 생성된 DFG는 shut down 기술에 의해 불필요한 전력소모를 하지 않는 스케줄링 방법을 수행한다. 스케줄링된 결과를 가지고, 저전력 할당 알고리즘에서는 클러킹 알고리즘을 적용하여 최소의 레지스터를 추출한다. 이 과정에서 레지스터의 출력 단에서 스위칭 활동을 줄이는 것은 레지스터의 전력 소모를 최소화하는 것이다. 레지스터 할당 관점에서 공유 가능한 데이터 즉, 변수들이 같은 레지스터에 할당될 때 레지스터의 스위칭은 저장되어 있는 한 데이터 변수가 다른 데이터 변수로 대치될 때 일어난다. 그림 1은 저전력 레지스터 스케줄링 및 할당 알고리즘을 나타낸다.

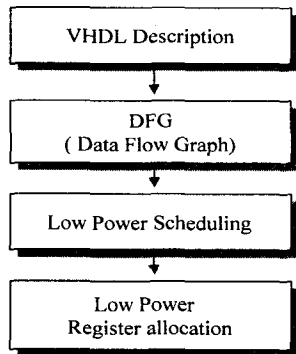


그림. 1 저전력 레지스터 스케줄링 및 할당 알고리즘

2.1 VHDL 기술

저전력 레지스터 스케줄링 및 할당 알고리즘을 수행하기 위해 VHDL을 입력으로 받는다. VHDL은 사용자가 하드웨어 동작을 기술하기 위해 사용하는 언어이다. 본 논문의 알고리즘은 VHDL 표현 방법 중 자료 흐름 모델링을 토대로 하고 있다. 그림 2는 VHDL 입력 기술이다. 특히, 프로세서 문은 VHDL 기술 구조내에서 동작적 기술로 표현할 수 있는 가장 일반적인 회로 표현 방법이다. 프로세서 문 자체는 병행문이므로 여러 개의 프로세

서 문이 있으면 이들을 병행적으로 수행되며, 프로세서 문 내부는 하나씩 차례로 수행되는 순차문으로 표현된다. 이런 VHDL 기술을 입력으로 받아 중간 표현인 DFG를 추출한다. 그림 3은 입력기술로부터 생성된 DFG이다.

```

entity example_1 is
  port ( U1 : in integer ;
         Y1 : out integer ) ;
end example_1 ;
architecture behavioral of example_1 is
  process( U1, Y1)
    variable a, b, c, d, e, f, g, h, i : integer ;
  begin
    if (a > b) then
      d := a - b ;
    else
      e := b - a ;
    end if ;
    f := d + e ;    g := f + e ;
    h := c^2 ;     i := h + g ;
  end process ;
end behavioral ;
    
```

그림. 2 VHDL 입력 기술

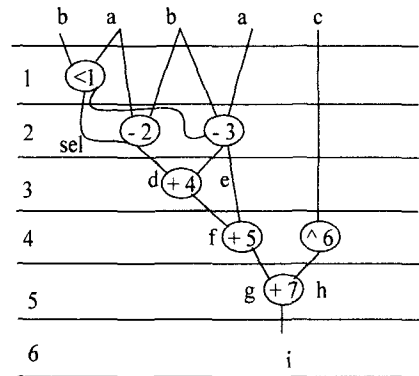
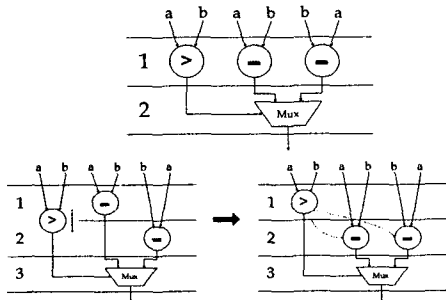


그림. 3 데이터 플로우 그래프 (DFG)

2.2 저전력을 고려한 스케줄링

회로에서 불필요한 계산을 하지 않는 저전력 스케줄링은 다음의 |a-b|의 예에서 살펴볼 수 있다. 기존의 스케줄링에서는 기능연산자(FU)의 수를 줄이거나 제어 스템을 줄이는 방법을 사용해 왔다. 반면 저전력을 고려한

방식은 a, b 둘의 크기를 비교하여 결과에 따라 두 개의 뿔셈 중 한 개만이 활성화되므로 사용되지 않은 뿔셈 안에서의 스위칭 동작은 발생하지 않는다. 다시 말하면, 비교기가 먼저 스케줄링 되어서 활성화되는 연산과 shut down 시키는 연산을 결정한다. 그림 4는 |a-b| 저전력 스케줄링이다. 본 논문의 DFG에서의 기능 연산자 < 1, 과 -2, -3 도 위의 경우와 동일한 스케줄링 결과를 적용하였다.



(a) (b)

- (a) 저전력을 고려하지 않은 스케줄링
 - (b) 저전력을 고려한 스케줄링
- 그림 4 |a-b| 저전력 스케줄링

2.3 저전력 레지스터 할당 알고리즘

저전력 스케줄링 단계를 거친 후 저전력 레지스터 할당에서는 컬러링 알고리즘을 이용한 최적의 레지스터 할당을 수행한다. 그 중 기존의 스위칭 활동을 줄이는 방법으로서는 가가 변수간의 상이한 비트 수를 의미하는 해밍거리(Hamming distance)를 구하여 스위칭 활동으로 둔다. 반면, 본 논문에서는 각 변수의 에지(edge)에 기능 연산자와 변수사이의 상관관계를 고려한 가중치를 두어 그 값의 역을 스위칭활동으로 정의한다. 그림 5에서와 같이 +4, +5, +7을 같은 기능연산자(FU)에 할당하면 한 쪽 입력이 고정되어 스위칭활동이 적어진다. 이 지점의 가중치를 최대로 결정한다. 또한 연산자와 관련된 변수 즉 d, f, g를 같은 레지스터에 할당한다.

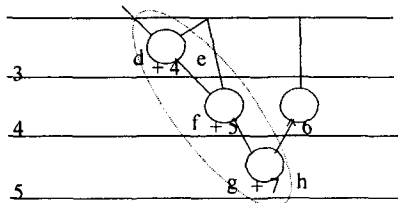


그림 5. 기능연산자와 레지스터의 공유

또한 컬러링 알고리즘은 VHDL을 중간 표현으로 변환한 DFG에 따라 생존 주기를 구성한 후 간섭 그래프를 만든다. 만약 간섭 그래프에서 가용한 레지스터를 k개라고 가정했을 때 degree(n) < k (n:노드, K: 가용한 레지스터의 수)을 가진 노드가 없으면 대피시키는 대신 스택에 위치할 노드를 선택한다. 컬러링 알고리즘은 노드가 스택에서 팝(pop)될 때 색을 이용 가능하다고 가정한다. 노드가 스택에서 팝 될 때 색이 이용 가능하지 않으면 노드는 컬러링하지 않고 놓아두고 컬러링을 계속 수행한다. 만일 컬러링 과정의 끝에서 색칠되지 않은 노드가 있으면 필요한 대피 코드가 삽입되고 간섭그래프 재구성된다. 그림 6은 DFG로부터 추출된 생존 주기를 나타낸다. 그림 7은 생존 주기를 바탕으로 생성된 간섭그래프이다. 간섭그래프에서 컬러링 알고리즘을 수행한 결과가 그림 8과 같다. 즉, 변수 a, d, f, g 는 Red(R1)으로 할당되고, 변수 b, e 는 Green(R2), 변수 C는 Blue(R3)이다. 또한 스페일 코드(spill code) i, h 도 Blue(R3)로 컬러링 된다.

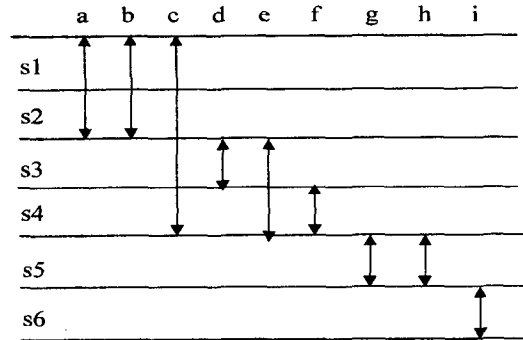


그림 6 생존 주기 (Life-Time)

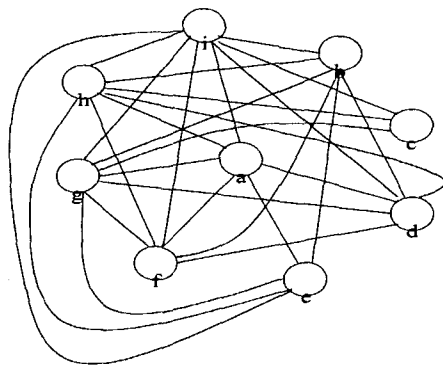


그림 7. 간섭그래프

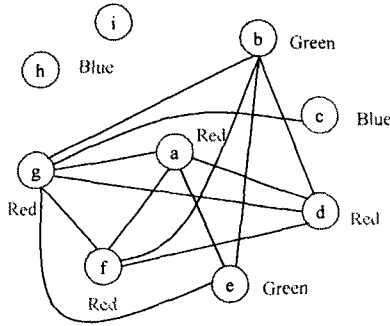


그림.8 최종적인 컬러링 간섭그래프

IV. 결 론

본 논문은 저전력 상위 레벨 합성을 위한 레지스터 스케줄링 및 할당알고리즘을 제안하였다.

제안된 알고리즘은 VHDL 기술로부터 DFG를 생성하여 shut down을 이용하여 스위치 활동을 최소화해 저전력 스케줄링을 수행하고 그래프 컬러링 알고리즘을 이용 레지스터간의 스위칭을 고려 모든 변수의 생존 주기 분석 후 최소수의 레지스터 결정한다. 비교 실험에서도 볼 수 있듯이 저전력 레지스터 스케줄링 및 할당 알고리즘을 다양한 벤치마크의 실험에 적용해 스위칭 활동을 보였다.

향후 연구과제로는 저전력 스케줄링 및 할당 알고리즘을 토대로 기능연산자 할당 및 바인딩을 수행하여 전체적인 합성 시스템을 구축하는 것이 선행되어야 하겠다.

본 연구는 반도체설계교육센터(IDECE)의 지원에 의한 것입니다.

III. 실험 결과

본 실험에서는 스위칭 활동을 최소화하는 레지스터 스케줄링과 할당 알고리즘을 적용한 결과를 각 벤치마크에 적용해 스위칭 활동을 구한다. Elliptic Filter 의 경우 AR filter 와 FIR filter와 비교해서 스위칭 동작이 크게 감소함을 볼 수 있다. 반면, AR filter, FIR filter의 경우 스케줄링에 의한 연산의 이동성이 떨어져 스위칭 활동의 급격한 감소는 어렵다.

참 고 문 헌

[1] R. Hartley, "Behavioral to Structural Translation in a Bit-Serial Silicon Compiler," IEEE Trans. CAD, vol. 7. no. 8, Aug. 1988, pp.877-886

[2] A. Chandrakasan, R. Brodersen, "Minimizing Power Consumption in Digital CMOS Cicuits," IEEE Proceedings, vol. 83, no. 4, April 1996, pp.498-523

[3] A. Chandrakasan et al., " Low-Power CMOS Digital Design," J. Solid-State Circuits, vol.27, no.4, April 1992, pp.473-484

[4] A. Ghosh, " Estimation of Average Switching Activity in Combination and Sequential Circuits", in Proc. 29th DAC, June 1992, pp.253-259

[5] P. Landman, " Power Estimation of High-Level Synthesis", in Proc. European DAC, Feb. 1993, pp.361-366

[6] A. Chandarksan et al., "HYPER-LP: A System fo Power Minimization Using Architecture Transformation," in Proc. ICCAD, Nov. 1992, pp.300-303

[7] R. Martin, "Power-Profiler : Optimizing ASICs Power Consumption at the Behavioral Level," in Proc. 32nd DAC, June 1995, pp.42-47

[8] J. Chang, "Register Allocation and Binding forLow Power", in Proc. 32nd DAC, June 1995, pp.29-35

Table. 1. 벤치마크 회로에 대한 스위칭 활동 (SA : Switching Activity, CS : Control Step)

Filter examples	CS	Perf. SA	Energy SA	Red (%)
Elliptic	1	50	19	62.0
	2	50	19	62.0
	3	52	29	44.2
	4	69	37	46.3
	5	60	33	45.0
	6	44	25	42.2
AR	1	68	28	58.8
	2	82	36	43.9
	3	80	32	60.0
	4	78	44	43.5
	5	80	33	58.7
	6	70	40	42.8
FIR	1	81	58	28.3
	2	109	79	27.5
	3	114	80	28.8
	4	126	85	32.5
	5	125	67	46.4
	6	120	73	39.1