

하드디스크 드라이브 읽기 채널용 6bit 800MSample/s 아날로그/디지털 변환기의 설계

정 대 영, 장 홍 석, 신 경 민, 정 강 민
성균관대학교 전기 전자 및 컴퓨터공학과
전화: 031-290-7194 / 핸드폰: 019-391-1829

A 6bit 800MSample/s A/D Converter Design for Hard Disk Drive Read Channel

Chung Dai-Young, Chang Hong-Seok, Shin Kyung-Min, Chung Kang-Min
Dept. of Electronics, Sung kyun kwan University
E-mail: leo23dy@unitel.co.kr

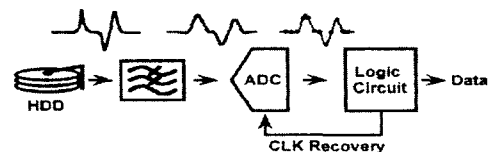
Abstract

This paper introduces the design of high-speed analog-to-digital converter for hard disk drive (HDD) read channel. This is based on autozero technique for low-error rate, and Double Speed Dual ADC(DSDA) technique for efficiently increasing the conversion speed of A/D converter. This ADC is designed by 6bit resolution, 800Msample/s maximum conversion rate, 390mW power dissipation, one clock cycle latency in 0.65 μ m CMOS technology.

1. 서 론

최근 디지털 data reading 분야에서의 고성능 analog-to-digital converter의 수요가 점차 증대되고 있다. 예를 들어, hard disk drive(HDD), digital video disk, local-area network(LAN)등 그 application이 점차 증가하는 추세이다. 이들 application은 high-speed, low-error-rate, low-power 동작을 필요로 하고, 매우 짧은 latency를 필요로 하며, HDD에서는 수 백 Msample/s의 read channel용 ADC를 채택하고 있다. 그림 1에서의 ADC는 HDD의 read channel내에서 sampling function과 digitization을 수행한다. HDD

read channel내 회로들은 시스템 내에 피드백 루프가 존재하므로 짧은 latency를 갖는 회로이어야 한다.[그림 1] 그러므로 긴 latency를 가지는 pipeline 구조나 고주파 analog input을 처리하기에는 부적합한 folding 구조보다는, 많은 수의 element를 가지는 단점이 있지만 고속 동작을 위해서, short latency를 위해 flash type의 구조가 가장 적합하다. 그러므로 본 논문의 HDD read channel용에 적합한 구조인 flash 타입의 A/D converter를 선택하여 설계하였다. 고속 동작과 보다 정밀한 동작을 위해 autozero 기술을 도입하였다.

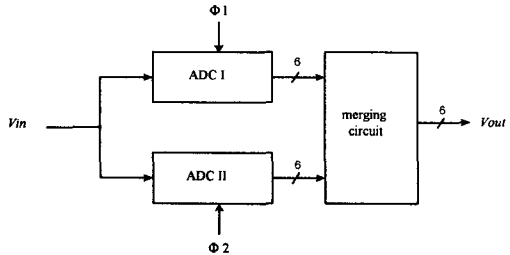


[그림 1] HDD read channel 을 위한 application

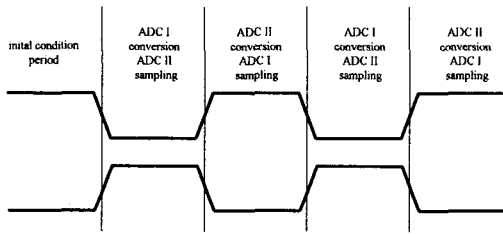
2. 전체 블록 동작 및 특성

전체 시스템 구조는 크게 볼 때 두개의 sub-ADC와 merging 회로로 되어 있다. 그림 2에서, 전체 시스템은, 180도 위상차를 가지는 non-overlapping 2상 클럭을 가지고 autozero technique을 기반으로 하는 sub-ADC를 제어하여, 서로 다른 phase에 각각의 변

환기가 각각 conversion을 수행한 후 이것을 merging 회로로 합하여 time-continuous conversion을 수행한 최종 디지털 코드를 출력하는 구조로 구성하였다. 이 전체 시스템 speed는 sub-ADC speed의 두 배가 된다. 본 논문은 400Ms/s sub-ADC를 사용하여 전체 A/D converter가 800Ms/s까지 동작함을 시뮬레이션을 통해 검증하였다.



[그림 2] 제안된 ADC의 전체 시스템 블록도



[그림 3] 전체 system clock과 DSDA operation

Sub-ADC는 reference voltage 단과 아날로그 입력 신호를 reference voltage와 비교하는 comparator 단, 각각의 비교기에서 나온 thermometer 코드를 binary 코드로 변환해주는 decoder 단으로 구성되며 모든 회로는 autozero technique에 기반을 둔 구조로 구성된다.

그림 3에서는 시스템 클럭과 전체 operation을 보여 준다. 클럭은 time-divided 50% duty cycle의 non-overlapping two phase system clock을 사용하였고, 전체 시스템은 autozero technique에 기반을 둔 구조이므로, odd phase와 even phase에서 sampling과 conversion을 번갈아 가며 수행하여 전체 continuous-time conversion을 수행한다. 이 Double Speed Dual ADC(DSDA) 방식을 통해 conversion speed를 두 배로 향상시킨다. 즉 sub ADC의 conversion 속도의 두 배 속도를 얻어낼 수 있게 된다. 그러나 이는 전체 chip size를 약 두 배 증가시키며 또한 별도의 merging 회로가 필요하다.

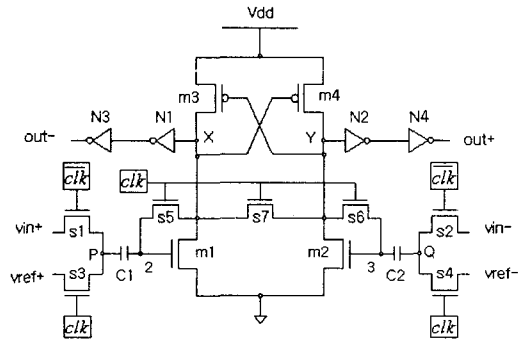
3. Autozero comparator design

Comparator의 성능은 전체 ADC system의 성능을 좌우할 정도로, speed와 power, 해상도면에서 ADC 설계에 있어서 매우 중요한 부분이다. 제안된 비교기는 offset을 최소화하면서 고속동작과 고효상도를 가능하게 하는 autozero 기법을 사용해서 성능의 다른 면에

대한 trade-off가 없이 preamp와 latch에 의해 분배되는 input offset을 최소화 시켜준다.

그림 4 fully differential autozeroed comparator의 회로도이다. 전체구조는 sampled-data comparator type으로 input sampling network S1-S4, C1과 C2 (C1=C2), regenerative amplifier M1-M4, reset switches S5-S7로 구성되며 N1,N3와 N2,N4는 symmetric loading을 제공하여 systematic offset을 피하게 한다. M1-M4의 regenerative 앰프는 cross-coupled 구조로 되어 있어 빠른 regeneration을 가능케 한다.

동작은 다음과 같다. Offset cancellation 모드시, 즉 clk이 high일 때, S3-S7은 ON되고, node P와 Q는 각각 Vref+와 Vref-로 충전(charge)되고, 이 앰프의 offset은 C1, C2로 저장된다. 다음, comparison mode로 transition이 될 때, 즉 clk이 low로 될 때, 다시 말해 clk가 high일 때, S3-S7가 turn-off되고 S1과 S2는 turn-on된다. 이때 비로소 회로는 regeneration을 시작하고, (Vin+ - Vin-) 와 (vref+ - Vref-) 의 차이를 증폭한 후 최종 latch단에서 logic level을 결정해준다. 설계 point는 M1, M2가 triode region에서 동작하게 해야 한다는 점이다. 그렇게 해야 Vin과 Vref와의 미묘한 차이를 감지하여 pre-amp로 적당한 수준까지 증폭시킬 수 있다. 이때 P, Q node는 clk가 high일 때 Vref를 tracking하고 clk가 High일 때는 Vin를 tracking한다.



[그림4] 제안된 fully differential autozeroed comparator

M1-M4가 regeneration을 수행하는 동안, 그것의 offset voltage는 비교적 clock의 falling time과는 독립적이다. 그림에도 불구하고, S5-S7이 갑자기 off되었을 때 M1과 M2의 drain과 gate로 주입되는 charge injection에 의한 mismatch는 잘못된 regeneration을 일으킬 수 있다. 이를 input referred offset이라 한다. 이 문제를 해결하기 위해 다음과 같은 순서로 delayed 클럭을 사용하여 mismatch를 막아준다.

- 1) reset mode끝내기 위해 S3-S6는 off 시킨다.
 - 2) tracking mode를 시작하기 위해 S1과 S2를 turn on 한다.
 - 3) M3, M4가 regeneration을 할 수 있게 S7을 off시킨다.
- 실제 설계 시에는 1),2),3)의 순서에 맞게 동작시키기

위하여, 각기 다른 조금씩 delayed 된 클럭들을 사용하는 방식을 사용하지 않고, 각각의 스위치의 size를 조절하여 switching speed를 위의 timing scheme에 맞게 변화시켜 charge injection mismatch를 막았다.

S1, S2가 on되기 전에 S5, S6이 off 시켜서 입력쪽에서 보이는 capacitance 성분을 낮추어준다. 이는 S1과 S2가 turn on 되었을 때 C1, C2가 M1, M2의 gates에서 series로 보이기 때문이다.

comparator의 잔여 offset은 다음과 같이 나타낸다.

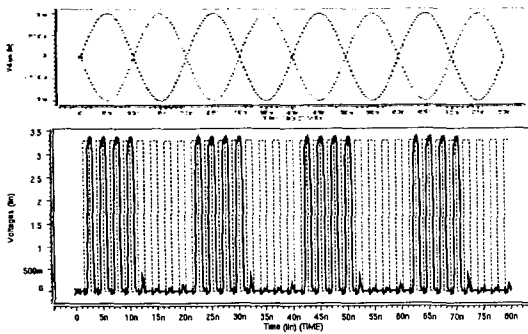
$$V_{OS} = \frac{V_{OS1}}{A_d} + \Delta V \quad (1)$$

이때 V_{OS1} 은 offset제거를 하지 않았을 때의 input referred offset, ΔV 는 S5와 S6사이의 charge injection mismatch에 기인한 offset이고, A_d 는 M1, M2의 gate로부터의 drain까지의 differential voltage gain 이다. 이는 다음 식으로 나타낼 수 있다.

$$A_d = \frac{gmN \cdot R_7}{2 - gmP \cdot R_7} \quad (2)$$

이때 gmN 과 gmP 는 NMOS와 PMOS의 transconductance 값이고, R_7 은 S7의 small signal on-resistance 값이다. 이 식에서 분자의 식은 M1, M2가 제공하는 linear gain을 표현하고 분모는 M3, M4에 의해 제공되는 regenerative 증폭을 반영한다.

제안된 autozero comparator는 11bit 해상도, 약 0.65nS의 propagation delay, 약 200Mhz의 input bandwidth, 0 -1.2v의 input range, 약 2.8mW정도의 power 소모, 0.5mV 이하의 offset을 갖는다. 그림 5는 제안된 comparator의 시뮬레이션 결과이다.



[그림5] 제안된 comparator의 simulation 결과 (Peak to peak 2mV인 50Mhz 차동입력에 대한 400Ms/s 비교기 출력 파형, power dissipation= 2.8mW, 전체 비교기 전압 gain= 약 76dB)

4. No glitch fast decoder design

Resistor ladder type의 reference voltage 단파 comparator 단을 거쳐 얻어낸 thermometer 코드는 binary 코드로 바꾸어져야 하는데 이때

thermometer-to-binary decoder의 speed와 정확성은 대단히 중요하다. Conventional decoder의 경우 보통 XOR 게이트와 NAND 또는 NOR 게이트를 주로 사용하는데 이런 구조는 long gate delay와 hazard 문제, 또 기생 capacitance의 영향으로 glitch error가 발생하여 치명적 code error를 유발한다. 이 논문에서는 not 입력을 사용한 AND OR inverter 기법을 사용하여 보다 빠르고 정확한 no glitch fast decoder를 설계하였다. 논리식은 다음과 같다. 식에서 B0은 출력 LSB 코드, B5는 출력 MSB 코드이다. (Tn 은 thermometer 코드, Bn 은 binary 코드로 표기)

$$B0 = (T0 \cdot \overline{T1}) + (T2 \cdot \overline{T3}) + (T4 \cdot \overline{T5}) + (T6 \cdot \overline{T7}) + \dots + (T58 \cdot \overline{T59}) + (T60 \cdot \overline{T61}) + T62$$

$$B1 = (T1 \cdot \overline{T3}) + (T5 \cdot \overline{T7}) + (T9 \cdot \overline{T11}) + \dots + (T53 \cdot \overline{T55}) + (T57 \cdot \overline{T59}) + T61$$

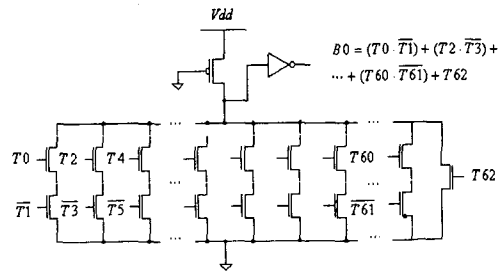
$$B2 = (T3 \cdot \overline{T7}) + (T11 \cdot \overline{T15}) + (T19 \cdot \overline{T23}) + \dots + (T43 \cdot \overline{T47}) + (T51 \cdot \overline{T55}) + T59$$

$$B3 = (T7 \cdot \overline{T15}) + (T23 \cdot \overline{T31}) + (T39 \cdot \overline{T47}) + T57$$

$$B4 = (T15 \cdot \overline{T31}) + T47$$

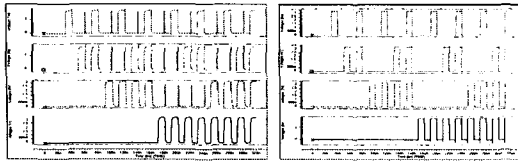
$$B5 = T31$$

구조는 autozero 기법에 알맞은 pseudo logic을 사용하였고 디코더의 not 입력은 인버터를 거치지 않은 fully differential comparator의 out- 출력을 그대로 사용하여 inverter를 거치는 동안의 time delay를 최소화시켜 디코더에 입력이 도착하는 시간을 거의 정확히 맞추어 glitch error를 방지하였다. 그림 6은 no glitch fast decoder의 LSB bit(B0)의 schematic 구조이다.



[그림6] Pseudo logic 을 사용한 제안된 6bit decoder 의 LSB bit의 decoder logic

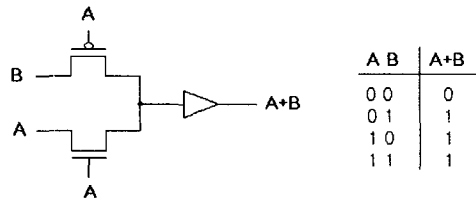
제안된 이 디코더는, XOR 게이트와 NAND, NOR 게이트를 사용한 conventional 디코더와 비교했을 때, glitch 문제가 전혀 발생하지 않으며 transistor 수가 1/10 정도 수준으로 현저히 감소하였고 또 최대 두 개의 트랜지스터의 채널 저항만을 통과하여 신호가 생성되므로 critical delay가 약 0.4nS정도로 그 speed가 매우 빠른 장점을 가진다. 그림 7는 4bit autozeroed sub-ADC의 conventional 디코더와 제안된 디코더 출력을 비교한 시뮬레이션 결과이다.



[그림 7] Conventional 디코더와 제안된 no glitch 디코더의 시뮬레이션 결과

5. Merging circuit

그림 2에서 보였듯이, 두 개의 autozeroed sub-ADC 들에 의해 서로 다른 시간대에서 생성된 각각의 변환된 코드들은 merging 회로를 거쳐 시간에 따라 연속적인 최종 출력코드로 바뀌어진다. 각각의 sub-ADC들의 각각의 bit별 merging으로 최종 digital 출력코드를 출력하는데, autozero 구조에 알맞은 ORing으로 두 sub-ADC의 출력을 merging한다. Merging 회로는 CPL(Complementary Pass-transistor Logic)을 변형시킨 OR gate를 사용하여 구현하였다. Passing delay time은 약 0.12nS이다. [그림 8]



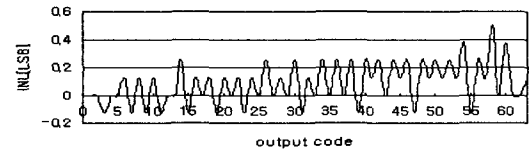
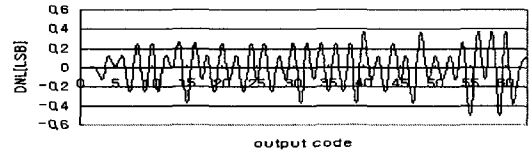
[그림 8] Merging 회로로 사용된 modified CPL을 이용한 효과적인 OR gate와 그 논리 table

6. 결론

제안된 하드디스크 드라이브용 고속 A/D변환기의 성능은 아래 table과 같다. Latency는 약 1.2nS이다.

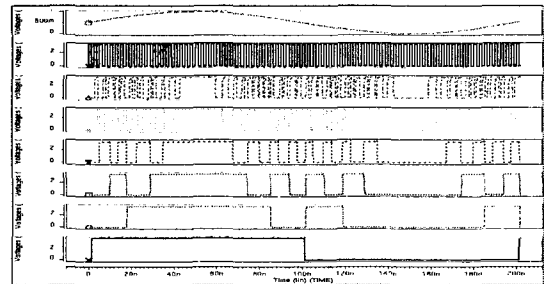
ADC 성능	
해상도	6 bit
최대 변환속도	800Ms/s
DNL	-0.5~+0.38LSB
INL	-0.12~0.5LSB
전력소비	390mW
Input range	0~1.2V
Input bandwidth	200Mhz
공급전압	single 3.3V
공정	0.65 μm CMOS

(INL과 DNL 측정 시 600Ms/s, Vref = 1 V(LSB = 약 16mV)를 사용하였다.)



[그림 9] 제안된 ADC의 DNL과 INL 특성

본 논문은 autozero기법에 기반을 둔 Double Speed Dual ADC 방식을 사용하여 시스템의 전체 변환속도를 배가시켰고, 고해상도 autozero 비교기와 no glitch fast decode, 그리고 효과적인 merging 회로를 통해서 보다 정확한 고속 HDD read channel 용 A/D 변환기를 설계할 수 있었다. 그림 10은 5Mhz sinusoidal input에 대한 디지털 출력 파형이다.



[그림10] 제안된 ADC의 아날로그 입력에 대한 디지털 출력 코드(5Mhz sinusoidal input에 대한 800Ms/s conversion)

<참고 문헌>

[1] Behzad Razavi, Principles Data Conversion System Design , IEEE PRESS, 1995.
 [2] David F. Hoeschele Jr., Analog-to-Digital and Digital-to-Analog Conversion Technique , JOHN WILEY & SONS, 1994.
 [3] Kwangho Yoon, Sungkyung Park, Wonchan Kim, A 6b 500Msample/s CMOS flash ADC with a background Interpolated Auto-Zeroing Technique , ISSCC99, 1999.
 [4] Behzad Razavi, A 12-b 5-Msaml/s Two-step CMOS A/D Converter , JSSC, 1992.