

## 고속 다이내믹 래치 비교기의 오프셋 최소화 기법

현유진, 성광수, 서희돈  
영남대학교 전자공학과 VLSI 연구실  
전화 : 053-810-2481 / 핸드폰 : 017-521-5516

### An Offset Reduction Technique of High Speed Dynamic latch comparator

Eugin Hyun, Kwang-Su Seong and Hee-Don Seo  
VLSI Lab. Dept. of Electronic Engineering, Yeungnam University  
E-mail : a9940386@chunma.yu.ac.kr

#### Abstract

In this paper, we propose an efficient technique to minimize the input offset of a dynamic latch comparator. We analyzed offset due to charge injection mismatching and unwanted positive feedback during sampling phase. The last one was only considered in the previous works. Based on the analysis, we proposed a modified dynamic latch with initialization switch. The proposed circuit was simulated using 0.65 $\mu$ m CMOS process parameter with 5v supply. The simulation results showed that the input offset is less than 5mv at 200MHz sampling frequency and the input offset is improved about 80% compared with previous work in 5k $\Omega$  input resistance.

#### I. 서론

최근 멀티미디어나 통신 시스템들의 고속화와 더불어 고속 ADC의 필요성이 한층 증가함으로 인해 적은 칩 면적과 저전력 설계의 필요성이 증가하고 있다. 고속 ADC의 경우 전체 전력소비의 90% 이상을 차지하는 비교기의 소자 수를 줄일 수 있다면 저전력 요구에 상당히 도움이 될 것이다. 이러한 요구에 맞는 비교기 중의 하나가 바로 다이내믹 래치 구조의 sense amp이다[1]. 이 비교기는 작은 입력 전압의 차이에도 정례환을 통해 짧은 시간 내에 출력 전압을 발생시킬 수 있다. 또한 비교적 회로가 간단하여 전력손실도 적고

속도도 빨라서 고속 ADC에 아주 유용하다. 그러나 큰 입력 오프셋 전압을 가진다는 단점이 있어 그 분해능이 4-6 bit로 제한된다[2,3]. 이를 해결하기 위해 다이내믹 래치의 앞단에 선형 증폭기를 두어 오프셋 전압을 충분히 해결할 만큼 전압을 증폭시킴으로써 8bit 정도의 분해능을 가질 수 있다[4]. 그러나 이 방법은 선형증폭기를 뒀으므로 회로가 보다 복잡해질 수 있음으로 고밀도 시스템을 구현하는데 있어서는 단점이 된다. 따라서 본 논문에서는 선형증폭기를 따로 앞단에 두지 않고 다이내믹 래치 오프셋 전압 자체를 감소시키는 방법을 제안하고자 한다.

#### II. 기존 다이내믹 래치 회로

전압 비교기로써 사용되어 지는 일반적인 다이내믹 래치는 그림 1 회로의 스위치 중  $S_3$ 와  $S_4$ 가 없는 경우이다. 스위치  $S_1$ 과  $S_2$ 는 입력신호를 샘플링을 하기 위한 것이며  $S_3$ 와  $S_4$ 는 래치를 동작시키기 위한 것이다. 이 비교기의 입력 오프셋 전압은 식 (1)과 같다[5].

$$V_o = V_{om} + \Delta Q_s / C_z + V_{ocf} \quad (1)$$

여기서  $V_{om}$ 은 MOS 간의 부정합에 따른 것이고,  $\Delta Q_s$ 는 스위치  $S_1$ 과  $S_2$ 간의 charge injection 부정합 값이고,  $C_z$ 는 래치의 입력 캐패시터로  $C_z = C_{z1} = C_{z2}$ 인 경우이다.  $V_{ocf}$ 는 샘플링 구간동안 A와 B 단의 각 기생 캐패시터,  $C_A$ 와  $C_B$ 에 충전된 전하에 의해 원하지 않는 정례환이 생김으로 인해 나타나는 오차이다.

Cusinato[5] 등은 식 (1)의  $V_{OM}$ 과  $\Delta Q_s$ 은  $V_{OCF}$ 에 비해 상대적으로 적어 무시하고  $V_{OCF}$ 만을 줄임으로써 입력 오프셋을 줄이는 방법을 그림 1(a)과 같이 제안하였고, 이는 그림 1(b)와 같이 3 구간을 가지고 동작한다. 만약 샘플링 시간이 충분히 길다면 A와 B단은 안전한 상태로 되어  $V_{OCF}$ 는 무시할 수 있지만, 샘플링 주기가 짧다면  $V_{OCF}$ 는 매우 중요하게 된다[5]. 그래서 첫 구간  $\phi_1$ 에서 스위치  $S_1, S_2, S_5$ 와  $S_6$ 를 on 시켜  $C_A$ 와  $C_B$ 를 각각 강제로 충전시킨뒤으로써  $V_{OCF}$  값을 줄인 것이다. 다음 구간인  $\phi_2$ 에서는 스위치  $S_1$ 과  $S_2$ 만 on시켜 입력신호를 샘플링하고, 그 다음인  $\phi_3$ 에서는 스위치  $S_3$ 과  $S_4$ 만 on이 되어 두 입력 신호를 비교한다.

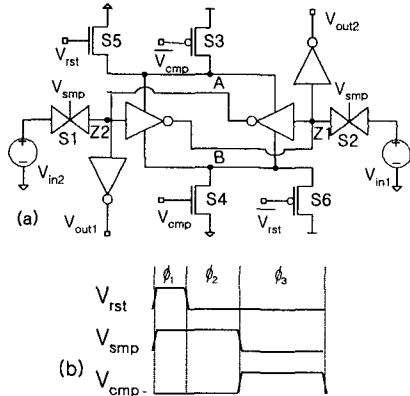


그림 1. 입력 오프셋을 줄이기 위해 Cusinato 등에 의해 제안된 방법[5]. (a) 제안된 회로의 개략도, (b) 이 회로의 스위치 신호.

### III. Charge injection 부정합

$V_{OM}$ 은 이 회로의 소자 수가 적어 레이아웃 테크닉 등으로 상당 부분 제거 될 수 있어 기존 논문과 마찬가지로 본 논문에서도 무시한다. 본 논문에서는 기존 논문에서 무시되어진 charge injection에 의한 부정합  $\Delta Q_s$ 이 다이내믹 래치가 고속으로 동작할 때 미치는 영향에 대해 해석하고자 한다. 이를 위해 먼저 입력 양단  $Z_1$ 과  $Z_2$ 의 전압 차를 구해보면 식 (2)와 같다.

$$\Delta V = |V_{z1} - V_{z2}| = \left| \frac{Q_{S1} + Q_{z1}(0)}{C_z} - \frac{Q_{S2} + Q_{z2}(0)}{C_z} \right| \quad (2)$$

여기서  $V_{z1}, V_{z2}$ 과  $Q_{z1}(0), Q_{z2}(0)$ 는  $Z_1, Z_2$ 단의 각 전압과 초기 전하량이다.  $Q_{S1}, Q_{S2}$ 은 샘플링 구간 동안  $V_{in1}, V_{in2}$ 에서 스위치  $S_1, S_2$ 을 통해  $Z_1, Z_2$ 단에 공급된 각 전하량이다. 만일  $Q_{z1}(0) = Q_{z2}(0)$ 이고  $V_{in1} = V_{in2}$ 이면  $Q_{S1} = Q_{S2}$

이 되어  $\Delta V$ 가 0이 되어야 하나, 스위치  $S_1$ 과  $S_2$ 의 부정합에 의해 식 (3)과 같은 오프셋이 발생한다.

$$\Delta V = |(Q_{S1} - Q_{S2})/C_z| = \Delta Q_s/C_z \quad (3)$$

그러나 이 경우는 샘플링 구간이 시작될 때, 래치의 입력 캐패시터  $C_{z2}$ 와  $C_{z1}$ 에 존재하는 초기 전하량을 고려하지 않은 경우이다. 실제로 입력 양단은 비교 구간이 끝나고 나면 각각  $V_{in}$ 과  $GND$  값을 가지게 되어 식 (2)의  $Q_{z1}(0)$ 과  $Q_{z2}(0)$ 항이 없어지지 않고 다음 신호를 샘플링 할 때 영향을 미치게 된다. 즉  $\Delta Q/C_z$ 를 해석하기 위해서는 스위치  $S_1$ 과  $S_2$ 의 부정합뿐 아니라  $Z_1$ 과  $Z_2$ 단의 초기값도 고려해야 한다. 이를 설명하기 위해 샘플링 구간에서 동작하고 있는 일반적인 다이내믹 래치 회로를 그림 2에 다시 나타내었다.

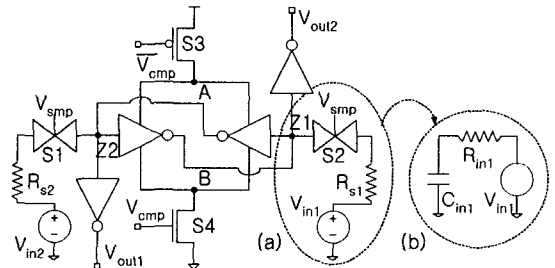


그림 2. (a) 샘플링 구간 동안의 다이내믹 래치 회로, (b) 입력단 선형 회로.

여기서  $R_{s1}$ 과  $R_{s2}$ 는 래치의 입력 impedance로 플래시 ADC에 사용하는 저항열이나 연결선 상에 존재하는 기생 저항 값이다.  $R_{in1}$ 과  $R_{in2}$ 은 래치의 각 입력단에서 본 테브난 등가 저항이다. 입력저항과 입력 캐패시터의 값이 선형적이라고 가정하고 캐패시터 양단 전압  $v_{z1}(t)$ 을 구해보면 식 (4)와 같이 나타낼 수 있다.

$$v_{z1}(t) = V_{in1} + [v_{z1}(0) - V_{in1}]e^{-t/\tau_1} \quad (4)$$

여기서  $v_{z1}(0)$ 는  $t=0$ 일 때, 즉 캐패시터에 분포하는 초기 전압값이고  $\tau_1$ 는  $R_{in1}C_{z1}$ 이다. 같은 방법으로  $v_{z2}(0)$  구하고,  $V_{in} = V_{in1} = V_{in2}$ 일 때의 두 입력단  $Z_1$ 과  $Z_2$ 의 전압차  $|v_{z1} - v_{z2}|$ 를 구해보면 식 (5)와 같다.

$$\Delta v(t) = | [v_{z1}(0) - V_{in}]e^{-t/\tau_1} - [v_{z2}(0) - V_{in}]e^{-t/\tau_2} | \quad (5)$$

여기서  $RC$  부정합이 없어  $\tau_1 = \tau_2 = \tau$ 이면 식 (5)는 식 (6)과 같이 나타낼 수 있다.

$$\Delta v(t) = [v_{z1}(0) - v_{z2}(0)]e^{-t/\tau} \quad (6)$$

이 비교기의 경우 비교 구간이 끝나고 나면  $Z_1$ 과  $Z_2$ 단은 각각  $GND$ 와  $V_{in}$ 가 되고 이는 다음 샘플링 구간에서 입력단의 초기값이 되어  $\Delta v$ 를 증가시킨다. 불

론 샘플링 구간이 충분히 길다면  $\Delta v$ 의 값이 0이 되지만, 고속 동작 경우에는 입력 전압  $|V_{in1} - V_{in2}|$ 와 이를 샘플링한 전압  $|v_{z1} - v_{z2}|$ 가  $\Delta v$ 만큼 차이 나게 되어 올바른 출력값이 나오지 않게 된다.  $\Delta v$ 를 줄이기 위해서는 RC 부정합뿐 아니라 샘플링을 시작하기 전에 양단을 같은 값으로 초기화를 시켜야 함을 알 수 있다.

#### IV. 제안된 회로

우리는  $V_{OCF}$ 와  $\Delta Q/C_s$ 를 모두 최소화하기 위해 그림 3(a)와 같은 회로를 제안한다. 제안된 회로는 일반적인 다이내믹 래치에 스위치  $S_5$ 를 추가하였고 그림 3(b)와 같이 3 구간을 가지고 동작한다.

먼저 초기화 구간  $\phi_1$ 에서는 스위치  $S_5$ 만 on되어 양 입력단 전압이  $V_z (= V_{z1} = V_{z2})$ 로 된다.  $V_{OCF}$ 의 영향이 없다면  $V_z$ 가  $V_{DD}/2$ 가 되고 인버터의 nMOS와 pMOS가 모두 on이 되어 A단에 충전된  $V_{DD}$ 와 B단의 GND가 서로 방전된다.  $Z_1 (= Z_2)$ 의 입력 캐패시터는  $2C_z$ 이 되고 평균 전압은  $V_{DD}/2$ 이므로 이 구간 동안의 입력단의 전하  $Q_z$ 는 식 (7)이 된다.

$$Q_z = (V_{DD}/2) \cdot 2C_z + C_A[V_{DD} - (V_z - V_{THp})] - C_B(V_z - V_{THn}) \quad (7)$$

여기서  $V_{THp}$ 와  $V_{THn}$ 는 pMOS와 nMOS의 문턱전압이다. 이때  $2C_z \gg C_A + C_B$ 이므로  $V_z = Q_z / (2C_z + C_A + C_B)$ 은  $Q_z/2C_z$ 로 근사화되므로  $V_z$ 는 식 (8)과 같이 된다.

$$V_z = \frac{V_{DD} + [C_A V_{DD} + C_A V_{THp} + C_B V_{THn}] / C_z}{2[1 + (C_A + C_B) / 2C_z]} \quad (8)$$

만약  $C_A = C_B$ 이고  $V_{THn} = -V_{THp}$ 이면,  $V_z$ 가  $V_{DD}/2$ 가 됨을 알 수 있다. 그러나 pMOS의 크기를 nMOS에 비해 2배정도 크게 만드는 것이 일반적이므로  $C_A \approx 2C_B$ 이고,  $V_{THn}$ 가 1V 미만이므로  $V_{DD} = 5V$ 이면  $2V_{DD} \gg V_{THn}$ 가 되어  $V_z$ 는  $(V_{DD}/2) \cdot (1 + 2C_B/C_z) / (1 + 3C_B/2C_z)$ 로 근사화된다. 이때  $C_z \approx 10C_B$ 이라면  $V_z$ 는 약 2.6V가 된다.

샘플링 구간  $\phi_2$ 에서는 스위치  $S_1$ 과  $S_2$ 만 on이 되고 입력 양단이 입력 신호를 받아들인데 초기값이 거의  $V_{DD}/2$ 이기 때문에, 그림 1회로의 경우 최대  $V_{DD}$  만큼 풀 스윙을 해야되는 것에 비해, 이 경우엔 최대 2V~3V만 스윙하면 된다. 이렇게 양 입력단을 초기화시키는 것은 입력 양단의 오프셋 전압을 제거 할 뿐 아니라 이 회로의 샘플링 구간이 다른 회로에 비해 짧음으로 인한 문제점도 효과적으로 해결하여 주고 있다.

마지막 구간  $\phi_3$ 은 비교 구간으로 스위치  $S_3$ 와  $S_4$ 만 on이 되어 두 입력 신호를 비교한다.

제안된 회로는 샘플링 전에  $Z_1$ 과  $Z_2$ 단을 단락시켜 두 입력단의 전압을 똑같이 초기화함으로써  $\Delta Q/C_s$ 을

줄일 수 있을 뿐 아니라, 인버터로 전류를 흐르게 함으로써 A와 B단을 방전시켜 래치가 샘플링 구간에서 불필요한 정제환이 일어남을 최소화할 수 있어  $V_{OCF}$  역시 줄이는 것이다. 하지만 제안된 회로는 3개의 클럭의 주기가 모두 달라 클럭 발생기를 정교하게 설계해야한다는 단점을 가지고 있다. 이러한 문제점은 time interleaved 기법을 이용하여 설계함으로써 해결 할 수 있다. 하나의 비교기가 초기화 구간에서 동작하는 동안 다른 하나의 비교기는 샘플링과 비교 구간에서 동작하는 방법이다. 이러한 방법을 통해 정교한 3개의 클럭 없이도 고속 ADC를 설계할 수 있을 것이다.

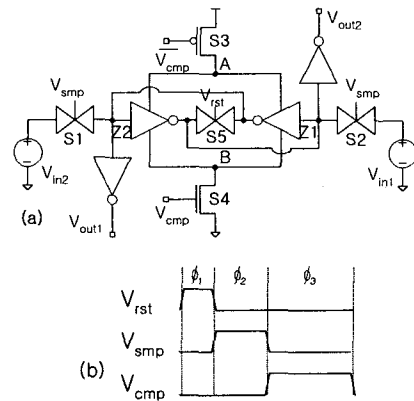


그림 3. (a) 제안된 회로의 개략도, (b) 이 회로의 스위치 신호.

#### V. 모의 실험 결과 및 고찰

제안된 비교기의 특성을 확인하기 위하여 0.65 $\mu$ m CMOS 공정 파라미터를 이용하여 HSPICE로 모의 실험을 하였다.  $V_{DD}$ 는 5V이고 입력 신호는 100MHz, 샘플링 주파수는 200MHz(Nyquist rate)에서 동작 시켰다.

그림 4와 5는 제안된 회로의 A,B와  $Z_1, Z_2$ 단의 각 전압값을 측정된 것이다. 초기화 구간에서  $Z_1$ 과  $Z_2$ 단의 전압이 약 2.66V 정도임을 알 수 있다. 이는 계산값 2.6V와 거의 같은 값이다. 또한 이 구간에서 인버터의 pMOS와 nMOS가 on이 되어 A와 B단이 서로 방전하다가 샘플링 구간에선 모두 off가 됨을 알 수 있다.

그림 6에서는 래치 양 입력단의 입력저항  $R_{s1}$ 과  $R_{s2}$  값을 증가시키면서 각 회로의 입력 오프셋 전압을 측정해 보았다. 일반적인 다이내믹 래치 회로와 그림 1의 회로가 지수적으로 증가하는데 반해, 제안된 회로는 입력 저항값에 상관없이 5mV 이하로 나타났다.

그림 7은 래치 입력저항  $R_{s1}$ 과  $R_{s2}$ 값이 부정합을 이

를 때 각 회로의 입력 오프셋 전압을 나타낸 것이다. 입력저항이 작을 때는 제안된 회로가 기존의 회로와 별로 차이가 없지만 큰 경우에는 오프셋 전압이 다른 두 회로에 비해 덜 민감하다는 것을 알 수 있다.

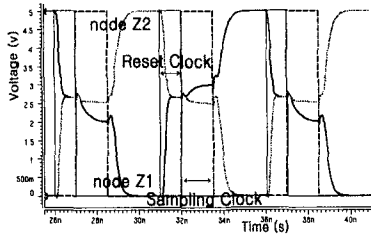


그림 4. Z<sub>1</sub>과 Z<sub>2</sub> 단의 모의실험 결과.

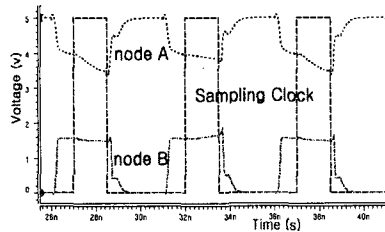


그림 5. A와 B 단의 모의실험 결과.

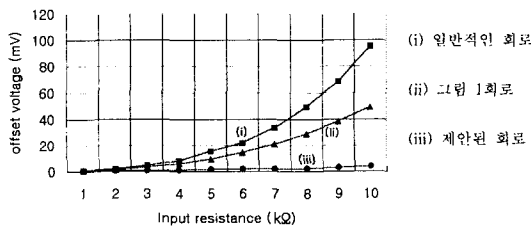


그림 6. 입력저항 변화에 따른 입력 오프셋 변화.

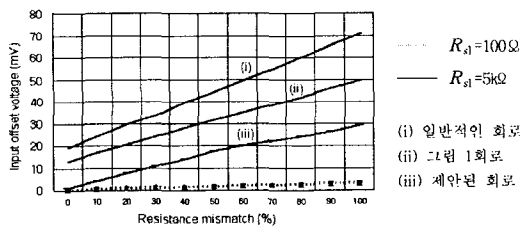


그림 7. 입력저항 부정합에 따른 입력 오프셋 변화.

## VI. 결론

본 논문에서는 고속 다이내믹 래치 형태의 비교기에 서 문제가 되는 오프셋을 줄이는 방법을 제안하였다. 기존 논문에서는 샘플링 기간 중 발생하는 원하지 않는 정례환에 의한 오프셋만 고려하였으나, 본 논문에

서는 charge injection 부정합을 정확하게 해석하였고 이를 최소화 할 수 있는 효과적인 회로를 제안하였다.

제안된 회로는 기존 방법과 비교하여 200MHz 샘플링 주파수에서 5mV 이하의 오프셋 전압을 가지며, 특히 입력저항  $R_{s1}$ 과  $R_{s2}$ 을 5kΩ로 할 때 80% 정도 입력 오프셋 값이 개선되었음을 모의 실험을 통해 알 수 있었다. 제안된 비교기는 소자의 수가 적을 뿐 아니라 오프셋 전압이 아주 작으므로 8bit 정도의 분해능을 가지는 플래시 형태의 고속 ADC에 많이 응용될 것이다. 또 정확한 클럭 발생에 대한 단점을 해결하기 위해 time interleaved 기법을 이용하면 될 것이다.

## 참고문헌

- [1] 광명보, 이성훈, 이인환, "저전력 CMOS 비교기의 시스템 응용을 위한 오프셋 전압 최소화 기법", 전자공학회논문지, 제34권 C편, 제12호, pp.982-990, 1997. 12.
- [2] Bruccoleri.M and Cusinato.P, "Offset reduction technique for use with high speed CMOS comparator", Electronic Letter, vol. 32, no. 13, pp. 1193-1194, June. 1996.
- [3] Yim.G.M, Opt Eynde.F.O and Sansen.W, "A high-speed CMOS Comparator with 8bit resolution", IEEE Journal of Solid-state Circuit, vol. 27, no. 2, pp. 208-211, February 1992.
- [4] Razavi.B and Wooley. B.A, "Design techniques for high-speed, high-resolution comparator". IEEE journal of Solid-State Circuits, vol. 27, no. 12, pp. 1916-1926, December 1992.
- [5] Cusinato.P, Bruccoleri.M, Caviglia.D.D and Valle.M, "Analysis of the behavior of a dynamic latch comparator", IEEE Transactions on Circuits and System-I: Fundamental Theory and Applications, vol. 45, no. 3, pp. 294-297, March 1998.

## 감사의 글

이 논문은 반도체 교육센터(IDECE)의 부분적인 지원을 받아 수행되었습니다.