

1.5V, 2mW, 96dB Peak SNDR, 오디오용 $\Sigma\Delta$ Modulator 설계

이강명, 이상훈, 박종태, 유종근
인천대학교 전자공학과
전화 : 032-770-8450 / 팩스 : 032-764-2371

Design of a 1.5V, 2mW, 96dB Peak SNDR $\Sigma\Delta$ Modulator for Audio Applications

Kang-Myoung Lee, Sang-Hoon Lee, Jong-Tae Park, Chong-Gun Yu
Department of Electronics Engineering, University of Incheon
E-mail : g9921038@lion.inchon.ac.kr

Abstract

This paper presents a low-voltage, low-power $\Sigma\Delta$ modulator for audio applications. It use a simple second-order fully-differential switched-capacitor structure with a sampling frequency of 12.5MHz and oversampling ratio of 256. It operates from a single 1.5V power supply and dissipates 2mW. Extensive simulations using 0.25 μm CMOS process parameters show that it achieves 96dB peak SNDR in a 22kHz bandwidth.

I. 서론

최근 시스템의 소형화, 휴대화 추세에 따라, 아날로그-디지털 변환기(ADC)도 디지털 신호처리 블록과 one-chip화가 이루어지고 있으며, 따라서 작은 면적으로 고성능을 갖도록 구현되어야 한다. 또한, 휴대용 장비의 건전지(battery) 수명을 늘이기 위해서는 저전압/저전력 특성을 갖도록 설계되어야 한다.

Oversampling과 noise shaping 기술이 사용되는 $\Sigma\Delta$ ADC는 저속, 고해상도 특성이 요구되는 음성 또는 오디오 신호처리에 가장 적합한 구조이다[1-8]. $\Sigma\Delta$ ADC의 핵심 블록인 $\Sigma\Delta$ 변조기(modulator)도 시스템의 one-chip화 추세에 따라 작은 면적으로 저전압/저전력 특성을 갖도록 설계되어야 한다.

본 연구는 인천대학교 멀티미디어 연구센터의 RRC 과제지원과 IDEC 지원에 의해 일부 수행되었음.

$\Sigma\Delta$ 변조기는 크게 두 가지 구조, 단일루프(single-loop) 구조[2-4]와 cascade 구조[5-7]로 구현될 수 있다. Cascade 구조는 저차(low-order)의 변조기들을 여러 단으로 연결하여 사용함으로써, 고차(high-order) 변조기가 가지고 있는 안정성(stability) 문제를 극복하면서, 고차의 변조 특성을 얻을 수 있다는 장점이 있다. 그러나 이 구조는 고해상도를 얻기 위해서는 각 단 사이에 정확한 정합(matching)이 필요하며, 각 단의 증폭기들은 고성능을 갖도록 설계되어야 한다. 이러한 요구조건을 충족시키기 위해서는 전력소모가 증가하게 된다. 반면, 단일루프 구조는 단지 첫 번째 단의 증폭기만이 고성능이 필요하기 때문에 저전압/저전력 특성에 적합한 구조이다.

단일루프 구조에서는 변조기의 차수(order)와 OSR(OverSampling Ratio)에 의해 변조기의 특성이 좌우된다. 1차 변조기의 경우는 하나의 적분기(integrator)로 구성되기 때문에 가장 작은 면적으로 구현이 가능하다는 장점은 있으나, 해상도를 높이기 위해서는 상당히 큰 OSR이 필요하기 때문에, 고해상도의 특성을 얻기가 매우 어렵다. 따라서 높은 해상도를 위해서는 2차 이상의 변조기가 사용된다. 차수가 높아질수록 주어진 해상도에 대해 OSR이 감소하기 때문에 저전력 소모 특성을 얻기가 용이하다. 그러나 2차(second-order) 보다 큰 고차 변조기의 경우는 feedback 회로의 특성상 안정성이 문제가 되며, 복잡도가 증가하여 작은 면적으로의 구현이 어렵다는 단점이 있다[2].

본 논문에서는 저전압/저전력 특성을 고려하여 간단한 구조로 높은 해상도를 얻기 위한 변조기의 구현에 중점을 두었다. 먼저, 저전력 소모 특성과 소자간 정합 요구조건에 유리한 단일 루프의 구조를 선택하였

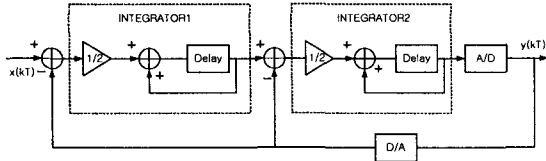


그림 1. 2차 ΣΔ 변조기의 블록 다이어그램
Fig. 1. Block diagram of second-order ΣΔ modulator

으며, 회로의 안정성과 작은 면적으로의 구현을 고려하여 2차 구조를 선택하였다. 소자들간의 부정합을 고려하여 1-bit 양자화기(quantizer)와 1-bit DAC를 사용하여, 1.5V, 2mW, 96dB peak SNDR 특성을 갖는 ΣΔ 변조기를 설계하였다.

II. 2차 ΣΔ 변조기 설계

본 논문에서 설계된 2차 변조기의 블록 다이어그램과 간략화된 회로도들을 그림 1과 2에 각각 나타내었다. 변조기는 두 개의 적분기와 한 개의 비교기 그리고 여러 개의 아날로그 스위치로 구성되며, 각각의 적분기의 출력 신호 범위를 고려하여 적분기의 gain(C_S/C_F)을 0.5로 선택하였다.

증폭기의 최적의 바이어스 조건을 위하여 아날로그 ground(V_{AG})는 0.7V로 선택하였으며, kT/C 노이즈를 줄이기 위해 두 개의 기준전압 $V_{refp}=0.95V$ 와 $V_{refn}=0.45V$ 를 사용하고 샘플링 커패시터는 $C_S=2pF$ 를 선택하였다. 신호에 의존적인 charge injection error를 줄이기 위해 두 개의 중첩되지 않는(nonoverlapping) 클럭 P_1, P_2 와 각각의 지연된 클럭 P_{1d}, P_{2d} 가 사용되었다.

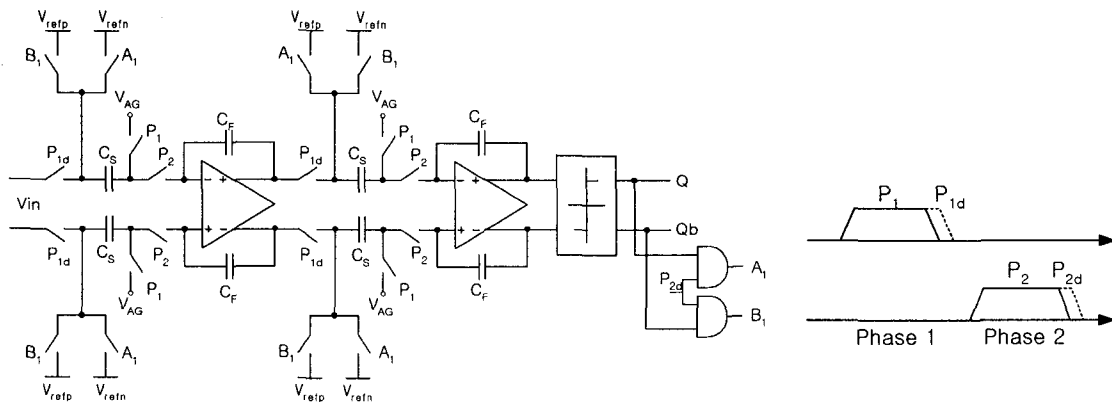


그림 2. 설계된 ΣΔ 변조기의 회로도
Fig. 2. Circuit diagram of the designed ΣΔ modulator

아날로그 스위치는 NMOS 트랜지스터로 구현되었으며, 전체 신호 범위에서 스위치의 확실한 on을 보장하고 on 저항을 줄이기 위해 그림 3과 같은 간단한 전하펌프(charge pump) 회로[3]를 사용하여 NMOS 스위치의 게이트에 인가되는 클럭의 high 레벨을 1.5V에서 약 3V로 증가시켰다.

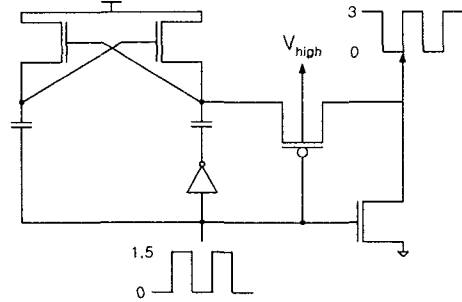


그림 3. 전하펌프 회로
Fig. 3. Charge pump circuit

그림 4는 첫 번째 적분기에 사용된 증폭기의 회로도이다. 주 증폭기는 단일 stage folded-cascode 구조이며, dc gain을 증가시키기 위해 level shifter와 single 트랜지스터 증폭기로 구성된 간단한 gain-boosting 회로 FAn과 FAp를 첨가하였다. 이 구조는 기존의 이단(two-stage) 구조에 비해 출력 신호범위가 감소한다는 단점은 있으나, 복잡한 주파수 보상이 필요 없으며, 구조가 간단하여 작은 면적과 적은 전력소모 특성을 갖는다는 장점이 있기 때문에, 본 설계에서의 적합한 목적에 부합하는 구조이다.

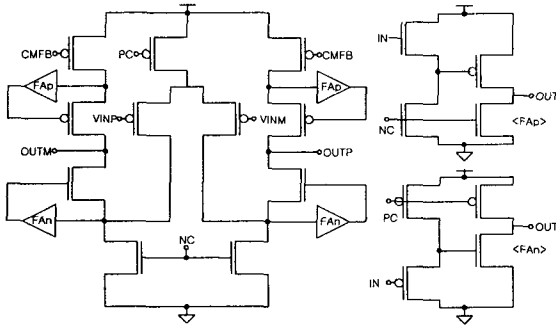


그림 4. 증폭회로와 gain-boosting 회로
Fig. 4. Op-amp and gain-boosting circuits

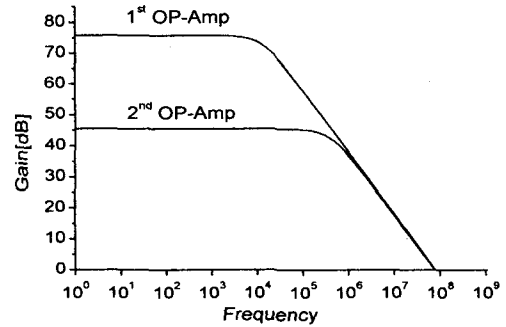


그림 6. 증폭기의 전압이득 특성 (C_L=4pF)
Fig. 6. Voltage gain of the op-amps (C_L=4pF)

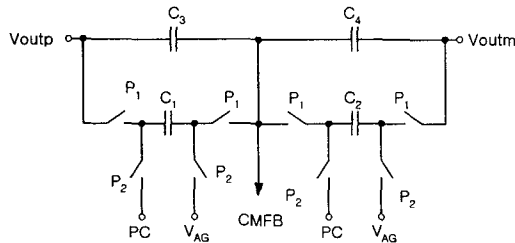


그림 5. 공통모드 feedback 회로
Fig. 5. Common-mode feedback circuit

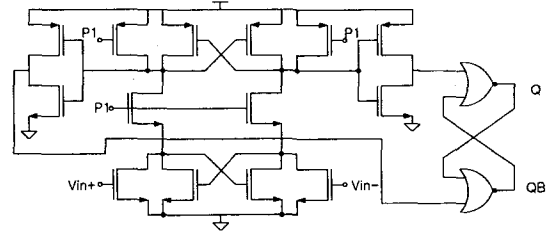


그림 7. 비교기
Fig. 7. Comparator circuit

또한, 단일 stage 구조에서는 공통모드(common-mode) feedback 회로로 그림 5와 같은 간단한 switched-capacitor(SC) 회로가 사용될 수 있다는 장점이 있다. 이 공통모드 feedback 회로는 동작 신호 범위가 넓다는 장점을 갖는다. 사용된 커패시터는 C₁=C₂=0.2pF, C₃=C₄=0.5pF이다.

노이즈를 고려하여 증폭기의 입력으로는 PMOS 트랜지스터를 사용하였다. 입력 트랜지스터의 크기는 W/L=200μm/0.3μm이며, 입력 단의 바이어스 전류는 약 260μA이다. SPICE 모의실험 결과 첫 번째 증폭기의 dc gain은 약 75dB이다. 두 번째 적분기에 사용되는 증폭기의 dc gain은 첫 번째 증폭기처럼 필요없기 때문에 gain-boosting 회로를 사용하지 않았으며 dc gain은 약 45dB이다. 첫 번째와 두 번째 증폭기의 주파수에 따른 전압 이득 (voltage gain) 특성을 그림 6에 보였다. Gain-boosting 회로를 사용한 경우 dc gain이 약 30dB 증가하는 것을 알 수 있다.

1-bit ADC(Analog-to-Digital Converter) 역할을 하는 비교기(comparator)는 그림 7과 같이 전력소모를 줄이기 위해 간단한 regenerative latch를 사용하여 구현하였다. SPICE 모의실험 결과 비교기의 상승시간 지연(rising time delay)와 하강시간 지연(falling time delay)는 각각 3.6nsec와 4.1nsec이다.

III. 모의실험 결과

설계된 변조기의 성능을 검증하기 위해 0.25μm CMOS 공정 변수를 사용하여 SPICE 시뮬레이션 하였다. 충분한 해상도를 얻기 위해 OSR은 256을 선택하였다. 클럭 주파수는 12.5MHz이고 전원 전압은 1.5V이다.

변조기의 입력에 200mV의 차동 진폭을 갖는 3.8kHz의 정현파를 인가시 얻어진 출력 데이터에 대해 MATLAB을 사용하여 16384-point FFT를 수행한 결과를 그림 8에 보였다. 이 결과를 얻는데 걸리는 SPICE 시뮬레이션 시간은 67시간으로 상당히 긴 시간이 소요된다. 그림에서 점선은 cumulative noise distortion power를 나타내는 것으로, 신호 대역폭 22kHz일 때 SNDR이 약 96dB인 것을 알 수 있다. 입력신호의 크기에 따른 SNDR을 그림 9에 보였다. 전력소모는 약 2mW이다. 설계된 변조기의 성능을 표 1에 요약하였다.

IV. 결론

본 논문에서는 저전압/저전력 특성을 갖는 간단한 구조의 오디오용 2차 $\Sigma\Delta$ 변조기를 설계하였다. SPICE 모의실험 결과 설계된 변조기는 1.5V의 전원에서 약 2mW의 전력을 소모하며, 22kHz의 대역폭에서 96dB의 peak SNDR 특성을 보였다. 따라서 설계된 변조기는 저전압/저전력 특성이 요구되며, 고품질의 오디오 신호처리가 필요한 시스템의 일부로서 응용될 수 있다. 설계된 변조기는 현재 layout 도면 작성 중에 있으며, 곧 IC로 제작될 예정이다.

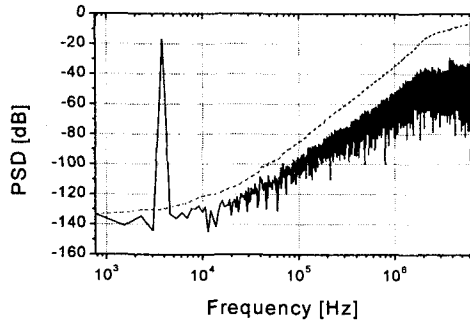


그림 8. 설계된 $\Sigma\Delta$ 변조기의 출력 스펙트럼
Fig. 8. Output spectrum of the $\Sigma\Delta$ modulator

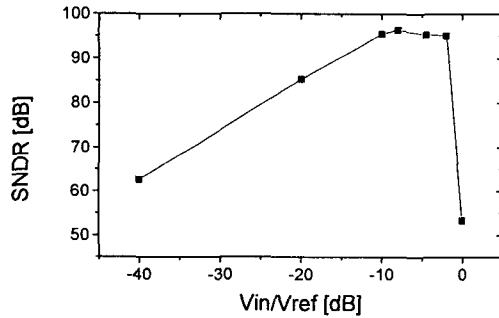


그림 9. 입력신호의 크기에 따른 SNDR
Fig. 9. SNDR versus input signal level

표 1. 설계된 $\Sigma\Delta$ 변조기의 성능
Table 1. Performance of the $\Sigma\Delta$ modulator

Supply voltage	1.5V
Input frequency	3.8kHz
Vrefp/Vrefn	0.95V/0.45V
Clock frequency	12.5MHz
Oversampling ratio	256
Signal bandwidth	22kHz
Peak SNDR	96dB
Power dissipation	2mW
Technology	0.25 μ m CMOS

참고문헌

- [1] J. C. Candy, "A use of double integration in sigma delta modulation," *IEEE Trans. Commun.*, vol. COM-33, pp. 249-258, Mar. 1985
- [2] B. E. Boser, B. A. Wooley, "The Design of Sigma-Delta Modulation Analog-to-Digital Converters", *IEEE J. Solid-State Circuit*, vol. 23, no. 6, pp. 1298-1308, Dec. 1988.
- [3] J. Grilo, E. MacRobbie, R. Halim and G. Temes, "A 1.8V 94dB Dynamic Range $\Sigma\Delta$ Modulator for Voice Applications," in *ISSCC Dig. Tech. Papers*, pp. 230-231, Feb. 1996.
- [4] A. L. Coban and P. E. Allen, "A 1.5V 1.0mW Audio $\Delta\Sigma$ Modulator with 98dB Dynamic Range," in *ISSCC Dig. Tech. Papers*, pp. 50-51, Feb. 1999.
- [5] T. Hayashi, Y. Inabe, K. Uchimura, and T. Kimura, "A multi-stage delta-sigma modulator without double integration loop," in *ISSCC Dig. Tech. Papers*, pp. 182-183, Feb. 1986.
- [6] Y. Matsuya, K. Uchimura, A. Iwata, T. Kobayashi, and M. Ishikaya, "A 16b oversampling A/D conversion technology using triple integration noise shaping," in *ISSCC Dig. Tech. Papers*, pp. 48-49, Feb. 1987.
- [7] S. Rabin and B. A. Wooley, "A 1.8V Digital-audio $\Sigma\Delta$ Modulator in 0.8 μ m CMOS," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 6, pp. 783-796, June 1997.
- [8] J. C. Candy and G. C. Temes, *Oversampling Delta-Sigma Data Converters, Theory, Design and Simulation*, IEEE Press, 1992