# 디지털 TV 튜너용 900MHz CMOS RF Front-End IC의 설계 및 구현

김 성 도°, 유 현 규*, 이 상 국
한국정보통신대학원대학교 공학부, * 한국전자통신연구원
전화 : (042) 860-5540

# Design of 900MHz CMOS RF Front-End IC for Digital TV Tuner

S. D. Kim °, H. K. Yu, S. G. Lee
School of Engineering Information and Communications University, * ETRI
E-mail : sdkim@icu.ac.kr

## Abstract

We designed and implemented the RFIC(RF front-end IC) for DTV(Digital TV) tuner. The DTV tuner RF front-end consists of low noise IF amplifier for the amplification of 900 MHz RF signal and down conversion mixer for the RF signal to 44MHz IF conversion. The RFIC is implemented on ETRI 0.8u high resistive (*2KΩ -cm*) and evaluated by on wafer, packaged chip test. The gain and IIP3 of IF amplifier are 15dB and –6.6dBm respectively. For the down conversion mixer gain and IIP3 are 13dB and -6.5dBm. Operating voltage of the IF amplifier and the down mixer is 5V, current consumption are 13mA and 26mA respectively.

## I. 서 론

지속적으로 Scaled-Down되고 있는 CMOS 기술은 고집적, 저전력화 뿐만 아니라 기존에 바이폴라 또는 화합물소자로만 구현이 가능했던 RF 신호처리 블록과 IF 및 디지털 블록까지 집적화할 수 있는 장점이 있어 많은 연구가 이루어지고 있다.

그러나 RF 응용분야에서 아직 만족할만한 상용제품이 발표되고 있지 않은 것은 RF 대역에서의 CMOS 소자특성을 정확하게 예측하기 어렵기 때문이다.

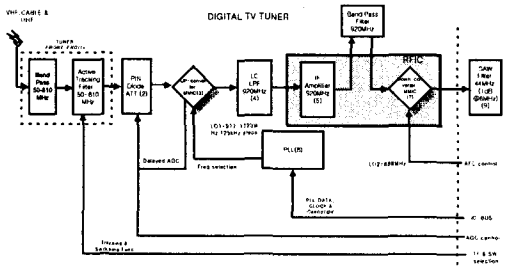
다른 소자기술과 비교해 볼 때 CMOS 기술의 가장 큰 단점은 실리콘기판을 통하여 RF 신호가 커플링되기 때문에 초고주파수 대역에서 소자특성이 저하된다는 것이다. 따라서 RF 대역의 회로설계를 위해서는 RF 소자 모델링이 무엇보다도 중요하다.

이러한 실리콘기판을 통한 RF 신호 커플링 문제를 고저항 실리콘기판을 사용하여 다소 줄일 수 있다. 이와 더불어 고저항 기판을 사용할 경우 고품질의 On-chip Inductor 구현이 가능하다.

이러한 고저항 실리콘기판의 장점을 이용하여 디지털 TV 튜너용 RFIC를 ETRI 0.8um CMOS 기술로 제작하였으며, 기존 BSIM3V3 모델에 Sub-Circuit을 추가한 RF 소자모델을 개발하여 RF 회로설계에 이용하였다.

그림 1은 디지털 TV 튜너 RF Front-end 블록도이며 대부분의 통신시스템과 유사하게 헤테로다인 구조로 되어 있다. 안테나를 통하여 수신되는 54 ~ 806MHz RF 신호를 932MHz 1차 IF 신호로 상향주파수 변환을 시킨 후에 다시 44MHz 2차 IF 신호로 하향주파수 변환하는 구조로 되어 있다. 디지털 TV 튜너용 RFIC는 932MHz로

상향주파수 변환된 1차 IF 신호를 증폭하는 저잡음 IF 증폭기와 44MHz의 2차 IF 신호로 하향주파수 변환하는 Down-Conversion Mixer로 구성되어 있다. 저잡음 IF 증폭기의 입출력은 50Ω 임피던스 매칭이 필요하며 Mixer의 출력 임피던스는 750Ω 이다.




(그림 1) 디지털 TV Tuner RF Front-End 블록도

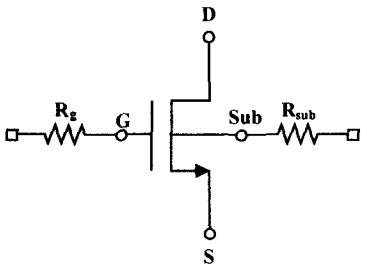
## II. 소자 모델링

최근 CMOS 기술이 RF 대역에 응용되기 시작하면서 RF 대역에서의 MOSFET 동작특성을 정확하게 예측할 수 있는 모델개발이 필요하게 되었다[2].

RF 응용분야에서 RF 모델링 접근방법은 아날로그 및 디지털 회로설계에 적합한 MOSFET 모델에 RF 특성을 나타낼 수 있는 Sub-circuit을 구성하는 것이 일반적이다. 따라서 RF 소자모델의 정확성은 이러한 Sub-circuit의 구성과 모델 파라미터 추출에 달려있다.

ETRI 0.8um MOSFET의 RF 소자모델은 저주파 소신호 모델인 BSIM3V3 모델에 입력 임피던스와 잡음특성에 영향을 미치는 게이트 저항(Rg)과 실리콘기판을 통한 신호 커플링 영향을 모델링하기 위한 substrate 저항(Rsub) 만을 추가한 가장 간단한 구조를 갖고 있다.

ETRI RF MOSFET 모델링은 0.8um x 40um, 100um, 그리고 200um 크기의 소자를 제작하고 0.5 ~ 7GHz 주파수 영역에서 측정된 S-parameters를 이용하여 curve fitting 한다. 그림 2는 기존 BSIM3V3 모델에 게이트 저항(Rg)과 substrate 저항(Rsub)이 추가된 ETRI 0.8um MOSFET RF 모델이다.




(그림 2) ETRI 0.8um nMOSFET RF 모델

## III. 저잡음 IF 증폭기

안테나를 통하여 수신된 신호 전력은 매우 작기 때문에 시스템 잡음특성이 매우 중요하다. 일반적으로 통신시스템의 수신부는 여러 기능블록들이 다단으로 구성되어 있기 때문에 시스템 전체 잡음특성은 Friis Equation(1)에 따라 수신부 첫째 단의 이득($G_{pi}$)과 잡음특성($F_i$)에 크게 영향을 받는다[1].

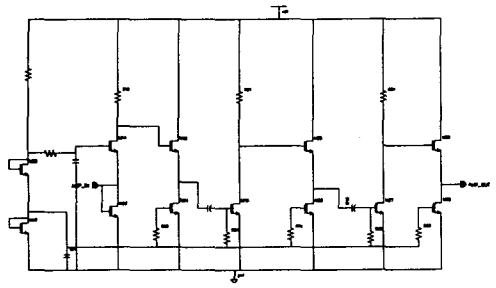
$$F_{tot} = F_1|_{Z_s=R_s} + \frac{F_2|_{Z_s=Z_{o1}} - 1}{G_{p1}} + \cdots + \frac{F_m|_{Z_s=Z_{o(m-1)}} - 1}{G_{p1}\cdots G_{p(m-1)}} \quad (1)$$

$G_{pj}$ is available power gain of the j-th stage

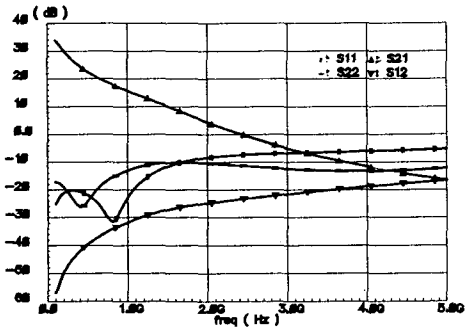
$F_j|_{Z_s=Z_{o(j-1)}}$ is the noise factor of j-th stage calculated with respect to the source driving the stage i.e. (j-1)-th stage

따라서 RF 수신부 초입단에는 저잡음특성의 LNA(Low Noise Amplifier)가 필수적으로 사용되고 있으며 LNA 후단(eg. mixer)에서 생성하는 잡음에 의해 시스템 전체 성능이 저하되지 않도록 충분한 전력이득을 제공해야 한다.

그림 3과 같이 디지털 TV 튜너의 900MHz 저잡음 IF 증폭기는 충분한 이득을 얻기 위하여 3단으로 설계되었으며 총 15dB 전력이득을 제공한다. 또한 이득배분은 잡음특성을 고려하여 첫째 단에 9dB로 크게 배분하였고, 둘째 및 셋째 단에서 각각 3dB의 이득을 얻도록 설계하였다. 그림 4는 저잡음 IF 증폭기의 모의실험 결과이다.



(그림 3) 3단 저잡음 IF 증폭기




(그림 4) 저잡음 IF 증폭기의 모의실험 결과($s_{11}$,$s_{21}$,$s_{12}$,$s_{22}$)

또한 RF 대역에서의 입출력 임피던스매칭은 최대 전력전달을 위해 매우 중요하다. 설계된 900MHz 저잡음 IF 증폭기의 입력 임피던스매칭은 MOSFET 크기와 바이어스에 의해 결정되는 능동 임피던스 매칭회로를 적용하였으며 출력단은 소오스 팔로우(Source follower)회로로 구성되어 있다.

## IV. Down-Conversion Mixer

932MHz 1차 IF 신호를 44MHz IF 신호로 변환시키는 Down-Conversion Mixer는 회로구조상 사용되는 소자수가 많기 때문에 수신부에서 가장 많은 잡음을 생성한다. 따라서 Mixer에 의한 시스템 성능저하를 방지하기 위하여 일반적으로 Mixer 앞단에 저잡음특성과 큰 전력이득을 갖는 LNA가 위치한다.

Mixer는 RF Front-end 블록중에서는 가장 큰 신호를 수신하기 때문에 선형특성이 매우 중요할 뿐만 아니라 IF 단에서 생성되는 잡음에 의한 성능저하를 줄이기 위해 적절한 이득도 필요하다[3].

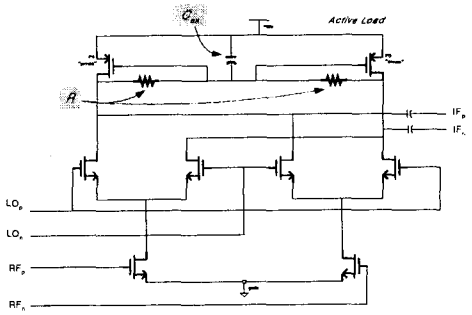
그림 5와 같이 디지털 TV 튜너용 Down-Conversion Mixer는 길버트 셀을 기반으로 한 Double-Balanced 구조로 구현되었으며 Single-Ended 형태로 제공되는 RF와 LO 입력을 차동(Differential)신호로 변환시키는 Balun 회로가 포함되어 있다.

Balun 회로의 차동 출력신호에서 크기와 위상차는 Mixer 성능에 영향을 미치기 때문에 가능하면 작아야 한다. 특히 LO 신호에 의한 스위칭동작은 Mixer의 잡음특성과 매우 밀접한 관계가 있기 때문에 LO Balun의 마지막 단을 source follower로 구성하여 스위칭특성을 향상시켰다. Mixer Core의 부하는 PMOS 소자로 구성된 능동부하회로를 적용하여 고주파수에서 큰 부하저항을 얻을 수 있도록 하였다.

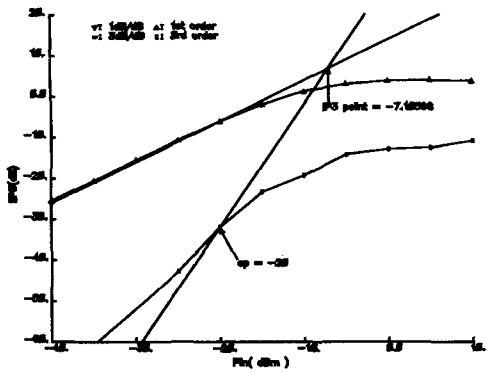
그림 5의 능동부하 임피던스는 식(2)와 같고 저주파수 대역에서는 $1/g_m$, 고주파대역에서는 게이트-드레인 사이에 연결된 저항($R$)이 부하로 작용한다.

그림 6은 Mixer의 선형특성을 나타내는 $IIP_3$에 대한 모의실험 결과이다.

$$Z_{out} = \frac{s(C_{ex}+C_{gs})R+1}{g_{sn}+s(C_{ex}+C_{gs})} \qquad (2)$$




(그림 5) Mixer Core



(그림 6) Mixer의 모의실험 결과($IIP_3$)

## V. 측정결과

고저항 실리콘기판의 ETRI 0.8um CMOS 기술로 제작된 RF-front-end IC를 On-wafer와 Packaged-chip 측정을 통하여 성능을 확인하였다.

On-wafer 측정은 입출력 임피던스매칭이 되지 않은 상태에서 측정을 하였기 때문에 설계규격에 약간 못 미치는 측정결과를 보였다. 그리고 Packaged-chip 측정은 입출력 임피던스매칭된 상태에서 네트워크 어날라이저(HP8510B)를 이용하여 이루어 졌으며 설계규격을 만족하는 측정결과를 얻었다.

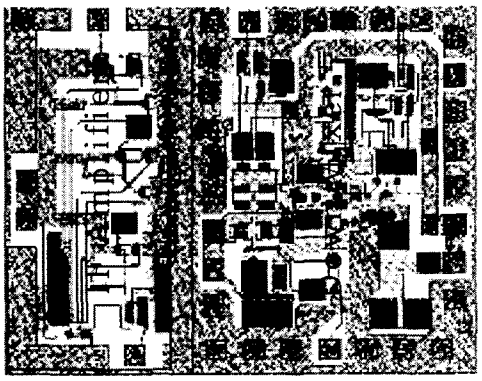
표-1 디지털 TV 튜너용 RF-Front-End IC의 Packaged 측정 결과이다. 그림 7은 디지털 TV 튜너용 RFIC의 도면이다.

표 1 RFIC의 Packaged-chip 측정결과

| 측정항목 | 측정결과 | |
|---|---|---|
| | IF 증폭기 | Mixer |
| 동작전압(V) | 5 | 5 |
| 소비전류(mA) | 13 | 25.5 |
| 동작주파수(MHz) | 932 | RF:932,LO:888,IF:44 |
| 전력이득(dB) | 15 | 13 |
| P1dB(dBm) | -18 | -16 |
| IIP3(dBm) | -6.6 | -6.5 |
| NF(dB) | 4.2 | 14 |

## VI. 결 론

고저항 실리콘기판의 ETRI 0.8um CMOS 기술을 이용하여 디지털 TV 튜너용 900MHz RFIC 제작하여 On-wafer 및 패키징측정을 통해 성능을 검증하였다. 또한 아날로그 BSIM3V3 모델에 게이트저항과 Substrate 저항을 추가한 간단한 RF 소자모델을 개발하여 회로설계에 이용하였다. 그러나 CMOS 소자기술이 지속적으로 scaled-down되어 PCS 단말기와 Bluetooth 같은 2GHz 대역이상의 RF 응용분야에도 응용이 가능해 짐에 따라 초고주파 영역에서 소자특성을 정확하게 예측할 수 있는 RF 소자 모델링이 필요하다.



(그림 7) 900MHz 디지털 TV 튜너용 RFIC 도면

## 참고문헌(또는 Reference)

[1] B. Razavi, RF MicroElectronics, Prentice Hall PTR, pp. 43-48, 1998

[2] M.C. Jeng, Z.Liu, Y. Cheng, Deep-submicron MOSFET modeling for circuit simulation, TENCON'95, pp. 204-209, Nov. 1995

[3] K.L.Fong, Meyer R.G., Monolithic RF active mixer designe IEEE Trans. Circuits, Vol. 46, pp. 231–239, March 1999