

QAM 방식 VDSL에 최적화된 저전력 등화기의 설계 및 구현

김명진,*이훈,최인규,김종은,양태욱*최성혁,박중식
경북대학교 전자공학과,*전자통신연구원(ETRI)
전화 : 053-422-2619 / 핸드폰 : 017-816-0401

Design and Implementation of low power equalizer for QAM type VDSL

Myung-Jin Kim,
Dept. of Electronic Engineering, Kyungpook National University
E-mail : mj0kim@hanmail.net

Abstract

In this paper, we designed the equalizer optimized for VDSL modem chip using QAM method. The equalizer is capable of variable constellation.

The equalizer was coded using VHDL and the logic simulation was performed. The test vector were generated based on the channel environments using MATLAB.

I. 서론

인터넷 시장이 엄청난 속도로 성장하고 컴퓨터의 성능은 하루가 다르게 향상됨에 따라 초고속 데이터 전송에 대한 요구는 계속해서 많아지고 있는 추세이다. 이에 대응하기 위한 여러 가지 방안의 하나로 VDSL (Very high speed Digital Subscriber Line)은 기존의 전화망을 이용하여 저렴하게 초고속 통신망을 구축할 수 있는 좋은 방법중의 하나이다. VDSL은 전화선의 사용 가능한 모든 대역을 이용하여 음성대역 모델보다 수백 배 빠른 통신을 할 수 있는 방법이다.

VDSL 기술을 사용하기 위해서는 LPF의 역할을 하는 전화선의 채널 특성과 잡음의 영향을 제거할 수 있는 등화기가 필수적이다. 본 논문에서는 QAM (Quadrature Amplitude Modulation) 방식 VDSL 모델에 적합한 저전력 등화기의 구조를 제안하고 이를 VHDL를 설계하여 성능을 검증하였다.

II. 설계된 결정 궤환 방식 등화기의 구조

등화기는 초기화 과정에서 적응 등화 알고리즘을 이용해 점차적으로 오차가 수렴해 나가는 과정을 거치며, 이 과정에서 학습신호를 사용하는 방법과 학습신호를 사용하지 않는 블라인드 적응 등화 방법이 있다. 본 논문에서는 두 가지 적응 등화 알고리즘을 모두 사용하도록 하였으며 각 필터의 탭 수 및 탭 계수의 정밀도는 전송 선로의 환경을 고려한 컴퓨터 시뮬레이션을 통하여 결정하였다.

QAM 방식 VDSL용 등화기는 VDSL의 데이터 전송속도가 가변이고, 이에 따라 성상도 역시 가변인 점을 고려하여 각각의 경우에 최적화하기 위해 클럭 속도, 각 필터의 초기 탭 계수, 필터 탭 수, decision device의 경계선 값, LMS 알고리즘의 설계변수 등을 사용자 정의에 따라 가변 할 수 있도록 설계하였다.

설계된 등화기의 구조는 결정 궤환 방식으로 그 구조를 그림 1에 나타내었다.

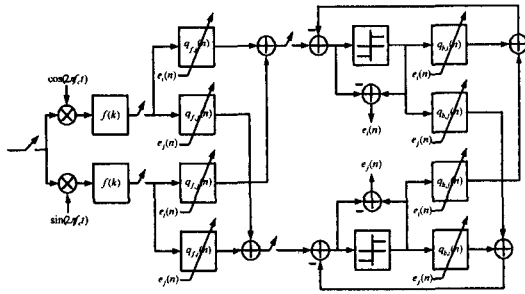


그림 1. QAM 방식 VDSL 모뎀의 등화기 구조

등화기는 정합 필터 $f(k)$, 피드 포워드 필터 q_f , 피드 백 필터 q_b 및 decision device로 구성되며 각각의 피드 포워드 필터 및 피드백 필터는 LMS 적응등화 알고리즘을 채택한 복소 적응필터이다.

2.1 피드 포워드 필터 (q_f)의 구조

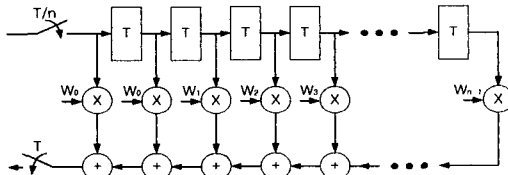


그림 2. Fractionally spaced FIR 필터의 구조

그림 2는 기본적인 Fractionally Spaced FIR^[2] 필터의 구조로 필터의 출력은 다음과 같이 나타낼 수 있다.

$$y_k^m = \sum_{n=0}^{M-1} w(k, n)x(kM - m - n) \text{ for } m=0 \sim (M-1) \quad (1)$$

식 (1)은 sampling rate(25.92 MHz) 출력에서 $M \times N$ 번의 곱셈이 필요함을 알 수 있다. 하지만 출력 전에 decimation 과정을 거쳐서 symbol rate(sampling rate / 2)로 출력하기 때문에 M개의 샘플들 중에 단지 하나의 값만 필요하다. 이러한 특징을 이용한 개선된 구조^[2]를 그림 3에 나타내었다.

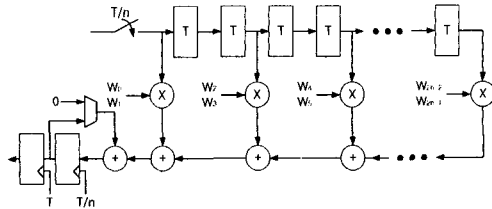


그림 3. 개선된 fractionally spaced FIR 필터의 구조

곱셈기를 공유하여 M개의 샘플들 중 단지 하나의 값에 대해서 여러 주기에 걸쳐서 계산하고 출력 단에

accumulator를 돕으로써 M배 over sampling 된 fractionally spaced 등화기에서 곱셈기의 수를 1/M배로 줄이는 동시에 전력 소모도 줄이는 효과를 볼 수 있다.

본 논문에서 구현한 피드포워드 필터의 구조를 그림 4에 나타내었다.

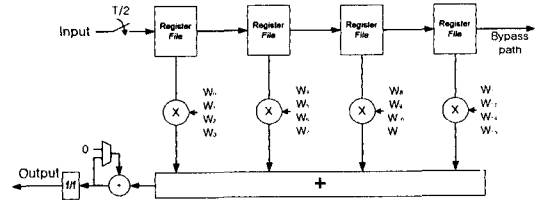


그림 4. 피드포워드 필터의 구조

설계된 피드포워드 필터는 2배 over sampling된 입력 데이터를 받아서 symbol rate로 출력하기 때문에 곱셈기의 수를 반으로 줄일 수 있었다. 그리고 sampling clock의 두 배의 clock에 동작시킴으로써 총 곱셈기의 수를 1/4로 줄였다.

또한 저 전력 설계를 위해서 필터의 delayed line에 쉬프트 레지스터를 대신하여 레지스터 파일을 사용하였다. 등화기의 탭 수는 채널의 환경과 QAM 성상도, 그리고 오차 등에 따라 사용자 정의에 의해서 가변 될 수 있도록 설계하였다.

2.2 피드백 필터 (q_b)의 구조

피드포워드 필터가 입력 데이터에 의존하는 것에 비해 피드백 필터는 추정 신호 심벌에 의존한다. 피드백 필터는 8 탭 symbol spaced 필터이다.

2.3 탭 계수 업데이트 회로의 구조

채널의 환경과 잡음의 변화에 대응하여 최적화된 탭 계수를 찾아내기 위해 블라인드 적응 등화 알고리즘과 LMS 적응 등화 알고리즘을 사용하였다. 다음에 업데이트 회로의 구조를 나타내었다.

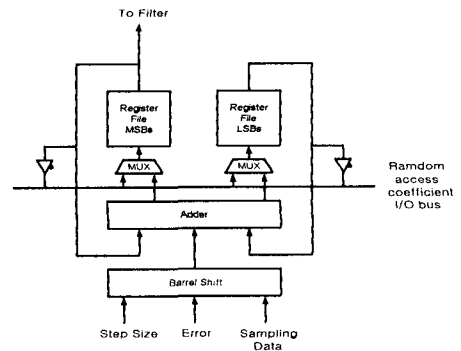


그림 5. 탭 계수 업데이트 회로의 구조 (1) 오차를 찾아내는 방법

초기에 오차가 수렴하기 전에는 블라인드 적응 등화 알고리즘을 사용하고 어느 정도 수렴이 되면 LMS 적응 등화 알고리즘을 사용한다. LMS 적응 등화 알고리즘^[1]에서 오차는 뿔셈기 하나로 구할 수 있지만 블라인드 적응 등화 알고리즘^[1]에서는 조금 다르다. 다음에 적응 등화 알고리즘에 대한 식을 나타내었다.

$$Q_{k+1} = Q_k + \mu(R^2 - y_k^2)y_k a_k \quad (2)$$

식 (2)에서 오차를 구하기 위해서는 곱셈기 두 개와 뿔셈기 하나가 필요하다. 다음에 블라인드 적응 등화 알고리즘에서 오차를 구하는 회로의 구조를 나타내었다.

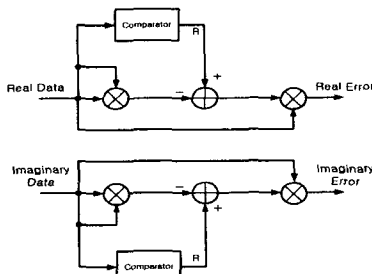


그림 6. 블라인드 적응 등화 알고리즘에서 오차를 구하는 회로

식 (2)에서 R의 값은 QAM 성상도에 따라 다른 값을 가진다. 다음 표에서 QAM 성상도에 대한 R값을 fixed point 모델 칩에 적합하게 변경된 값으로 나타내었다.

표 1. 전송 방식에 따른 R의 값

전송 방식	R	전송 데이터의 범위	μ
4 QAM	1	$0 \leq y < \infty$	0.002
8 QAM	0.9111		
16 QAM	0.9111		
32 QAM	0.3808		
64 QAM	0.7543		
128 QAM	0.164	$0 < y < \frac{8}{15}$	
	0.377	$ y \geq \frac{8}{15}$	
256 QAM	0.16	$0 \leq y < \frac{8}{15}$	
	0.476	$\frac{8}{15} \leq y < \frac{12}{15}$	
	0.897	$ y \geq \frac{12}{15}$	

표 1에서 128 QAM과 256 QAM의 R값이 전송 데이터의 범위에 따라 변화하는 것은 더욱 효율적인 오차 수렴을 위해서이다.

(2) 업데이트 회로의 구조

곱셈기를 사용하면 정확성을 높일 수 있지만 칩 면

적과 전력소비의 효율적인 설계를 위하여 power-of-two LMS 알고리즘을 사용하여 곱셈기대신 배럴 쉬프트를 사용하였다. 다음에 power-of-two 알고리즘에 대한 식을 나타내었다.

$$Q_{(k+1, n)} = Q_{(k, n)} + \mu 2^{\lfloor \log_2 |e_k| \rfloor} a_{(k-n)} \quad (3)$$

또한 식 (3)에서 스텝 사이즈의 크기를 2의 지수 승으로 설정함으로써 정확성은 떨어지지만 칩 사이즈의 크기를 줄일 수 있는 배럴 쉬프트를 곱셈기 대신 사용할 수 있다.

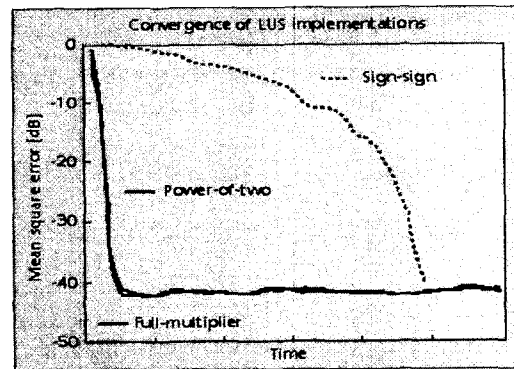


그림 7. 여러 가지 LMS algorithm의 성능

그림 7^[3]은 오차 수렴 속도가 곱셈기를 사용한 LMS 적응 등화 알고리즘과 배럴 쉬프트를 사용한 Power-of-two LMS 적응 등화 알고리즘에 대해서 차이가 거의 없는 것을 알 수 있다.

샘플링 클럭의 2배 속도로 동작하는 등화기에서 모든 탭 계수가 동시에 사용되는 것은 아니다. 본 논문에서는 레지스터 파일을 사용하여 4개의 탭 계수가 하나의 업데이트 회로를 공유하는 구조로 설계하였다.

업데이트 과정에서는 26bit 탭 계수를 사용하지만 실제적인 사용은 13bit만 사용한다. 탭 계수의 업데이트 여부는 제어 신호에 의해 조절되도록 설계하였다. 또한 탭 계수의 모니터링을 위해 외부에서 읽고 쓸 수 있도록 설계하였다.

2.4. Slicer의 구조

Slicer가 하는 역할은 피드포워드 필터의 출력을 이용하여 가장 가까운 심벌을 찾아낸다. 여기서 오차는 1.23 형식의 24bit로 하였다. 각 QAM 성상도에 따라 비교 값의 수와 크기가 가변이 되도록 설계하였고 입력 값의 절댓값을 이용하여 비교하기 때문에 비교 값의 수를 줄였다. 다음에 구조를 나타내었다.

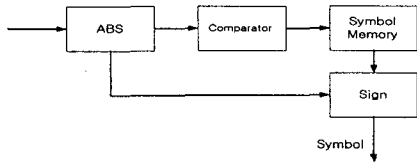


그림 8. slicer의 구조

III. 시뮬레이션 결과

본 논문에서 설계된 등화기의 테스트를 위하여 MATLAB을 이용하여 실제 채널 환경을 고려한 테스트 벡터를 찾아내서 시뮬레이션 하였다. 다음 그림들은 16 QAM에서 시뮬레이션 한 것들이다.

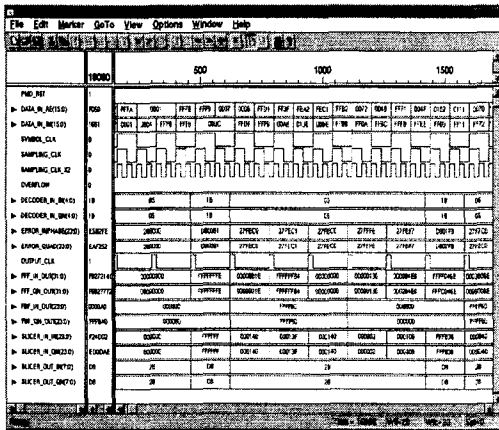


그림 8. 시뮬레이션 결과(1)

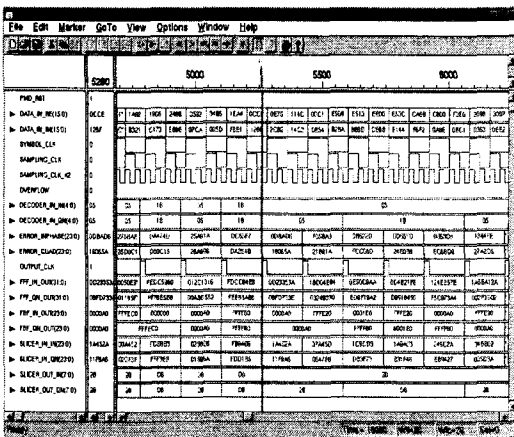


그림 9. 시뮬레이션 결과(2)

그림 8에서는 테스트 데이터를 받아서 시뮬레이션 한 결과의 초기 상태를 보여 준다. Inphase_error, Quad_error가 아직 수렴되지 않음을 보여준다. 두 오

차는 모두 1.23 형식이다.

그림 9의 시뮬레이션 결과에서 5260 ns를 지나면서 Inphase_error, Quad_error가 모두 수렴되고 있음을 보여준다.

V. 결론

본 논문에서 정상도가 가변인 QAM방식 VDSL 모뎀 칩에 최적화된 등화기를 설계하였다.

설계된 등화기는 VHDL로 코딩되었고, Synopsys의 VHDL Debugger를 이용하여 logic 시뮬레이션을 하였다. 테스트를 위한 테스트 벡터는 채널 환경을 고려하여 MATLAB에서 등화기를 설계하여 찾아내었다.

시뮬레이션 결과 오차가 잘 수렴됨을 알 수 있었다. 하지만 좀 더 오차 수렴 시간을 줄일 수 있는 구조가 요구된다

참고문헌

- [1] Dr. Walter Y. Chen, "DSL Simulation Techniques and Standards Development for Digital Subscriber Line Systems," Macmillan Technical Publishing, 1998.
- [2] Chris J. Nicol, Patrik Larsson, Kamran Azadet, and Jay H. O'Neill, "A Low-Power 128-Tap Digital Adaptive Equalizer for Broadband Modems," IEEE J. Solid-state circuits, vol. 32, no. 11, pp. 1777-1789, Nov. 1997
- [3] Kamran Azadet and Chris J. Nicole, Bell Laboratories, Lucent Technologies, "Low-Power Equalizer Architectures for High-Speed Modems," IEEE Commun. Mag., pp. 118-126, Oct. 1998.
- [4] J.R. Treichler, I. Fijalkow, and C.R. Johnson, JR. , "Fractionally Spaced Equalizers," IEEE Signal Processing Magazine, pp. 65-81, May 1996.
- [5] Tracy C.Denk, Chris J.Nicol, Patrik Larsson, Kamran Azadet, "Reconfigurable Hardware for Efficient Implementation of Programmable FIR Filters," IEEE, pp. 3005-3008, 1998.
- [6] C. J. Nicol, P.Larsson, K. Azadet, and J. H. O'Neill, "A low-power 128-tap digital adaptive equalizer for broadband modems," IEEE Journal of Solid-State Circuits, vol. 32, no. 11, November 1997.