

상보형 패스 트랜지스터를 이용한 저전력, 고속력 Delay Locked-Loop 설계

장홍석, 정대영, 신경민, 정강민
성균관대학교 전기 전자 및 컴퓨터공학과
전화 : 031-290-7194 / 핸드폰 : 017-279-0555

Low-power, fast-locking All Digital Delay Locked-loop Using Complementary Pass-Transistor Logic

Chang Hong-Suk, Sin Kyung-Min, Chung Dai-Young, Chung Kang-Min
Dept. of Electronics, Sung kyun kwan University
E-mail : archmir@orgio.net

Abstract

This paper introduces the design of low-power, fast-locking delay locked-loop using complementary pass transistor logic(CPL). Low-power design has become one of the most important in the modern VLSI application. CPL has the advantage of fast speed, high density, and low power with signal buffering between stages. Based on this analysis, we concluded that the I/O performance can be beyond 500MHz, 2-poly, 2-metal 0.65 μ m, 3.3V supply.

1. 서론

시스템에 사용되는 클럭의 속도가 점차 증가함에 따라 프로세서 칩에서 외부 공급 클럭과 시스템 내부로 전송되는 클럭에 대한 동기화가 중요한 문제로 부각되고 있다. 현재 디지털 VLSI 칩은 거의 대부분 clock의 상승 또는 하강 시각에 맞추어 모든 동작이 이루어지는 동기 회로(synchronization)를 주로 사용하고 있다. PCB 상에 몇 개의 디지털 VLSI 칩이 같이 위치한 회로에서 동작 속도를 증가시키기 위해서는 각 VLSI 칩 사이의 clock skew를 최소화 시켜야 한다. 이를 위해서 PLL(Phase-locked loop)와 DLL(Delay-locked loop)를 주로 사용하고 있다.

두 클럭 간의 setup time과 hold time의 차를 정확하게 조절하고, clock distribution delay를 제거하기 위해

서는 DLL이 사용된다. DLL은 위상에 대한 negative 피드백 회로이다. DLL에서는 VCDL을 사용하므로 공급 전압 노이즈가 증가해도 출력 신호의 위상 노이즈가 별로 증가하지 않는 장점이 있다. 그 외에 DLL이 PLL과 다른 점은, PLL에서는 출력 신호 주파수를 입력 신호의 정수배로 증가시킬 수 있지만, DLL에서 출력 신호 주파수는 항상 입력 신호 주파수와 같게 되는 제약이 있다.

본 논문에서는 Complementary Pass-Transistor Logic(CPL)을 이용하여 소자수를 줄임과 동시에 low-power, fast-locking에 중점을 두었다. 그리고 DLL은 PLL과는 달리 jitter reduction 기능이 없으므로 설계 시 각 블록의 jitter를 최소로 줄이는데 중점을 두었다.

2. Complementary Pass-Transistor Logic (CPL)

low-power 설계는 최근 VLSI 설계에 아주 중요한 문제로 부각되고 있다. 이러한 low-power 기법에는 여러 가지가 있는데 그 중에 한가지가 capacitance를 줄이는 방법이다. transistor size를 optimization하면, 회로의 speed는 유지하면서 원래 디자인의 1/8만큼의 transistor를 줄일 수 있다. 전체 load capacitance를 1/3 만큼 줄이면, 평균 power dissipation을 55% 얻을 수 있다.

load capacitance를 줄일 수 있는 가장 방법으로 Complementary Pass-Transistor Logic을 사용하는 것이다. 본 논문에서는 기존에 나와 있는 CPL을 응용하여 성능을 더욱 개선시켜서 설계하였다. 한가지 예로 논문

에서 가장 많이 쓰이고 있는 AND gate를 그림 1에 기존의 AND gate와 제안한 AND gate를 비교하여 나타내었다. 이러한 방식으로 제안한 모든 블록을 설계하였더니 소자수를 대략 50% 줄일 수 있었고, 또한 대기전력 소비도 감소시킬 수 있었다.

그림 2는 그림 8에 나와 있는 AND gate의 결과 파형을 비교한 것이다. 위에 있는 그림이 기존의 방식이고 아래에 나와 있는 그림이 새로이 설계된 AND gate이다.

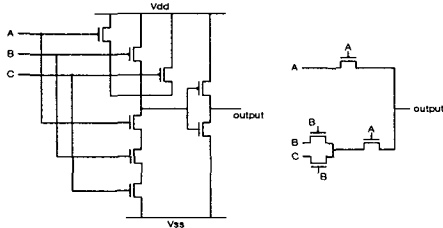


그림 1

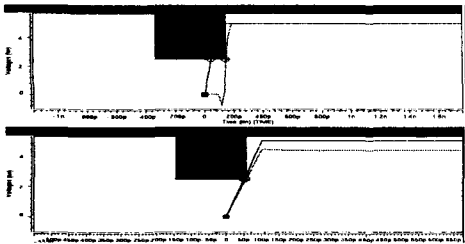


그림 2

3. 전 블록 동작 및 특성

DLL은 외부 입력 클럭에 맞추어 내부 클럭의 위상을 직접적으로 비교하여 내부 클럭의 위상을 정확히 조절한다. 그러므로 delay를 조절하여 Lock-on 되는 동안 내부 클럭의 skew나 jitter는 억제되어야 한다. DLL은 일반적인 VCO 구조의 PLL보다 두 가지의 장점이 있다. 하나는 위상의 Lock-on time이 빠르다는 것이고, 하나는 jitter를 줄이기 쉽다는 것이다.

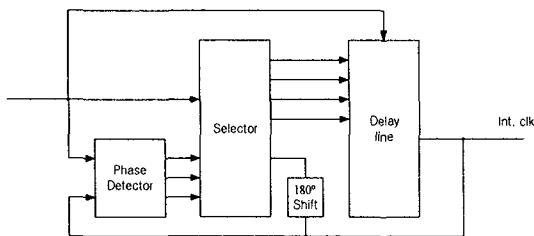


그림 3

그러나 DLL은 device 구조상 loop gain이 입력 주파수에 의해 제어되기 때문에 lock 주파수의 범위가 좁아진

다는 단점이 있다. 또한 고속으로 동작할 경우 위상오차를 효율적으로 감지할 수 있는 방안이 마련되어야 한다. 응용면에 따라 Lock-on time이나 최대 위상오차의 유효 범위를 정하고 이 성능을 만족시킬 수 있는 DLL을 설계해야 한다. 기존에 있는 DLL회로에서는 Phase Detector에서 위상을 검출하여, Charge Pump와 Low Pass Filter를 통하여 VCDL의 Delay를 조정한다.

그림 3에 보이는 것이 본 논문에서 제안하는 전체 블록도이다. All Digital DLL 회로이다. 새로 설계된 Phase Detector에서는 8분주로 정확히 위상을 검출하여, 각각의 비교 값을 Selector 블록으로 전달한다. Selector 블록은 3*8 Demux로 Phase Detector에서 비교되어 나온 값을 합산하여, 원하는 delay값을 얻기 위해 각각의 delay line으로 보내어진다. Delay line은 inverter chain과 Vernier delay line으로 구성하여, Lock-on time을 최소화할 수 있도록 설계하였다.

3.1 Phase Detector

Phase Detector는 두 입력 신호의 Phase를 비교하여 위상차에 비례하는 출력 전압을 내보내는 회로이다. 본 논문에서는 Digital 회로이기 때문에 단순히 두 위상간의 일치 여부만을 검출하면 된다. Phase Detector는 다양한 소자들로 구성할 수 있지만, 본 논문에서는 뒷 단에 오는 Selector 회로의 입력으로 8분주가 가능한 회로로 설계하였다.

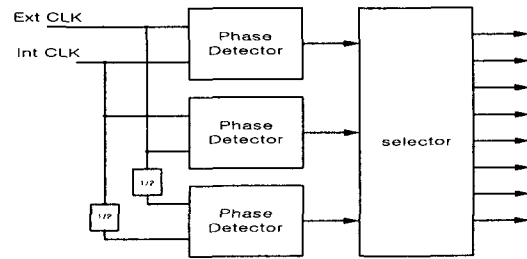


그림 4

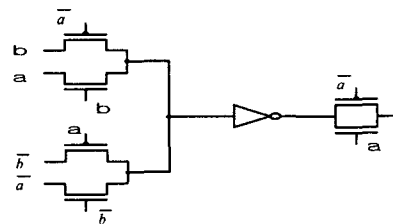


그림 5

그림 4는 본 논문에서 새로 제시하는 Phase Detector이다. 8분주로 정확히 detector 할 수 있도록 설계하기 위해 그림 5에 있는 회로를 설계하여 구성하였다. 그림 5는 XOR 회로를 응용하여 만든 회로로서 그림 6에 나

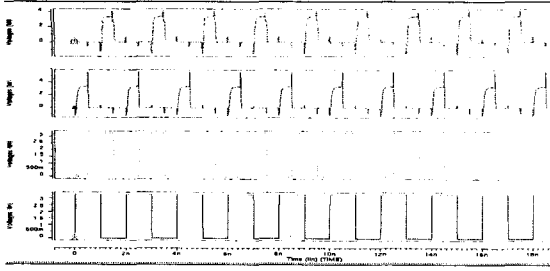


그림 6

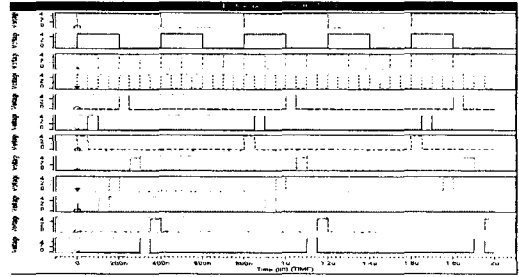


그림 9

타낸 simulation 결과처럼 위상의 fast 또는 slow를 정확히 detection 해준다.

3.2 Selector

Phase Detector에서 비교된 위상차를 8분주된 입력 신호로 받아 필요한 delay sell을 구동시키기 위해 Delay Line으로 보내는 회로이다. Selector 구조는 그림 7에서 나타내듯이 3*8 Demux를 이용하였다. Demux회로는 반응속도가 빠르며, 에러가 거의 없어 Selector회로로서 아주 적합한 회로이다.

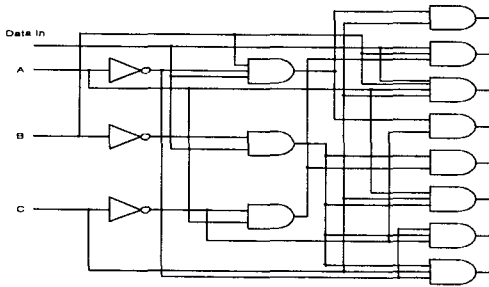


그림 7

본 논문에서는 이를 더욱 개조하여 설계하였다. 그림 1에 나타낸 CPL-AND gate을 이용하여 설계하였다. 그림 8은 CPL을 사용하여 설계한 회로도이며, 기존의 설계 방식보다 50%정도 소자수를 줄이면서 반응속도가 더욱 빠르며, 소비전력도 상당히 감소시킬 수 있었다. 그림 9는 selector회로의 simulation 결과이다.

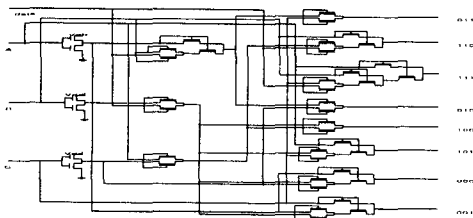


그림 8

3.3 Delay Line

DLL 설계 시 Delay line은 전체 DLL의 성능에 있어 큰 부분을 차지한다. 따라서 고속, 고해상도를 갖는 delay line의 설계가 필요하다. 이런 고속, 고해상도는 delay cell의 값에 따라 결정된다. 본 논문에서는 delay cell로 그림 10에 나타낸 inverter chain을 사용하였다.

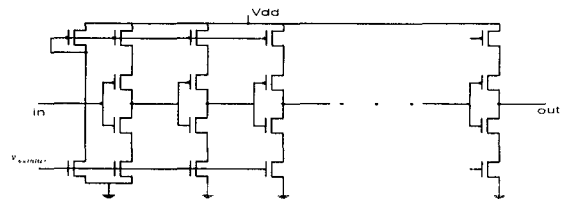


그림 10

고속 시스템의 경우 unit delay만으로 연결하면 delay step이 너무 길어져 lock-on이 되어도 위상오차가 너무 커진다. 그래서 Vernier delay line을 이용하여 이 문제를 해결하였다. Vernier delay line은 더 세밀한 timing resolution을 실현할 수 있으며 slow clock에서도 고해상도가 가능하다.

그림 11은 본 논문에서 사용하는 Delay line 회로도이다. 이렇게 하여 unit delay 보다 높은 해상도를 갖는 delay line을 구현 할 수 있었다. 각각의 delay cell은 $\pi/8$ 의 delay를 갖을 수 있도록 설계하였다.

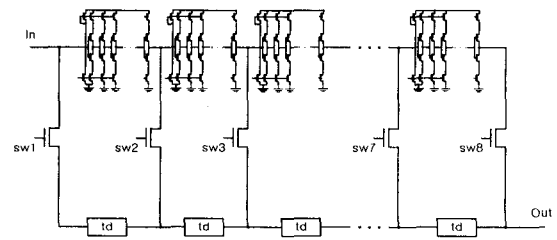


그림 11

4. 결론

2-poly, 2-metal 0.65 μ m CMOS 공정에서 simulation 한 결과를 그림 12와 그림 13에 나타내었다. 클럭 주파수는 500MHz이며, lock-on time은 10클럭 이내, 공급전압은 3.3V이다. 위상오차는 5% 내에서 클럭을 복원하였으며, 그리고 steady-state 상태에서 jitter 발생이 거의 없다는 것을 알 수 있다.

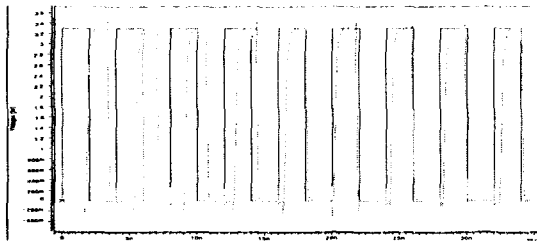


그림 12

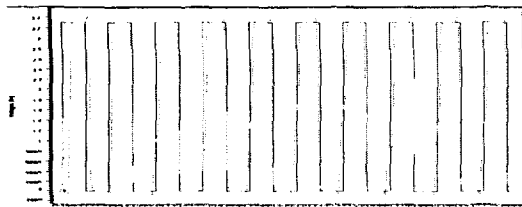


그림 13

제안한 DLL 회로는 full digital 회로로 구성되었으며, 새로 설계된 phase detector는 위상을 병렬로 비교하여 위상오차가 커져도 lock-on time이 일정하게 유지되면서, 전체적인 lock-on time을 10클럭 내에 외부 입력 클럭과 동기화할 수 있도록 설계하였다. 또한 CPL 기술을 적용하여 전반적으로 소자수를 줄임으로써, jitter 문제와 시스템의 소비전력을 감소 시켰다.

5.참고문헌

- [1] Lluís Paris, Jamal Benzreba et al., "A 800MB/s 72Mb SDRAM with Digitally Calibrated DLL", *ISSCC99*, pp.414-415, Feb.1999.
- [2] Bruno W. Garlepp et al., "A Portable Digital DLL Architecture for CMOS Interface Circuits", *VLSI Circuits Digest of Technical Papers*, pp.214-215, Jun. 1998.
- [3] Bum-Sik Kim and Lee-Sup Kim, "100MHz all-digital delay locked loop for low power application", *Electronics letters*, Vol. 34, pp.1739-1740,

Sep. 1998.

- [4] Yoshinori Okajima et al., "Digital Delay Locked Loop and Design Technique for High-Speed Synchronous Interface", *IEICE Trans. Electron.*, pp.798-807, Jun. 1996.
- [5] 유희준, *고성능 DRAM*, IDEC, 1999.
- [6] Freg Lin and Jason Miller et al., "A Resistor-Controlled Symmetrical DLL for Double-Data-Rate DRAM" *IEEE J. Solid-State Circuits*, Vol. 34, no.4, pp.565-568, Apr. 1999.
- [7] Dagnachew Birru, "A Novel Delay-Locked Loop Based CMOS Clock Multiplier" *IEEE Trans. Consumer Electronics*, Vol. 44, no.4, pp.1319-1322, Nov.1998.
- [8] Gyudong Kim et al., "A Low-Voltage, Low-Power CMOS Delay Element" *IEEE J. Solid-State Circuits*, Vol.31, no.7, pp.966-971, Jul.1996
- [9] M. W. Adam, M. I. Elmasry, "Low Power CMOS logic families," *Proceedings. 1998 Midwest Symposium on Circuits and Systems*, pp.419-422, 1998.
- [10] K. Yano, T. Yamanaka, T. Nishida, M. Saito, k. Shimohigashi, A. Shimizu, "A 3.8-ns CMOS 16x16b Multiplier using complementary pass-transistor logic," *IEEE Journal of Solid-State Circuits*, Vol.25, pp.388-395, Apr.1990.