

비휘발성 단일트랜지스터 강유전체 메모리 회로

양일석, 유병곤, 유인규, 이원재
한국전자통신연구원
전화 : 042-860-1264

Memory Circuit of Nonvolatile Single Transistor Ferroelectric Field Effect Transistor

Yil Suk YANG, Byoung Gon Yu, In Kyu You, Won Jae Lee
Micro-Electronics Technology Lab., ETRI, Kajong-Dong, Taejeon
Email: ysyang@etri.re.kr

Abstract

This paper describes a single transistor type ferroelectric field effect transistor (1T FeFET) memory cell scheme which can select one unit memory cell and program/read it. To solve the selection problem of 1T FeFET memory cell array, the row direction common well is electrically isolated from different adjacent row direction column. So, we can control voltage of common well line. By applying bias voltage to Gate and Well, respectively, we can implant 1T FeFET memory cell scheme which no interface problem and can bit operation. The results of HSPICE simulations showed the successful operations of the proposed cell scheme.

I. 서론

최근에 반도체 공정기술의 발달로 강유전체 메모리에 관한 연구가 활발히 진행되고 있다. 강유전체 메모리는 비휘발성 메모리이고, 저 전력과 고속 쓰기/읽기가 가능한 차세대 비휘발성 메모리로 각광 받고 있다. 강유전체 메모리는 크게 2종류 나눌 수 있다. 첫 번째는 DRAM과 비슷한 1(2) 트랜지스터/1(2) 커패시터 구조의 강유전체 메모리이고[3,4], 두 번째는 모스트랜지스터

구조의 단일 트랜지스터 강유전체 메모리이다[1,2]. 1(2) 트랜지스터/1(2) 커패시터 구조의 강유전체 메모리에 관한 연구는 매우 활발히 진행되어서 수백 KBit 급 강유전체 메모리는 상용화되었고, 최근에는 MBit급 강유전체 메모리 개발에 주력하고 있다. 반면에 단일 트랜지스터 강유전체 메모리는 제작 및 공정상의 어려움으로 연구가 침체되었다가 최근에 공정 및 신 소재의 개발로 연구가 활발히 진행되고 있다. 단일 트랜지스터 강유전체 메모리는 1(2) 트랜지스터/1(2) 커패시터 강유전체 메모리보다 집적도에서 유리하고 비 파괴 리드를 할 수 있어서 Refresh회로가 필요치 않다. 강유전체 메모리는 강유전체 물질의 분극 현상을 이용하여 데이터를 쓰고, 읽어낸다. 강유전체 물질의 분극현상은 외부 전압에 대해 히스테리시스 형태로 나타나서 전원이 끊어져도 분극은 안정된 2 상태를 가진다. 그래서 비휘발성 메모리로 동작 할 수 있다. 강유전체 메모리는 기존의 비휘발성 메모리인 EEPROM, FLASH에 비해 저 전력이고, 쓰기/읽기 속도가 빨라서 저전력, 고속 휴대정보 단말기 등에 응용 할 수 있다.

본 논문은 단일 트랜지스터 강유전체 메모리 배열과 그 배열을 구동하는 방법과 1 개의 셀을 독립적으로 선택하여 데이터를 쓰고, 읽고 하는 방법을 제안하였고, 4 x 4 단일 트랜지스터 강유전체 메모리 회로를 구현하여 시뮬레이션을 통해 제안한 방법을 증명하였다.

II. 단일트랜지스터 강유전체 소자

2.1 단일트랜지스터 강유전체 소자 동작원리

일반 모스 트랜지스터는 게이트 박막으로 SiO₂ 산화막을 이용하여 게이트에 인가되는 전압에 따라 콘트롤 된다. 반면에 단일 트랜지스터 강유전체 트랜지스터는 게이트 박막으로 강유전체 소재(PZT, SBT, etc)를 이용하여 강유전체 소재의 분극 특성에 따라 콘트롤 된다. 비휘발성 강유전체 메모리는 전원을 끊어도 분극전하가 보존되는 강유전체의 전압과 저장 전하간의 이력(hysteresis)특성을 이용한 것으로, 그림 1.은 일반적인 강유전체 소자의 전하-전압 이력곡선(hysteresis)를 보여주고 있다[5]. 그림 1.에서 전압이 0V일 때 전하량은 2개의 서로 다른 값(C, E)을 가진다. 이를 이용하여 강유전체 메모리의 제 1상태, 제 2상태로 구현 할 수 있다. 강유전체 소자의 분극상태는 박막 사이에 인가되는 전압에 따라 일정 방향으로 배치되어 제 1상태, 제 2상태로 된다. 그림 2.는 N-Channel Single Transistor 강유전체 소자의 동작원리를 보여준다. 그림 2.에서 게이트와 P-Si 사이의 전압이 양이면 실리콘 표면에 전하가 유기되고, 음이면 전하가 유기 되지 않는다. 그래서 강유전체 메모리는 강유전체의 분극방향에 의하여 데이터를 읽고, 저장 할 수 있다.

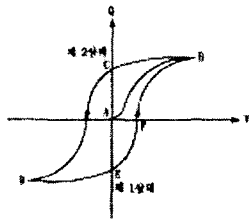


그림 1. 강유전체 소자의 전하 전압 이력특성

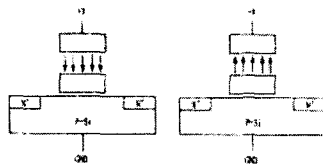


그림 2. N-Channel Single Transistor 소자의 동작 원리

2.2 단일트랜지스터 강유전체 소자 시뮬레이션

그림 3.은 단일트랜지스터 강유전체 메모리의 시뮬레이션 모델을 보여준다. 한 개의 일반 모스 트랜지스터와 Ferroelectric Capacitor가 직렬로 연결되어 있는 Metal-Ferroelectric-Metal FET(MFMFET)구조이다.

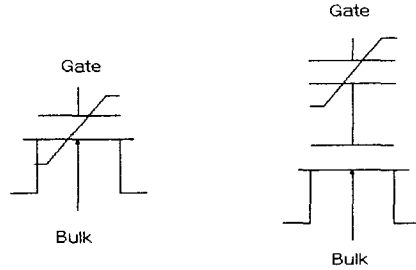


그림 3. 단일트랜지스터 강유전체 메모리 시뮬레이션 모델

그림 4.는 단일트랜지스터 강유전체 메모리의 HSPICE 시뮬레이션 결과다. 단일트랜지스터 강유전체 메모리에서 데이터를 쓸 때 게이트와 웰 사이의 전압차가 매우 중요한 변수이다. 제 2상태로 프로그램 시 게이트와 소스사이의 전압 차의 형태가 그림 4.1에서의 Vgb와 같은 형태의 바이폴라 원 펄스 형태가 되어야 제 1상태에서 제 2상태로 프로그램 된다. 한다. 제 1상태로 프로그램 시 게이트와 소스사이의 그림 4.2에서의 Vgb와 같이 유니폴라 형태로 되어 강유전체의 분극반전이 일어나지 않는다. 그림 4.에서 분극 반전시 전류는 잘 흐르고, 분극 비반전시 전류는 거의 흐르지 않음을 볼수 있다. 데이터를 읽을 시 단일트랜지스터 강유전체 메모리는 비파괴 리드가 가능하여 Refresh가 필요치 않다.

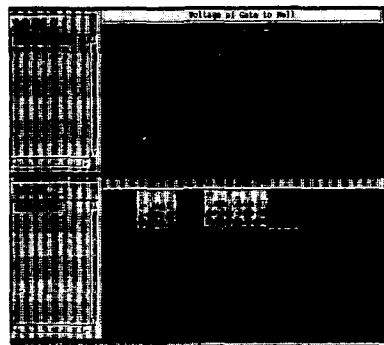


그림 4.1 HSPICE 시뮬레이션 결과 (제 1상태로 프로그램시)

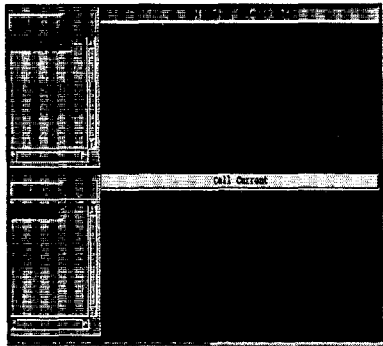


그림 4.2 HSPICE 시뮬레이션 결과
(제 2상태로 프로그램시)

III. 단일트랜지스터 강유전체 메모리

3.1 단일트랜지스터 강유전체 메모리 셀 Scheme

종래의 단일트랜지스터 강유전체 메모리 배열은 그림 5.(a)에서 보여주고 있는 것과 같이 공통 웰(well) 위에 복수의 워드 선과 복수의 비트선 또는 소스 선이 교차되는 강유전체 트랜지스터 배열 구조를 사용하였다[1]. 종래 구조에서 선택된 셀을 제 2상태로 프로그램 하기 위해서는 원하는 워드 선에 Vdd를 인가하고 비트 선과 소스 선에 0의 전압을 인가한다. 비 선택 셀에는 제 2상태의 프로그램 방지를 위하여 워드선에 0전압을, 소스 선과 비트 선에 Vdd의 전압을 인가한다. 이 경우 그림 5.(b)와 같이 워드 선에 0의 전압이 인가되고 소스 및 드레인에 Vdd가 인가된 비선택 셀에는 라이터 디스터브(Write Disturb) 현상이 발생된다. 종래 구조에서 셀 들을 제 1상태로 프로그램하기 위해서는 게이트에는 0의 전압을 소스 및 드레인과 웰에는 Vdd를 인가한다. 이 경우 각기의 셀을 선택할 수 없으므로 배열 구조의 전체 트랜지스터에 전압이 공통으로 인가되어 비트 동작이 불가능하다.

드레인 디스터브가 발생된 셀은 제 2상태로 프로그램된 셀들이 제 1상태로 프로그램될 가능성이 커지게 되며, 인근의 셀들을 제 2상태로 프로그램하는 경우에 반복적으로 드레인 디스터브를 경험하게 된 셀들은 제 2상태로 프로그램된 정보가 제 1상태로 바뀌게 되어서 데이터가 파괴되는 프로그램 디스터브가 발생하는 문제가 있다. 이와 같이, 종래의 단일트랜지스터 강유전체 메모리는 비선택 셀의 프로그램 방지를 위하여 워드 선이 비선택 셀 전체의 소스 선 및 비트 선에 Vdd

를 인가하여야 하며, 이에 의하여 워드 선이 비 선택된 셀에 라이터 디스터브(Write Disturb)가 발생하는 문제가 있다.

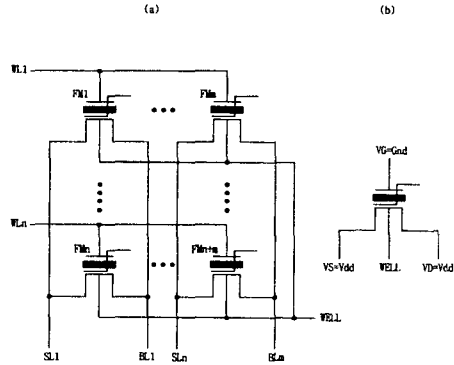


그림 5. 종래 단일트랜지스터 강유전체 메모리 배열

그림 6.은 본 논문의 단일 트랜지스터 강유전체 메모리 셀의 배열 구조를 보여주고 있다. 일반적인 메모리 배열과 동일하게 소스라인, 드레인 라인을 열(column)라인으로 공동 사용하고, 웰 라인도 열(Column) 라인으로 공동 사용하여, 열 라인으로 웰 격리(Isolation) 시킨다. 셀들은 행과 열로 배열되어 있으며, 워드 선에는 복수의 셀들의 게이트가 연결되어 있다. 열 방향으로 배열된 단일 트랜지스터 강유전체 메모리의 웰은 열공통 웰 선에 연결되어 있고, 비트 선에는 열 방향으로 배열된 메모리 셀 트랜지스터의 소스/드레인 전극 중에서 하나가 연결되어 있으며, 소스 선에는 비트 선에 연결되지 않은 소스/드레인의 나머지 한 전극이 연결되어 있다. 메모리 배열에서 서로 다른 인접한 열의 열 공통 웰 선은 서로 전기적으로 직접 연결되지 않는다. 인접한 열의 공통 웰 선이 서로 연결되어 있지 않으므로, 공통 웰 선을 통하여 임의의 열의 웰에 전위를 선택적으로 인가할 수 있다.

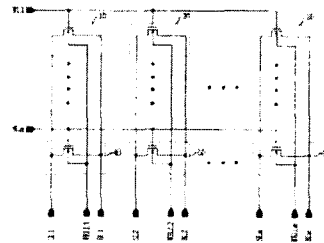


그림 6. 단일트랜지스터 강유전체 메모리 배열

단일 트랜지스터 강유전체 메모리를 제 2상태로 프로그램 하기 위해서는 게이트가 Gnd 에서 Vdd으로 천이 하고, 웰은 Vdd에서 Gnd로 천이 한다. 즉 리셋 (Reset) 상태에서 게이트는 Gnd이고, 웰은 Vdd여서 게이트와 웰사이의 전압차는 음 이여서 분극이 초기화 되고, 프로그램 할 때 게이트는 Vdd로 되고, 웰은 Gnd되어 게이트와 웰사이의 전압차가 양이 되어 프로그램 된다. 비 선택된 셀들은 웰에 Vdd, 게이트에 Gnd가 인가되어 있어 초기 분극 상태로 그대로 있어 쓰기 디스터브가 발생하지 않는다. 제 1상태로 프로그램 하기 위해서는 게이트에 Gnd, 웰에 Vdd를 인가 한다. 게이트와 웰에 모두 DC 바이어스를 인가하여 단일 트랜지스터 강유전체 메모리를 구동할 수 있는 바이폴라 원 펄스를 쉽게 만들 수 있고, 디코드 구현도 아주 쉽게 할 수 있다.

단일 트랜지스터 강유전체 메모리를 읽기 동작은 다음과 같다. 일반적으로 프로그램 된 셀의 문턱전압은 높아지고, 프로그램 안된 셀들의 문턱전압은 일반 모스의 문턱전압과 동일하다. 임의의 위치에 있는 선택된 메모리 셀의 저장 정보를 판독하기 위해서는 선택되는 셀의 공통 워드라인에 리드전압을 인가하고, 비트 선과 소스 선 사이에는 센싱 전압을 인가한다. 리드하는 셀이 프로그램된 셀이면 게이트에 인가되는 리드 전압이 문턱전압보다 낮아 셀이 OFF되어 전류는 거의 흐르지 않는다. 반대로 프로그램 안된 셀 이면 게이트전압이 문턱전압보다 높아 셀은 ON되어 전류가 흐른다. 비트라인에 연결되어 있는 센스 앰프에서 양 전류차를 센싱한다

그림 7.은 4 x 4 단일 트랜지스터 강유전체 메모리 회로와 HSPICE 시뮬레이션 결과이다.

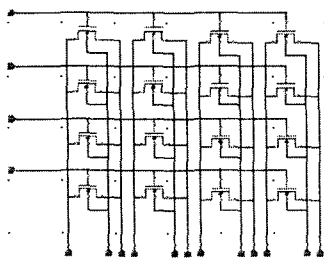


그림 7.1 4 x 4 단일트랜지스터 강유전체 메모리 회로

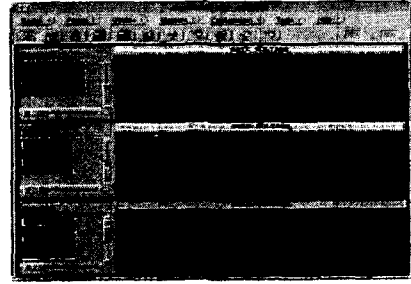


그림 7.2 4 x 4 단일트랜지스터 강유전체 메모리 HSPICE 시뮬레이션 결과

IV. 결론

본 논문은 단일트랜지스터 강유전체 메모리를 프로그램할 때, 펄스(pulse)형태의 전압을 쉽게 구현하여 1개의 셀을 독립적으로 선택할 수 있으며 프로그램 시에 비선택 셀에도 프로그램 디스터브가 발생되지 않고 아주 쉽게 구현이 가능하고, 전원도 간단하게 공급 전원(Vdd), 그라운드전원(Gnd)가 있으면 된다.

참고문헌

- [1] T. Nakamura, et. al, A Single-Transistor Ferroelectric Memory Cell ISSCC 1995, p68-69
- [2] H. Ishiwara, et. al, Proposal of a Single-Transistor Cell-Type Ferroelectric Memory Using an SOI Structure and Experimental Study on the Interface Problem in the Write Operation JJAP Vol. 36(3B), 1997, p 1655-1658
- [3] R. Womack, et. al, A 16kb Ferroelectric Nonvolatile Memory with a Bit Parallel Architecture ISSCC 1989, p242-243
- [4] T. Sumi, et. al, A 256kb Nonvolatile Ferroelectric Memory at 3V and 100ns ISSCC 1994, p268-269
- [5] T. Kanashima, et. al Analysis of High Frequency Capacitance-Voltage Characteristics of Metal-Ferroelectric-Insulator-Silicon Structure JJAP Vol. 38(4A), 1999, p2044-2048