

AlGaAs/InGaAs/GaAs 이종접합 양자선-FET의 제작 및 특성

손영진, 이봉훈, 정문영, 정윤하
포항공과대학교 전자컴퓨터공학부
전화 : 054-279-2897 / 핸드폰 : 019-510-2390

Fabrication and Characterization of AlGaAs/InGaAs/GaAs Heterostructure Quantum-Wire FET

Young-Jin Sohn, Bong-Hoon Lee, Moon-Young Jeong, Yoon-Ha Jeong
Dept. of Electronic and Computer Engineering, Pohang University of Science and
Technology, E-mail : sohnee@postech.ac.kr

Abstract

A quantum-wire field effect transistor(QW-FET) using asymmetric double InGaAs channel and Si-delta doped barrier has been fabricated. It exhibited good modulation and saturation characteristic in the range of μ A current level. For estimated channel width of 150nm QW-FET, maximum transconductance was about 400 mS/mm which is higher than a conventional heterostructure FET(HFET) with the same epi-structure.

본 연구에서는 단일전자 트랜지스터(SET : single electron transistor)에 버퍼(buffer)단으로 사용하여 초고감도 전위계(electrometer)를 제작하는데 응용[6]하기 위한 양자선-FET를 만들고 특성을 알아보았다. 채널에서 전자의 이동도와 전류이득 차단주파수를 높이기 위하여 채널에 얇은 $Al_{0.25}Ga_{0.75}As$ 층을 넣은 이중 $In_{0.2}Ga_{0.8}As$ 채널과 채널 윗부분의 $Al_{0.25}Ga_{0.75}As$ 장벽층에 실리콘 델타도핑(Si-delta-doping)을 행한 에피구조를 이용하여 양자선-FET를 제작하고, 제작된 양자선-FET의 직류 전압-전류 특성과 전달컨덕턴스에 대하여 조사하였다.

I. 서론

정보처리량의 급속한 증가와 더불어 반도체 회로의 극미세화와 저전력화가 요구됨에 따라 새로운 나노구조소자들이 연구, 개발되고 있다[1]. 미세한 반도체 양자선(quantum-wire)에서는 불순물에 의한 탄성적 산란이 억제되기 때문에 양자선에 갇혀진 전자가 매우 높은 이동도를 갖게되는데[2-4], 이러한 특성을 이용한 초고속, 초저전력 소자로 응용할 수 있는 양자선-FET(quantum-wire field effect transistor)에 대한 연구가 진행되고 있다[4,5]. 본 연구에서는 [4,5]에서 제안된 구조가 전달컨덕턴스가 작고 공정이 복잡한 단점이 있는데, 이를 보완하기 위한 연구를 진행하였다.

II. 실험방법 및 결과

본 연구에서 제작된 양자선-FET는 채널기생저항을 줄이고, 전자의 이동도 향상을 위하여 비대칭 이중채널, 20 Å와 65 Å의 두 개의 $In_{0.2}Ga_{0.8}As$ 채널 사이에 15 Å의 $Al_{0.25}Ga_{0.75}As$ 장벽을 넣고, 채널위 $Al_{0.25}Ga_{0.75}As$ 장벽층에 실리콘 델타도핑을 넣어 성장한 이종접합 에피구조를 이용하여 제작하였다. 사용된 에피구조는 분자선 에피택시(molecular beam epitaxy)에 의해 성장되었으며, 상온에서 $6800 \text{ cm}^2/\text{V} \cdot \text{s}$, 77 K에서 $22800 \text{ cm}^2/\text{V} \cdot \text{s}$ 의 높은 이동도를 보여주었다. 성장된 에피구조와 제작된 양자선-FET의 소스-드레인 간 단면도는 그림 1과 같다. 그림 2는 제안된 에피구

조로 SILVACO를 통한 시뮬레이션을 행했을 때 전도대역 에너지 준위와 전자의 모임 특성을 보여준다. 그림에서와 같이 InGaAs 채널영역이 기준 에너지 준위보다 낮아서 채널에 전자가 잘 모임을 알 수 있다. 소스-드레인간 바이어스를 걸지 않았을때도 전자의 모임이 $2 \times 10^{18} \text{ cm}^{-3}$ 이상으로 높게 나타났다.

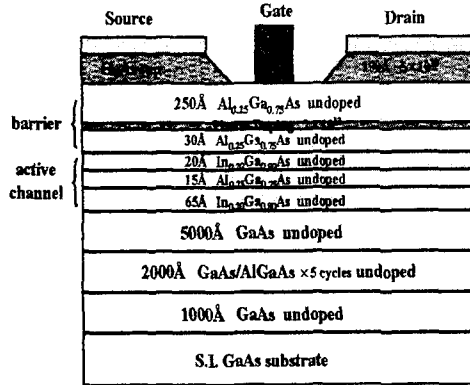


그림 1. 양자선-FET의 제작에 사용된 AlGaAs/ InGaAs/GaAs 이중채널 에피구조와 소스-드레인간 단면도

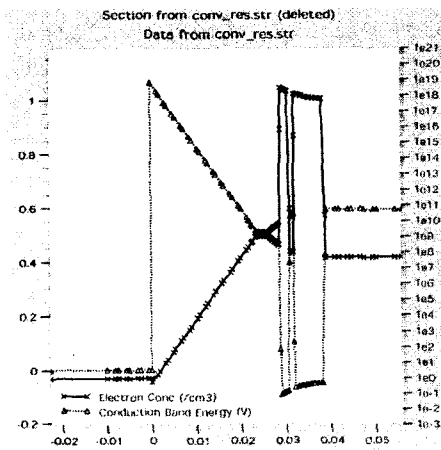


그림 2. 소스-드레인간 전압(V_{DS})이 0 V일 때 전도대역 에너지 준위와 전자 모임 분포

양자선-FET는 먼저 마스크상의 채널 폭 0.8-1.2 μm 패턴을 기존의 광 리소그래피와 인산기초의 에칭용액 ($\text{H}_3\text{PO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}$)의 선별적 에칭특성을 이용하여 150 - 500 nm 가 되게 매사패턴을 만든 후, AuGe/Ni/Au를 증착하고 Furnace를 이용하여 질소분위기에서

460 $^\circ\text{C}$ 에 1분간 열처리를 하여 소스, 드레인 오믹 접촉을 형성하였다. TLM 패턴을 통해 측정된 오믹 접촉 저항은 $0.02 \Omega \cdot \text{cm}$ 로 나타났다. 마지막으로 1 μm 게이트 패턴을 사진작업한 후, GaAs 캡층을 식각하고 Ti/Au를 증착하여 소자를 완성하였다. 완성된 양자선-FET의 구조는 그림 3과 같다.

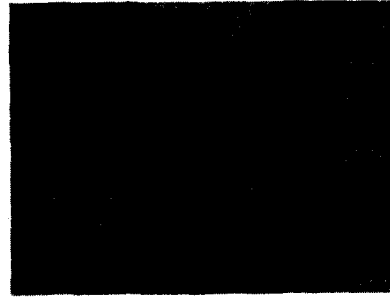


그림 3. 제작된 1 μm gate 양자선-FET의 현미경 사진

제작된 소자는 HP4155A 파라미터 분석기를 이용하여 DC 특성을 측정하였다. 그림 4는 유효채널폭 300 nm 양자선-FET의 드레인 전압(V_{DS})에 대한 드레인 전류(I_{DS})의 특성을 보여준다. 유효채널폭[7] 추정은 SILVACO 시뮬레이션을 기초로 하였다. 계산은 게이트 전압(V_{GS})은 -0.8 V에서 +0.6 V까지 0.2 V간격으로 변화시켰다. 그림 5는 유효채널폭 150 nm 양자선-FET에 대한 $V_{DS} - I_{DS}$ 특성을 보여준다. 게이트 전압이 0 V일 때 포화전류는 20 μA 정도였다. 제작된 소자는 그림 4, 5에서와 같이 μA 수준의 전류에서도 우수한 변조특성을 나타냈다.

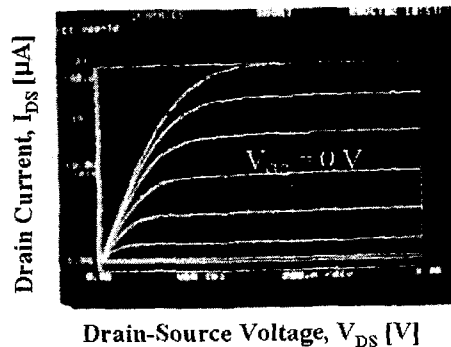


그림 4. 유효채널폭 300nm 양자선-FET의 드레인 전압-전류($V_{DS}-I_{DS}$)특성 곡선

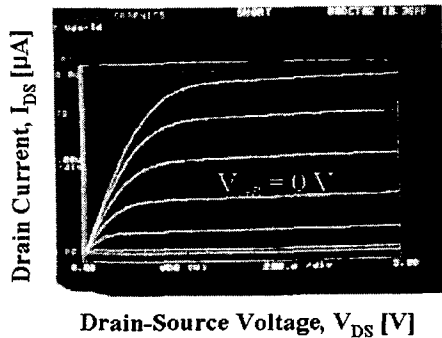


그림 5. 유효채널폭 150nm 양자선-FET의 드레인 전압-전류(V_{DS} - I_{DS})특성 곡선

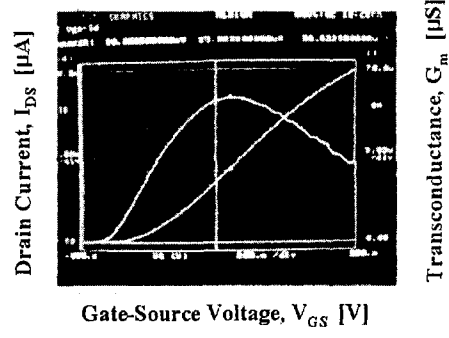


그림 7. 유효채널폭 150nm 양자선-FET의 게이트 전압-드레인 전류 및 전달컨덕턴스 (V_{GS} - I_{DS} , G_m) 특성 곡선

그림 6, 7은 각각 300 nm, 150 nm의 유효채널폭을 가지는 양자선-FET에 대한 드레인 전압이 1.5 V일 때 게이트 전압에 대한 드레인 전류와 전달컨덕턴스(G_m)의 관계를 보여주고 있는데, 최대 전달컨덕턴스는 각각 단위길이당 약 370 mS/mm, 400 mS/mm의 값을 나타냈다. 이는 본 연구에서 제작된 동일한 에피구조의 1 μ m 게이트 길이를 갖는 기존의 HFET의 210 mS/mm 보다 훨씬 큰 값을 알 수 있었다. 이는 기존의 게이트 길이의 미세화에 따른 소자 특성의 개선과 함께, 게이트 폭의 미세화도 소자 특성을 개선시킬 수 있음을 의미한다. 본 연구에서 제작된 양자선-FET는 위와 같은 특성을 고려할 때 초고속, 초저전력 디지털 스위칭 회로, MMIC(monolithic millimeter-wave integrated circuits) 제작이 가능할 것으로 보이며, 저전력 소모 등을 이용하여 SET의 버퍼단으로 사용하여 고감도 전위계의 제작에 응용이 가능하다. 보다 더 좁은 유효 채널 폭을 갖는 FET를 만들 경우, 보다 양호한 특성을 얻을 것으로 기대된다.

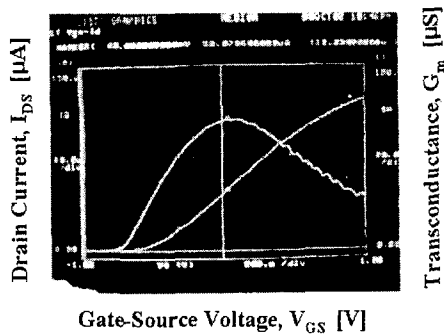


그림 6. 유효채널폭 300nm 양자선-FET의 게이트 전압-드레인 전류 및 전달컨덕턴스 (V_{GS} - I_{DS} , G_m) 특성 곡선

III. 결론

본 연구에서는 채널에서 전자의 이동도와 전류이득 차단주파수를 높이기 위하여, $In_{0.2}Ga_{0.8}As$ 채널에 얇은 $Al_{0.25}Ga_{0.75}As$ 장벽을 넣은 비대칭 이중채널, 채널 윗부분의 $Al_{0.25}Ga_{0.75}As$ 층에 실리콘 델타도핑을 행한 에피구조를 사용하여 양자선-FET를 제작하였고, 그 특성을 분석하였다. 제작된 양자선-FET는 μA 수준의 전류에서도 우수한 변조특성을 나타내고, 최대 전달컨덕턴스는 단위길이당 약 400 mS/mm로 높은 값을 보여주었다. 이는 기존의 게이트 길이의 미세화에 따른 소자 특성의 개선과 함께, 게이트 폭의 미세화도 소자 특성을 개선시킬 수 있음을 의미한다. 앞으로 에피구조의 최적화와 함께 소스-드레인 간격, 채널 폭을 줄임으로써 보다 양호한 특성을 가지는 소자를 만드는 방향으로 연구를 진행할 것이다.

[참고문헌]

[1] H. Hasegawa, "Status and Key Issues for Compound Semiconductor Nanoelectronics", *Physics and Modeling of Devices Based on Low-Dimensional Structure*, 1998.
 [2] S. K. Islam and F. C. Jain, "Analysis of Quantum Wire High Electron Mobility Transistor(HEMT) Structure", *Solid-State Electronics*, Vol. 39, No. 4, 1996, pp. 615-620.
 [3] H. Sakaki, "Scattering Suppression and High-Mobility Effect of Size-Quantized Electrons in Ultrafine Semiconductor wire Structures", *Japanese Journal of Applied Physics*, Vol. 19, No. 12,

December, 1980, pp. L735-738.

[4] T. Sugaya, T. Takahashi, T. Nakagawa, M. Ogura and Y. Sugiyama, "Operation of InGaAs Quasi-Quantum-Wire by Selective Growth using Molecular Beam Epitaxy", *Electronics Letters*, Vol. 34, No. 9, April, 1998, pp. 926-927.

[5] H. Okada, H. Hasegawa, "Characteristics of GaAs Schottky In-Plane Gate Quantum Wire Transistors for Switching of Quantized Conductance", *Physica, B* 272, 1999, pp. 123-126.

[6] E. H. Visscher, J. Lindeman, S. M. Verbrugh, P. Hadley, J. E. Mooij, W. Vleuten, "Broadband Single-Electron Tunneling Transistor", *Applied Physics Letter*, Vol. 68, April, 1996, pp. 2014-2016.

[7] Y. Satoh, S. Kasai, K. Jinushi, H. Hasegawa, "Computer Simulation and Experimental Characterization of Single Electron Transistors Based on Schottky Wrap Gate Control of 2DEG", *Japanese Journal of Applied Physics*, Vol. 37, 1998, pp. 1584-1590.