

## IMT-2000용 CMOS 저잡음증폭기 설계

김 신 철(金 信 喆), 이 상 국(李 相 國)  
한국정보통신대학원대학교 공학부  
전화 : (042) 866-6203 / 팩스 : (042) 866-6227

### CMOS Low Noise Amplifier Design for IMT-2000

Shin-Chol Kim, Sang-Gug Lee  
School of Engineering Information and Communications University  
E-mail : reddevil@icu.ac.kr, sglee@icu.ac.kr

#### Abstract

This paper describes a CMOS low noise amplifier (LNA) with bias current reusing architecture intended for use in the front-end of IMT-2000 receiver. It has been implemented in a  $0.35\mu\text{m}$  CMOS process with two poly and four metal layers. In order to accuracy of simulation, we considered a bonding wire and a pad effect and used the measurements of capacitors and on-chip inductors which implemented in the same process.

The LNA has a forward gain (S21) of 17 dB and a noise figure of 1.26 dB. And it has a third-order intermodulation intercept point (IP3) of +3.15 dBm and a 1dB compression point (P1dB) of -16 dBm, input referred, respectively. The power consumption is 19 mW from a 3V supply.

#### I. 서 론

휴대용 개인 무선통신에 대한 수요의 증가와 서비스 품질의 향상을 위해 Cellular, PCS 그리고 차세대 이동 통신 IMT-2000에 대한 연구가 활발히 진행되어 지고 있다. 이와 같은 이동 통신 시스템에 있어 수신기의 잡음 특성은 일반적으로 첫 단인 저잡음 증폭기의 잡음 특성에 절대적인 영향을 받는다. 따라서, 저잡음 증

폭기는 낮은 잡음지수와 함께 높은 이득을 가져야만 한다. 그리고 높은 선형특성 및 낮은 소모 전력 또한 요구되어 진다[1]. 이제까지 이러한 특성들을 만족시키기 위하여 주로 화합물 반도체(GaAs)나 바이폴라(Si)를 이용한 저잡음 증폭기가 주로 설계되어져 왔다.

낮은 가격으로 고집적이 가능한 CMOS 기술이 점차 발전함에 따라 이를 이용한 저잡음 증폭기의 설계가 많이 이루어지고 있지만, 아직 잡음지수와 소모전력 면에서 CMOS 저잡음 증폭기의 성능은 화합물이나 바이폴라의 성능에 미치지 못하고 있다. 또한 높은 선형 특성을 가지기 위해서는 더 많은 전력을 필요로 하는 것이 일반적이다.

본 논문에서는 전단에 입력 잡음 정합회로를 사용하여 전체 잡음지수를 낮추고, 전단과 후단의 바이어스 전류를 공통으로 사용할 수 있는 구조를 채택하므로 높은 이득과 선형특성을 가지지만 소모 전력은 낮은 2단 저잡음 증폭기를  $0.35\mu\text{m}$  CMOS 공정을 이용해 설계하였다. II.에서는 설계시 고려해야 할 사항들을 바탕으로 저잡음 증폭기가 어떻게 설계되었는지에 대해 설명하고, III.에 모의 실험 결과를 보여 줄 것이다. 마지막으로 IV.에서 설계된 저잡음 증폭기에 대해 평가하고 앞으로 개선해야 할 부분에 대해 언급하였다.

#### II. CMOS 저잡음증폭기 설계

그림 1이 설계되어진 저잡음 증폭기의 회로도이다.

이 저잡음 증폭기는 두 단으로 구성되어 있다. 첫 번째 단은 입력 단으로  $M_1$ 이 해당되고, 두 번째 단은 출력 단으로  $M_2$ 가 해당되어진다. 첫째 단과 둘째 단은  $L_d$ 를 통해서 바이어스 전류를 공유하도록 설계하였다.  $C_c$ 와  $C_b$ 는 각각 AC연결(AC Coupling) 그리고 바이패스(Bypass) 커패시터이다.

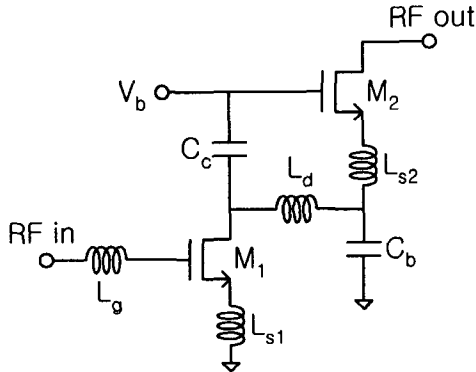


그림 1. 저잡음 증폭기 회로도  
Fig 1. Low noise amplifier circuit diagram

일반적으로 저잡음 증폭기의 입력 임피던스는 전단의 RF 필터의 특성 때문에 정확한  $50\Omega$ 을 가져야만 한다. 이를 만족시키기 위해  $M_1$ 의 소스에 인덕터를 달아 주는 인덕터 축퇴(Inductor Degeneration)을 구조를 적용하였다. 그림 1에서 입력 임피던스에 대한 간단한 해석을 해 보면 아래와 같은 수식을 얻을 수 있다[1].

$$Z_{in} = s(L_{s1} + L_g) + \frac{1}{sC_{gs1}} + \left( \frac{g_{m1}}{C_{gs1}} \right) L_{s1} \quad (1)$$

여기서  $g_{m1}$ 과  $C_{gs1}$ 은 각각  $M_1$ 의 트랜스컨덕턴스와 커패시턴스이다. 축퇴 인덕터는 (1)식과 같이 입력 임피던스에 실수 성분을 만들므로 이를 이용해 전단의 필터나 안테나에 정합 시킬 수 있다. 또한 첫 단 트랜지스터의 크기와 동작점을 잘 선택하면 축퇴 인덕터를 이용해  $\Gamma_{opt}$ 와  $S_{11}^*$ 을 일치시킬 수 있으므로[3], 잡음 정합과 이득 정합을 동시에 할 수 있다. 위 그림에서  $L_{s1}$ 과  $L_{s2}$ 가 축퇴 인덕터에 해당하는 것인데, 일반적으로 칩(On-chip) 인덕터는 Q값이 낮기 때문에 저잡음 증폭기의 잡음 특성을 높은 Q값의 외부 인덕터를 사용한 경우보다 나쁘게 만들므로[2] 상대적으로 Q값이 높은 본딩 와이어(Bonding Wire) 인덕턴스를  $L_{s1}$ 으로 사용하였다.  $L_{s2}$ 의 경우는 두 번째 단이므로 전체 잡음 특성에는 큰 영향을 주지 않으므로 일반적인 온 칩 나선 인덕터를 사용하였다.

(1)식에서 원하는 주파수에서 직렬 공진이 일어나도

록  $L_{s1}$ 과  $L_g$ (Off-chip Inductor)의 값을 설정하였다. 직렬 공진이 발생할 경우 입력단의 트랜스컨덕턴스가 직렬 공진 회로의 Q값만큼 증가하게 되어서는, 이를 수식으로 나타내 보면 다음과 같다[1].

$$G_m = g_{m1}Q_{in} = \frac{g_{m1}}{\omega_o C_{gs1}(R_s + \omega_T L_{s1})} = \frac{\omega_T}{2\omega_o R_s} \quad (2)$$

여기서  $Q_{in}$ 은 입력 회로의 유효 특성지수(Effective Quality Factor)이고,  $R_s$ 는 신호원의 임피던스를 나타낸다.

첫 번째 단과 두 번째 단간의 정합을 하는 방식에도 여러 가지가 있으나, 본 설계에서는 동작 주파수(2.15 GHz)에서  $L_d$ 의 값을  $C_{gs2}$ 와 병렬 공진하도록 선정하였다. 이 인덕터는  $L_s$ 와  $L_g$ 와 달리 온 칩 나선형 인덕터(Spiral Inductor)를 사용하였다. 이 인덕터의 경우 Q 값을 최대로 하기 위한 구조가 선정되어야 하는데, 인덕터의 Q 값이 높을수록 이득도 커지기 때문이다. 이 경우 공정 상의 여러 변수들에 의해 공진 주파수가 원하는 주파수에서 벗어날 수 있는데, 일반적으로 나선형 인덕터의 Q 값은 한 자리 숫자이므로 큰 영향을 주지는 않을 것으로 예상된다.

입력 단 트랜지스터의 크기는 증폭기의 잡음 특성을 최적화 할 수 있도록 선정되어야만 한다. MOS 트랜지스터의 주요한 잡음원으로는 채널 전류 잡음(Channel Current Noise)과 유도 게이트 잡음(Induced Gate Noise) 두 가지가 있다[4]. 채널 잡음 전류와 게이트 잡음 전류에 의한 잡음 전력 밀도(Power Spectral Density)는 각각 다음과 같이 주어진다[1].

$$\frac{\overline{i_d^2}}{\Delta f} = 4kT\gamma g_{d0} \quad (3)$$

$$\frac{\overline{i_g^2}}{\Delta f} = 4kT\delta g_g \quad (4)$$

여기서  $g_a = \omega^2 C_{gs}^2 / (5g_{m0})$ 이다.

(3)식과 (4)식에서  $g_{d0}$ 는 트랜지스터의 영바이어스 드레인 컨덕턴스(Zero-bias Drain Conductance)이고,  $\gamma$ 와  $\delta$ 는 잡음의 크기를 나타내는 계수들이다. 이 두 가지 잡음원을 고려한 증폭기의 잡음 계수(Noise Factor)에 대한 식은 다음과 같다[1].

$$F = 1 + \frac{R_l}{R_s} + \frac{R_g}{R_s} + \frac{\gamma}{\alpha} \frac{\chi}{Q_l} \left( \frac{\omega_o}{\omega_T} \right) \quad (5)$$

$$\chi = 1 + 2|c|Q_l \sqrt{\frac{\delta\alpha^2}{5\gamma}} + \frac{\delta\alpha^2}{5\gamma} (1 + Q_l^2) \quad (6)$$

여기서  $\alpha = g_m/g_{d0}$ ,  $Q_L = 1/(\omega_0 R_s C_{gs})$ 이고,  $c$ 는 게이트 잡음과 드레인 전류 잡음간의 상관계수이다. 그리고,  $R_i$ 과  $R_g$ 는 각각 직렬 인덕터와 트랜지스터 게이트 직렬 저항을 나타내는 수치이다.

(5)와 (6)식으로부터 잡음 계수가 최소가 되는 특정한  $Q_L$ 값이 존재함을 알 수 있다. 따라서 특정 소모 전력과 입력 임피던스에 대해 증폭기의 잡음 지수를 최소화할 수 있는 입력 트랜지스터의 최적 크기가 존재한다[1]. 설계 상에서는 동일 공정에서 만들어진 능동소자 시험 패턴(Test Pattern)의 측정을 통해 입력 트랜지스터의 최적 크기를 선정하였다.

### III. 모사실험(Simulation) 결과

모사 실험 상에서의 회로 특성과 실제 제작된 회로의 특성이 차이가 나는 경우가 많다. 이는 CMOS 공정에서 발생할 수 있는 오차들과 실리콘 Substrate 효과에 의한 것이라 여겨진다. 따라서 모사 실험 단계에서부터 이러한 효과들을 고려한 설계를 한다면 보다 정확한 결과를 얻을 수 있을 것이라 생각된다. 이를 위해 회로에 사용되어진 각종 능·수동소자들을 동일 공정에서 미리 시험 패턴을 제작한 후 측정을 통해 만든 모델을 사용해 모사실험을 하였다. 그림 2에 설계에 사용되어진 커패시터, 본딩패드 및 인덕터의 등가 모델을 나타내었다.

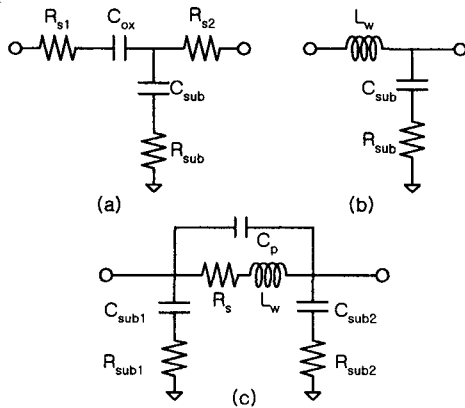


그림 2. 수동소자 등가모델. (a)커패시터 (b)패드 (c)인덕터  
Fig 2. Passive device models. (a)capacitor (b)pad (c)inductor

그림 3은 설계된 저잡음 증폭기의 전 주파수대역에 대한 안정도(Stability) K를 나타내고 있다. 30GHz대역까지 K값이 2보다 크고, 그 이상에서도 증가함을 알 수 있다. 따라서 이 결과로부터 설계된 저잡음 증폭기가 모든 주파수 대역에 대하여 안정하다는 것을 알 수

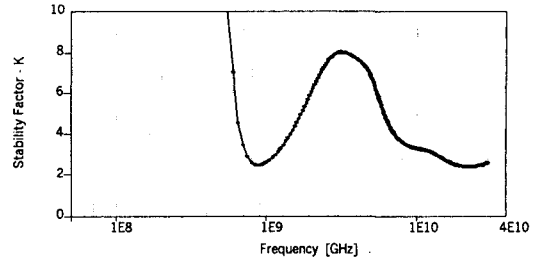


그림 3. 안정도 계수  
Fig 3. Stability factor

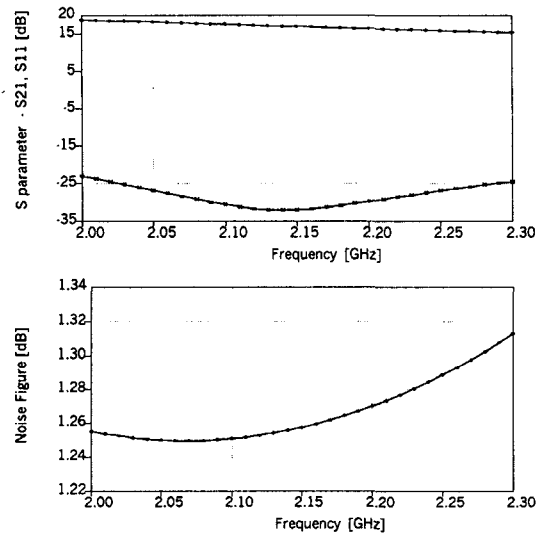


그림 4. 저잡음 증폭기의 이득, 입력 반사 계수 및 잡음 지수  
Fig 4. LNA's forward gain, input reflection coefficient and noise figure

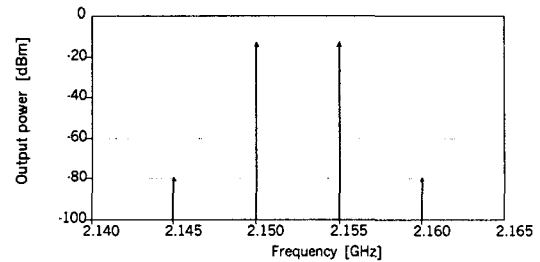


그림 5. 저잡음 증폭기의 IP3  
Fig 5. LNA's third-order intermodulation intercept point

있다. 그림 4는 원하는 주파수 대역 내에서의 저잡음 증폭기의 설계된 이득( $|S_{21}|^2$ ), 반사 계수 및 잡음지수 특성을 보여주고 있다. 모사 실험을 통해 설계된 저잡음 증폭기의 이득은 2.1~2.2 GHz 대역에서  $17 \pm 0.6$  dB 이고, 반사 계수는 대역 내에서 -20 dB 이하가 되도록 설계하였다. 잡음지수에 대한 특성은 모사실험 결과 대역 내에서 1.32 dB 이하가 됨을 알 수 있다. 그림 5

에서 설계된 저잡음 증폭기의 선형 특성 중 IP3 특성을 보여 주고 있다. 이때 입력 신호는 2.15, 2.155 GHz 이고, 각각 -30 dBm의 신호 크기를 가지고 있다. 출력 신호의 크기는 2.15 GHz에서 -13 dBm이고, 2.145 GHz가 -79.3 dBm이다. 따라서, 17 dB의 이득과 +3.15 dBm의 입력 IP3를 가진다는 것을 알 수 있다. 그림 6은 증폭기의 P1dB 특성을 보여 주고 있다. 그림으로부터 입력 측에서의 P1dB는 약 -16 dBm임을 알 수 있다. 마지막으로 그림 7에 설계된 저잡음 증폭기의 Layout을 나타내었다.

#### IV. 결 론

본 논문에서는 바이어스 전류를 공유하게 하므로 전력 소모의 증가를 최소화하면서 높은 선형특성을 가질 수 있는 저잡음 증폭기의 구조를 제안하였다. 모사 실험 결과 높은 선형 특성(IP3)을 가지면서도 전력 소모는 크게 높지 않은 특성을 얻을 수 있었다. 하지만, P1dB의 경우 예상한 것과 달리 낮은 값을 나타내었다. 잡음 지수의 경우 매우 낮은 모사 실험값을 얻었지만, 모사 실험용 프로그램에 모든 잡음원에 대한 모델이 포함되어 있지 않으므로 실제 제작을 할 경우 보다 높은 잡음 지수를 가질 것이 예상된다.

실제 휴대용 단말기에 본 논문의 회로를 적용을 하기 위해서는 소모 전력을 절반 정도인 10 mW 수준으로 낮추어 주고, P1dB를 개선할 수 있는 연구가 더 필요할 것이라 생각된다. 그러나, 본 연구를 통해 IMT-2000 단말기용 부품을 실리콘 CMOS로 설계할 수 있는 가능성은 확인할 수 있었다.

#### 참고문헌(또는 Reference)

- [1] D. K. Shaeffer and T. H. Lee, "A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier", IEEE Journal of Solid-State Circuits, Vol. 32, pp. 745-759, May 1997
- [2] C. S. Kim, M. Park, C. H. Kim, Y. C. Hyeon, H. K. Yu, K. R. Lee, and K. S. Nam, "A Fully Integrated 1.9-GHz CMOS Low-Noise Amplifier", IEEE Microwave and Guided Wave Letters, Vol. 8, Aug 1998
- [3] R. E. Lehmann and D. D. Heston, "X-band Monolithic Series Feedback LNA", IEEE Transactions on Electron Devices, Vol. ED-32, Dec 1985
- [4] A. van der Ziel, "Noise in Solid State Devices and Circuits", Wiley, 1986

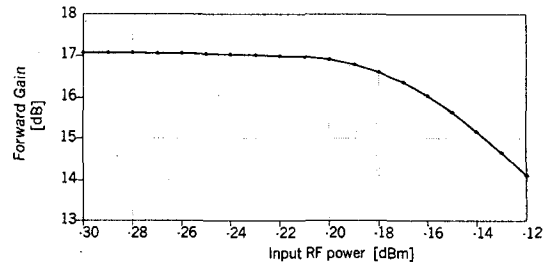


그림 6. 저잡음 증폭기의 P1dB  
Fig 6. LNA's 1dB compression point

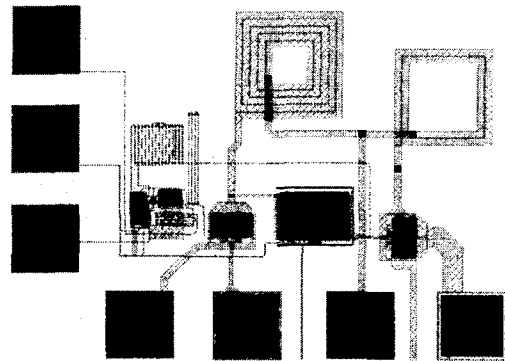


그림 7. 저잡음 증폭기의 레이아웃  
Fig 7. LNA's layout

Frequency	2.15 GHz
Noise Figure	1.26 dB
S21	17 dB
IP3 (Input)	+3.15 dBm
1dB Compression (Input)	-16 dBm
Supply Voltage	3 V
Power Dissipation	19 mW
Technology	0.35 $\mu$ m CMOS
Die Area	0.6 x 0.5 mm <sup>2</sup>

표 1. 저잡음 증폭기의 특성  
Table 1. LNA's performance