

동적 바이어스 조절 고효율 전력증폭기 설계

*강종필, *이세현, *이경우, *민이규, *강경원, *김동현, *이상설, **안광은
*한양대학교 전자전기공학부, **LG전자(주)
전화 : 02-2290-0370 / 팩스 : 02-2281-9912

Design of the Dynamic Bias Control High-Efficiency Power Amplifier

*Kang Jongpil, *Lee Sehyun, *Lee Kyungwoo, *Min Yikyu, *Kang Kyungwon, *Lee Sangseol,
**Ahn Kwangeun
*Dept. of Electronic & Computer Eng. Hanyang University, **LG Electronics Inc.
E-mail : solver@hymail.hanyang.ac.kr

Abstract

In this paper, a 0.5W, 2GHz high-efficiency class A power amplifier using the dynamic bias control is proposed. First of all, the drain bias control amplifier is analyzed theoretically and designed with commercial devices. Simulation results show that the proposed amplifier has a significant improved efficiency, compared to fixed bias power amplifier.

1. 서론

단말기에서 전력을 가장 많이 소비하는 부품은 전력 증폭기이다. 따라서 전력증폭기에서 효율을 높이는 것은 매우 중요하다.

현재 이동통신의 고효율 스펙트럼 디지털 변조 방식에 사용되는 전력증폭기는 효율과 더불어 선형성이 매우 중요하다. 대부분의 고효율 전력증폭기의 경우, 효율은 높은 반면, 선형성은 떨어진다. 선형성을 높이기 위해서는 트랜지스터를 A급이나 AB급으로 동작시켜야 한다. 하지만, A급이나 AB급으로 동작시키면 효율이 크게 떨어진다. 따라서 A급이나 AB급 전력증폭기의 효율을 높이기 위한 연구가 진행되어 왔다[1]-[2].

이 논문에서는 0.5W급, 2GHz 드레인 바이어스 조절 고효율 전력증폭기를 설계한다. 범용소자로 구현 가능한 드레인 바이어스 조절회로를 제안하고, 이를 PSpice로 시뮬레이션 하여 전력증폭기의 효율이 향상됨을 보인다.

2. 드레인 바이어스 조절 전력증폭기 해석

그림 1은 FET의 i_D-v_D 특성곡선이다. 전력증폭기의 드레인 바이어스를 조절하면 바이어스점은 설계하려는 v_G 의 순시값에 해당하는 i_D-v_D 곡선을 따라

직류 드레인 바이어스 전압범위인 ΔV_M 과 V_M 사이를 움직이게 된다. 즉, 입력신호의 진폭이 작으면 낮은 직류 드레인 전압에, 입력신호의 진폭이 크면 높은 직류 드레인 전압에 바이어스점이 위치한다. 이는 입력신호의 진폭에 따라 공급되는 직류 공급전력이 변함을 의미한다. 즉, 입력신호의 진폭이 작아질 때, 직류 공급전력이 감소함으로 전력증폭기의 평균효율이 향상된다.

FET의 입력 전압을 다음과 같이 가정한다.

$$v_i(t) = V_i(t) \cos[wt + \phi(t)] \quad (1)$$

여기서 $V_i(t)$ 는 시변 입력 포락선(time varying input envelope)이다. 증폭기의 AM/PM 변환특성이 무시할 만 하거나, 혹은 보상된다고 가정하면, 입력에 대응되는 출력전압은 다음과 같다.

$$v_o(t) = V_o(t) \cos[wt + \phi(t)] \quad (2)$$

여기서 $V_o(t)$ 는 시변 출력 포락선이다. $V_i(t)$ 와 $V_o(t)$ 는 둘 다 음수가 아닌 값으로 정의된다[1].

정규화(normalized)된 출력 포락선을 다음과 같이 정의한다[1].

$$r(t) = V_o(t) / V_{o,max} \quad (3)$$

그림 1에서 V_P 는 핀치오프(pinchoff)전압이며, V_M 은 최대 드레인 전압, 그리고 I_M 은 최대 게이트 전압에서 얻을 수 있는 드레인 전류를 나타낸다. FET의 비선형 특성은 다음과 같이 정의된다[1].

Δ : 출력 무릎 전압 파라미터(output knee voltage parameter)

ϵ : 출력 컨덕턴스 파라미터(output conductance parameter)

δ : 비선형 핀치오프 파라미터(nonlinear pinchoff parameter)

그림 1에서 고정 바이어스 A급과 드레인 바이어스 조절 A급의 부하 저항은 부하선의 기울기이므로 다음과 같다.

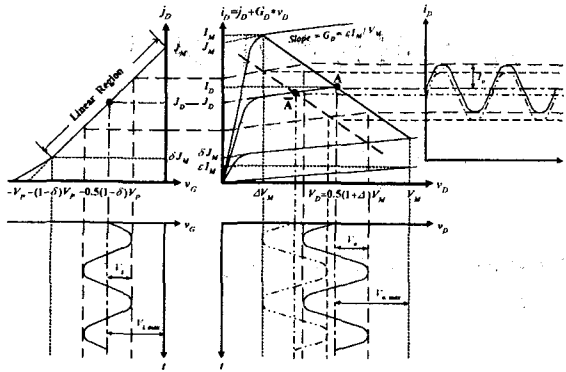


그림 1. 실제적인 FET에 드레인 바이어스 조절방식을 적용하였을때의 입력 특성

$$R_L^A = R_L^{\bar{A}} = \frac{V_M}{I_M} \frac{1-\Delta}{1-\epsilon+\Delta\epsilon\delta} \quad (4)$$

또한 그림 1로부터 $V_{o,max}$ 는 다음과 같다.

$$V_{o,max} = \frac{1}{2}(1-\Delta)V_m \quad (5)$$

식(3),(4),(5)로부터 RF 출력전력을 구하면 다음과 같다.

$$P_o(t) = \frac{1}{8}r^2(t)V_m I_m(1-\Delta)(1-\epsilon-\delta+\Delta\epsilon\delta) \quad (6)$$

직류 드레인 전력은 다음과 같다.

$$P_D^A = \frac{1}{4}V_m I_m(1+\Delta)(1+\epsilon+\delta-\Delta\epsilon\delta) \quad (7a)$$

$$P_D^{\bar{A}} = \frac{1}{4}V_m I_m[2\Delta + r(t)(1-\Delta) \cdot \{(1+\delta) + \epsilon\Delta(1-\delta)\} + r(t)\epsilon(1-\Delta)] \quad (7b)$$

식(6),(7)로부터 드레인 효율을 구하면 다음과 같다.

$$\eta_D^A = \frac{P_o}{P_D^A} = \frac{r^2(t)}{2} \frac{1+\Delta}{1-\Delta} \frac{1-\epsilon-\delta+\Delta\epsilon\delta}{1+\epsilon+\delta-\Delta\epsilon\delta} \quad (8a)$$

$$\eta_D^{\bar{A}} = \frac{P_o}{P_D^{\bar{A}}} = \frac{r^2(t)}{2} \frac{1-\Delta}{2\Delta + r(t)(1-\Delta)} \cdot \frac{1-\epsilon-\delta+\Delta\epsilon\delta}{[(1+\delta) + \epsilon\Delta(1-\delta)] + r(t)\epsilon(1-\Delta)} \quad (8b)$$

PAE(power added efficiency)는 다음과 같다.

$$\eta_{added} = (P_o - P_i)/P_D = \eta_D(1-1/G) \quad (9)$$

고정 바이어스 A급과 드레인 바이어스 조절 \bar{A} 급의 수치해석 시뮬레이션 결과를 그림 2에 제시한다. 드레인 바이어스 조절 전력증폭기가 고정 바이어스 전력증폭기보다 효율이 증가함을 볼 수 있다.

2. 드레인 바이어스 조절 전력증폭기 구조

드레인 바이어스 조절을 이용한 RF 전력증폭기의 구조를 그림 3에 제시한다[3~4]. 드레인 바이어스 조절 RF 전력증폭기는 10dB 방향성 결합기, 바이어스 조절회로인 포락선 검파기와 DC-DC 변환기, 그리고 RF 전력증폭기로 구성된다.

RF 입력신호는 10dB 방향성 결합기를 통해 RF 전

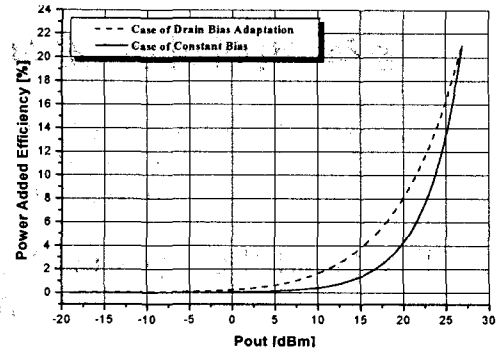


그림 2. 수치해석에 의한 전력증폭기의 PAE 특성 ($\Delta=0.272727$, $\epsilon=0.05$, $\delta=0.046727$)

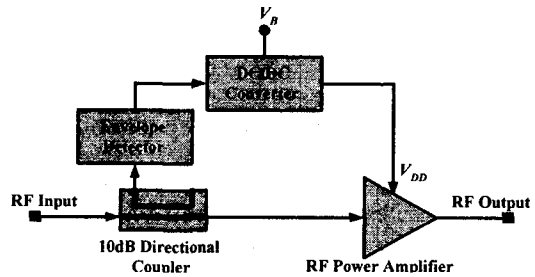


그림 3. 드레인 바이어스 조절 RF 전력증폭기 블록도

력증폭기와 포락선 검파기의 입력으로 나누어진다. 포락선 검파기를 통해 검파된 포락선은 DC-DC 변환기에 의해 RF 전력증폭기의 출력 바이어스로 변환된다.

바이어스 조절회로인 포락선 검파기와 DC-DC 변환기의 성능은 전체 전력증폭기에 큰 영향을 준다. 포락선 검파기는 비선형 능동소자를 사용하므로, 능동소자의 선형영역(linear region)을 벗어나지 않도록 설계하여야 한다. 만약 포락선 검파기의 능동소자가 비선형영역(nonlinear region)에서 동작하면 출력에서 왜곡(distortion)된 포락선이 검파된다. 또한, DC-DC 변환기도 검파된 포락선에 따라 RF 전력증폭기의 출력 바이어스를 왜곡 없이 조절하기 위해서는 포락선 신호를 출력 바이어스로 변환하는 과정에서 시간지연(time delay)이 없도록 설계하여야 한다.

3. 포락선 검파기 설계

일반적으로 포락선 검파기는 다이오우드와 RC필터를 사용하여 구성한다. 그러나 이런 포락선 검파기는 다이오우드의 특성에 따라 심한 비선형 왜곡이 나타난다. 이 논문에서는 다이오우드의 비선형 특성으로 인해 발생하는 시간지연이나 왜곡을 줄이기 위한 포락선 검파기를 설계한다. 포락선 검파기 회로도는 그림 4와 같다.

이 논문에서 사용된 포락선 검파기는 두가지 특징을 갖는다. 첫째는 RF 주파수 대역에서 이상적인 다이오우드에 가깝도록 동작시키기 위해서 RF 광대역 트랜지스터를 사용하는 점이다. 둘째는 의사(擬爲:pseudo-

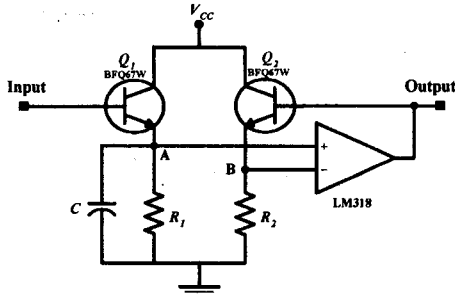


그림 4. 포락선 검파기 회로도

replica) 회로 구조를 사용하는 점이다. 연산증폭기는 Q_1 의 베이스에 인가된 RF 입력신호의 포락선과 같은 전압을 Q_2 의 베이스에 인가시킴으로써, A와 B 단자의 전압을 동일하게 유지시키는 기능을 한다. 이로 인해 Q_1 에서 발생하는 시간지연을 보상한다.

그림 5(a)는 변조지수 0.8로 AM 변조된 포락선 검파기의 2GHz RF 입력신호이고, 그림 5(b)는 포락선 검파기에 의해 RF 입력신호로부터 검파된 20KHz 포락선 신호를 나타낸다.

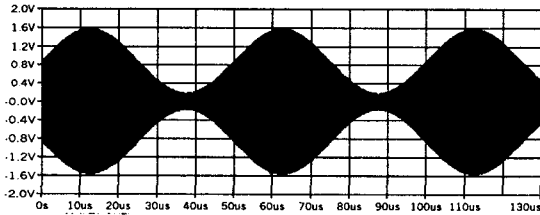


그림 5(a). 포락선 검파기의 2GHz RF 입력신호

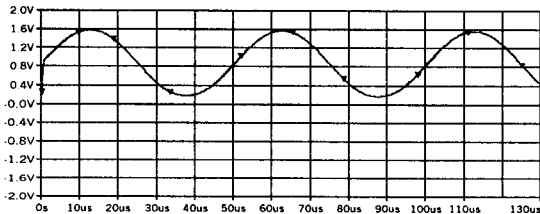


그림 5(b). 포락선 검파기의 20KHz 출력신호

그림 5. 포락선 검파기의 입력신호 및 출력신호

4. DC-DC 변환기 설계

그림 6에 DC-DC 변환기의 블럭도를 제시한다[5]. DC-DC 변환기는 Σ - Δ 변조기와 S급 증폭기로 구성된다. 포락선 검파기로부터 검파된 포락선 신호와 레환 경로에서 크기가 조절된 출력신호가 입력측 신호합성 증폭기에서 합성된다. 이 합성된 신호는 Σ - Δ 변조기에 의해 S급 증폭기의 스위칭을 조절하기 위한 구형파(square wave)로 변환된다. 이 구형파는 애널러그 입력신호가 Σ - Δ 변조기에 의해 펄스 폭 변조(PWM : pulse width modulation)된 신호이다.

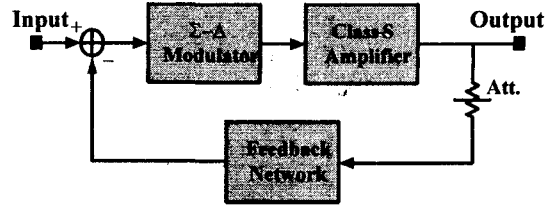


그림 6. DC-DC 변환기 블럭도

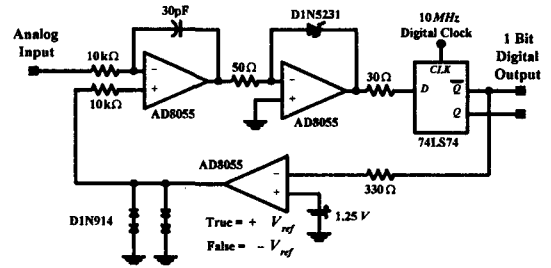


그림 7. Σ - Δ 변조기 회로도

그림 7에 Σ - Δ 변조기의 회로도를 제시한다. Σ - Δ 변조기는 적분기, 두 개의 비교기, 그리고 D-플립플롭으로 구성된다. 애널러그 입력신호는 레환회로에서 생성된 기준신호에 의하여 표본화(sampling)된다. 적분기에서는 입력신호의 표본화 및 적분이 동시에 수행된다. 표본화된 입력신호가 적분되면 톱날파(saw wave)가 생성된다. 적분된 출력신호는 비교기를 거치면서 D-플립플롭의 입력신호로 변환되고, 최종적으로 D-플립플롭을 통해 S급 증폭기의 스위칭 동작을 제어하기 위한 Σ - Δ 변조된 구형파로 된다.

그림 8,9에 Σ - Δ 변조기의 출력특성을 도시한다.

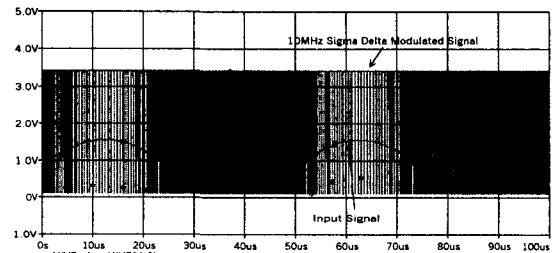


그림 8. Σ - Δ 변조기의 출력신호 파형 ($f_s=10\text{MHz}$)

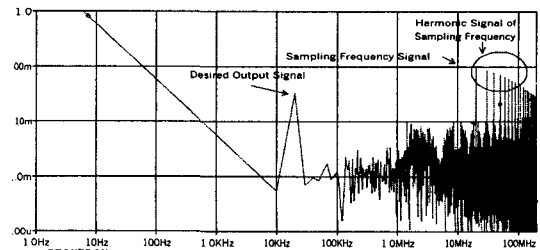


그림 9. Σ - Δ 변조기의 주파수 스펙트럼 ($f_s=10\text{MHz}$)

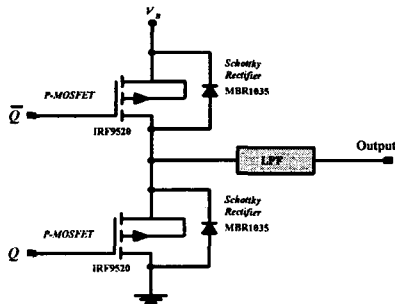


그림 10. S급 증폭기 회로도

그림 10에 S급 증폭기의 회로도를 제시한다[6]. Σ - Δ 변조기에서 생성된 펄스 폭 변조 신호는 S급 증폭기에 의해서 증폭되고, 저역통과필터(LPF: low pass filter)를 거치면서 직류성분과 증폭된 원신호로 복원된다. S급 증폭기의 능동소자(P-MOSFET)는 증폭 과정에서 단순히 온(ON), 오프(OFF) 동작만 하면 되므로, 종래의 증폭기에서 문제가 되는 능동소자 자체의 비선형성에 기인한 왜곡은 거의 존재하지 않는다. 능동소자에서 스위칭이 일어날 때 발생하는 고조파(harmonics) 성분은 능동소자 출력과 부하 사이에 있는 저역통과필터에 의해 제거된다.

그림 11에 포락선 검파기에서 출력된 신호와 이 신호가 DC-DC 변환기를 통과한 후 출력된 신호를 제시한다. DC-DC 변환기는 174mV~1566mV의 크기를 갖는 포락선 신호를 1.5V~3.5V의 크기를 갖는 드레인 바이어스 전압으로 변환시킨다.

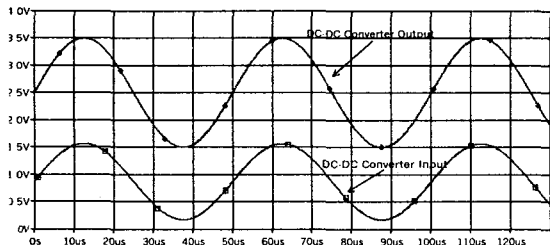


그림 11. DC-DC 변환기의 입력 신호 및 출력 신호

5. 실험결과 분석

설계된 전력증폭기의 평균효율을 표1에 제시한다. 제안된 전력증폭기의 평균 효율은 고정 바이어스 전력증폭기의 평균 효율보다 약 2배정도 향상된다.

표 1. 설계된 전력증폭기의 평균 효율

	고정 바이어스 PA	조정 바이어스 PA
V_{DD}	3.5V	Dynamic
V_{DD} 범위	3.5V	1.5V~3.5V
η_{ave}	0.876%	1.695%

그림 12,13은 설계된 전력증폭기의 PAE 특성과 개선율이다.

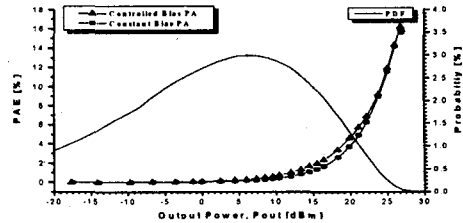


그림 12. 설계된 전력증폭기의 PAE 특성

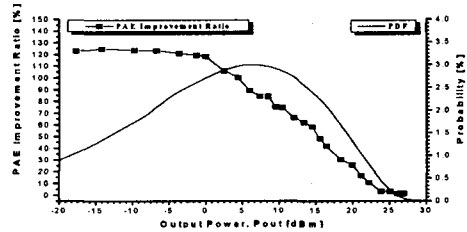


그림 13. 제안된 전력증폭기의 PAE 개선율

6. 결론

이 논문에서는 1.9GHz~2.1GHz 주파수 대역에서 동작하는 A급 RF 전력증폭기의 전력효율을 개선시키기 위하여 드레인 바이어스 조절방식 RF 전력증폭기를 제안한다. 모든 바이어스 조절회로는 범용소자를 사용하여 설계하였다. 실험결과, 제안된 전력증폭기의 평균 효율은 고정 바이어스 전력증폭기에 비해 2배 가량 개선되었다.

참고문헌

- [1] A. A. M. Saleh, D. C. Cox, "Improving the power-added efficiency of FET amplifiers operating with varying-envelope signals," *IEEE Trans. Microwave Theory Tech*, vol. 31, no. 1, pp. 51-56, January 1999.
- [2] 강종필, 이 경우, 민이규, 강정원, 김동현, 이상철, "연속 바이어스 조절을 이용한 A급 RF 전력증폭기 효율 향상에 관한 연구," *마이크로파 및 전파 학술회의 논문집*, vol. 23, no. 2, pp. 358-361, September 2000.
- [3] J. Staudinger, B. Gilsdorf, D. Newman, G. Norris, G.Sadowniczak, R. Sherman, T. Quach, "High efficiency CDMA RF power amplifier using dynamic envelope tracking technique," *IEEE MTT-S Digest*, pp. 873-876, 2000.
- [4] Gary Hanington, Pin-Fan Chen, Peter M. Asbeck, Lawrence E. Larson, "High-efficiency power amplifier using dynamic power-supply voltage for CDMA application," *IEEE Trans. Microwave Theory Tech*, vol. 47, no. 8, pp. 1471-1476, August 1999.
- [5] Alan J. Frazier, Martin K. Kazimierczuk, "DC-AC power inversion using Σ - Δ modulation," *IEEE Trans. Circuits & Systems*, vol. 47, no. 1, pp. 79-82, January 2000.
- [6] Herbert L. Krauss, Charles W. Bostian, Frederick H. Raab, *Solid State Radio Engineering*, New York: Wiley, 1980.