

IMT-2000 시스템의 AAL2/AAL5 변환장치 설계 및 구현

김 대 연, 박 형 준, 장 문 수
한국전자통신연구원
전화 : 042-860-1275 / 핸드폰 : 018-397-5528

Design and Implementation of AAL2/AAL5 Type Conversion Unit for IMT-2000 System

Dae-Yen Kim, Hyeong-Jun Park, Moon-Su Jang
Electronics and Telecommunications Research Institute
E-mail : daeyen@etri.re.kr

Abstract

In this paper, we present the design of AAL2/AAL5 Type conversion Unit using among BSC, BTS, Core-Network in IMT-2000 system.

We first briefly introduce the B-ISDN ATM Adaptation layer specification of Type 2 AAL and Type 5 AAL, and describe conversion flow and each module.

And then this paper has designed AAL2/AAL5 Type Conversion Unit and simulated it.

I. 서론

ITU-T에서 제안하고 있는 차세대 이동통신시스템인 IMT-2000(International Mobile Telecommunication-2000) 시스템은 저속의 음성에서 고속의 이동 멀티미디어 서비스에 이르는 다양한 형태의 서비스를 제공하여야 한다. 이러한 멀티미디어 서비스를 제공하기 위해서는 트래픽 소스의 다양성에 기인하는 것보다는 효율적인 트래픽 제어가 요구되고 있다. 따라서 다양한 트래픽 접속을 위해서는 넓은 대역폭을 갖는 고속의 ATM 기술의 적용이 필수적이며 많은 트래픽 접속을 위해서는 AAL2 형태의 ATM 셀로 접속하는 방식이 3GPP를 중심으로 규격화되어 있다.

또한 시스템 내부는 트래픽 제어 및 처리를 위하여

AAL5 형태의 ATM 셀로 처리하는 것이 효율적이기 때문에 AAL2/AAL5 변환 기술은 이의 구현을 위해 필수 기술이다.

본 논문에서는 IMT-2000 시스템의 기지국과 제어국, 제어국과 핵심망 사이의 정합 장치에 수용되는 AAL2/AAL5 변환장치 설계 및 구현에 관한 것으로 이에 관한 프로토콜 스택, 프로토콜 변환 포맷, 방법 그리고 구현 등에 대하여 기술하였다.

II. ATM 전송(AAL2/AAL5) 기능규격

2.1 IMT-2000 시스템의 구조

그림 1은 IMT-2000 비동기 방식에 대한 UTRAN(UMTS Terrestrial Radio Access Network)의 구조를 보인 것으로 기지국과 제어국간의 논리적인 상호 접속인 Iub 인터페이스, 제어국과 핵심망간의 논리적인 상호 접속인 Iu 인터페이스, 제어국간의 논리적인 상호 접속인 Iur 인터페이스를 통해 AAL2 형태인

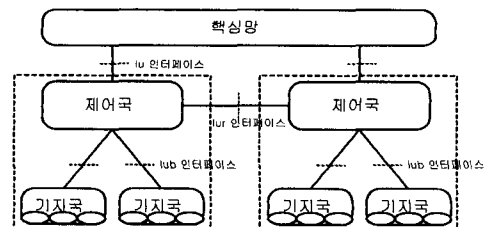


그림 1. IMT-2000 시스템의 구조

ATM 트래픽이 상호 전송된다.

2.2 AAL2 형태의 ATM 셀의 구조

AAL2 형태의 ATM 셀은 Delay에 민감한 Low-Rate, Short and Variable Length 패킷의 전송에 있어서 효율적인 대역폭을 제공하는데 그 목적이 있다.

트래픽 전송에 있어 사용되는 AAL2에 대한 표준안은 그림 2와 같이 AAL2 계층 구조와 CPS(Common Part Sublayer)에 대해 기술된 I.363.2[1]와 SRSSCS(Segmentation and Reassembly Service Specific Convergence Sublayer)에 대해 기술된 I.366.1[2]을 따르게 된다.

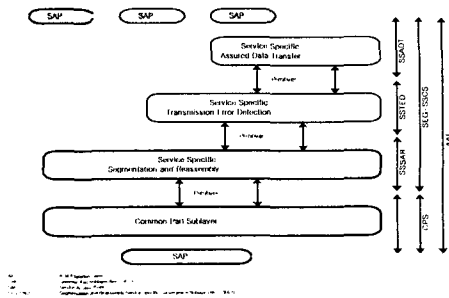


그림 2. AAL2의 계층구조

CPS는 AAL2 채널들의 연속으로서 End-to-end를 기준으로 정의된다. 각각의 AAL2 채널들은 양방향 가상 채널이며 양방향에 동일한 인식값인 CID(Channel Identifier)를 갖으며, SSSC에서 전송되는 SSSC-PDU (Protocol Data Unit)에 헤더를 붙여 그림 3과 같이 CPS 패킷을 만들고, CPS 패킷을 다중화하여 그림 4와 같이 CPS-PDU 페이로드를 만든다. 여기에 헤더를 붙여 CPS-PDU, 즉 ATM-SDU를 만들어 ATM 계층에 전송하게 된다.

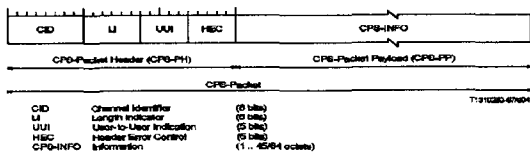


그림 3. AAL2 CPS-Packet의 Format

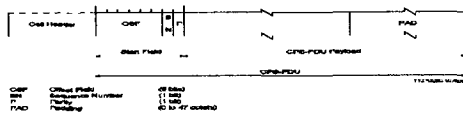


그림 4. AAL2 CPS-PDU의 format

2.3 AAL5 형태의 ATM 셀의 구조

AAL5 형태의 ATM 셀은 고속 데이터를 전송하기

위해 그 필요성이 제기되었는데, AAL3/4와 비슷하지만 그 기능을 크게 간소화하였으며 그림 5와 같이 SAR, CPCS, SSSC의 sublayer의 구조를 가지며, 그 규격은 I.363.5를 따른다[3].

그림 6과 같이 AAL5의 Convergence Sublayer는 레임에 다양한 길이의 PAD와 8-byte의 트레일러를 붙이게 되며, AAL5의 SAR Sublayer는 CPCS로부터 48-octet의 정수배 길이인 가변 길이의 SAR-SDU (Service Data Unit)를 받아 48-octet의 SAR-PDU를 만들어 낸다.

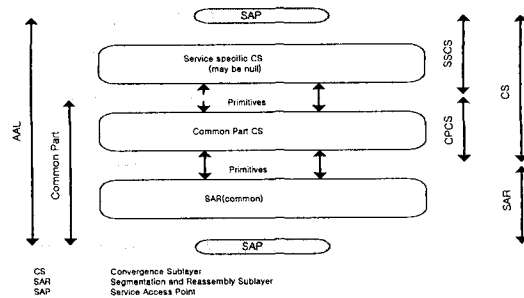


그림 5. AAL5의 계층 구조

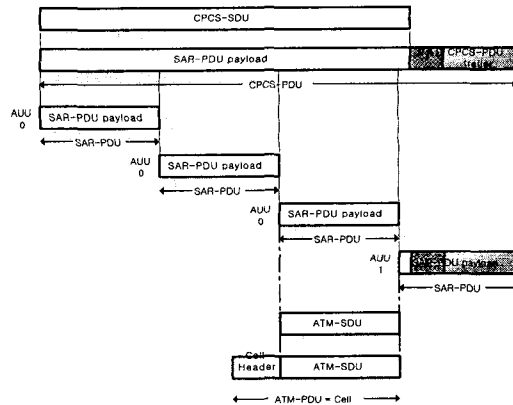


그림 6. AAL5의 PDU Headers, trailers and terminology

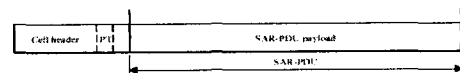


그림 7. AAL5의 SAR-PDU 구조

III. AAL2/5 변환장치 설계

그림 8과 같이 AAL2와 AAL5의 각 계층의 처리 및 VPI(Virtual Path Identifier)/VCI(Virtual Circuit Identifier)/CID(Channel Identifier)의 맵핑을 통해 새로운

채널 정보를 통한 셀 생성으로 변환이 이루어진다.

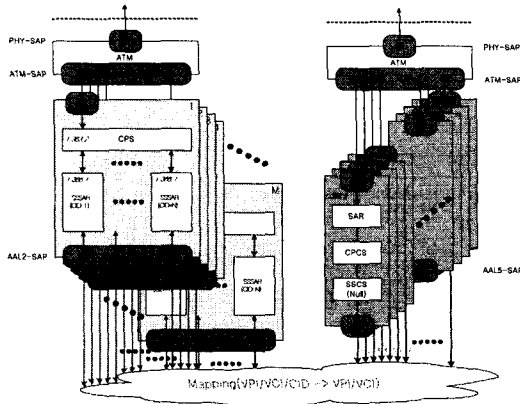


그림 8. AAL2/AAL5 포맷 변환 흐름도

3.1 AAL2/AAL5 변환장치 설계

그림 9와 같이 AAL2 형태의 ATM 셀을 수신하여 AAL5 형태의 ATM 셀로 변환하여 송신하는 수신부와 그 역의 기능을 담당하는 송신부, 내부 처리 제어 및 모니터링 기능을 수행하는 CPU 모듈 인터페이스부로 구성된다.

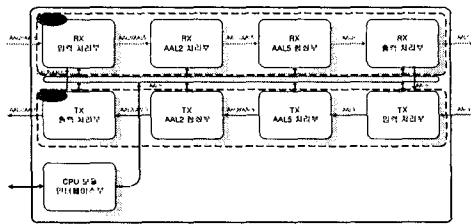


그림 9. AAL2/AAL5 변환장치 블록도

3.1.1 수신부 설계

수신부는 AAL2 형태의 ATM 트래픽을 수신하여 ATM 채널별로 분리하는 역할을 수행하는 RX 입력 처리부와, 분리된 데이터를 통해 각 패킷별로 분리하여 저장, 새로운 데이터를 생성하는 RX AAL2 처리부, ATM 셀의 채널과 각 패킷의 채널의 조합으로 분리된 데이터를 AAL5 형태의 ATM 셀로 생성하기 위한 RX AAL5 합성부, 그 셀의 송신을 담당하는 RX 출력 처리부로 구성되며 그림 10과 같다.

RX 입력 처리부는 UTOPIA 인터페이스부, 셀 중계 처리부, ATM 헤더 변환부로 구성되며, AAL2 형태의 ATM 셀을 UTOPIA 인터페이스를 통해 데이터를 수신하는 UTOPIA 인터페이스부와 ATM 헤더의 VPI/VCI를 변환하는 ATM 헤더 변환부, 수신된 셀에 헤더변환을 반영하여 다음 블록으로 정보를 넘기기 위한 메모리가 포함된 셀 중계 처리부로 구성된다.

RX AAL2 처리부는 각 패킷헤더의 오류를 체크하고,

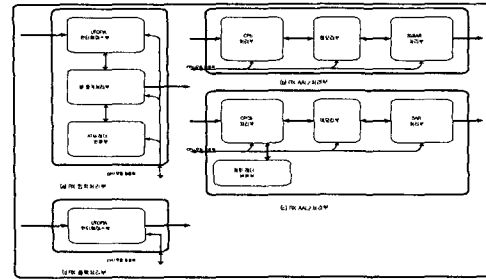


그림 10. 수신부(RX) 블록도

패킷헤더의 채널 정보를 참조하여 패킷을 분리시켜 필요한 헤더정보와 페이로드를 메모리부에 저장하는 CPS 처리부와 각 패킷헤더의 정보를 임시저장, SSSAR 부로 넘기기 위한 필요한 헤더 정보 저장, 각 페이로드 저장을 담당하는 메모리부, 각 패킷 헤더의 CID별로 페이로드를 분리하여 다음 블록으로 정보를 넘기기 위한 메모리가 포함된 SSSAR 처리부로 구성된다.

RX AAL5 합성부는 ATM 헤더의 VPI/VCI를 변환한 값과 각 패킷 헤더의 CID값의 조합을 새로운 ATM 헤더의 VPI/VCI값을 위해 변환하는 패킷 헤더 변환부와 패킷 헤더 변환 정보와 그 변환 채널별로 패킷들을 분리, 필요한 정보와 함께 메모리부에 저장하는 CPCS 처리부, 패킷페이로드 저장, CPCS 처리부에서 필요한 정보를 임시 저장, 새로운 셀을 생성하기 위해 처리된 정보의 저장을 담당하는 메모리부와 새로운 ATM 헤더, 페이로드를 생성하여 AAL5 형태의 ATM 셀을 생성하는 SAR 처리부로 구성된다.

RX 출력 처리부는 외부와 UTOPIA 인터페이스를 통해 완성된 AAL5 형태의 ATM 셀을 송신하는 UTOPIA 인터페이스부로 구성된다.

3.1.2 송신부 설계

TX부는 AAL5 형태의 ATM 트래픽을 수신하여 헤더 변환의 역할을 수행하는 TX 입력 처리부와, 각 헤더의 채널 정보별로 분리하여 저장하여 AAL5의 처리를 담당하는 TX AAL5 처리부, 분리된 데이터와 새로운 헤더 정보를 이용하여 AAL2 형태의 ATM 셀로 생성하기 위한 TX AAL2 합성부, 그 셀의 송신을 담당하는 TX 출력 처리부로 구성되며, 그림 11과 같다.

TX 입력 처리부는 UTOPIA 인터페이스부, 셀 중계 처리부, ATM 헤더 변환부로 구성되며, AAL5 형태의 ATM 셀을 UTOPIA 인터페이스를 통해 데이터를 수신하는 UTOPIA 인터페이스부와 ATM 헤더의 VPI/VCI를 새로운 VPI/VCI/CID로 변환하는 ATM 헤더 변환부, 수신된 셀에 헤더변환을 반영하여 다음 블록으로 정보를 넘기기 위한 메모리가 포함된 셀 중계 처리부로 구성된다.

TX AAL5 처리부는 입력되는 셀을 채널정보로 분리하여 AAL5 처리 정보와 페이로드를 메모리부에 저

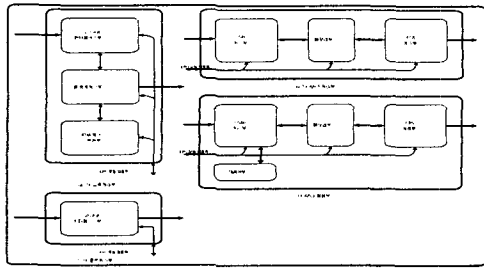


그림 11. 송신부(TX) 블록도

장하는 SAR처리부와, CPCS 처리부로 넘기기 위한 필요한 채널 정보 저장, 각 페이로드 저장을 담당하는 메모리부, 각 채널 정보별로 페이로드를 분리하여 다음 블록으로 정보를 넘기기 위한 메모리가 포함된 CPCS 처리부로 구성된다.

TX AAL2 합성부는 셀의 입력의 지연 시간의 체크하여 현재 진행된 페이로드를 통해 셀의 완성의 진행을 이루기 위한 TIMER부와 같은 VPI/VCI 정보를 이루는 셀간의 분리를 통해 셀의 다중화를 이루기 위해 필요한 정보와 함께 메모리부에 저장하는 SSSAR 처리부, 페이로드 저장, CPS 처리부에서 필요한 정보를 임시 저장, 새로운 셀을 생성하기 위해 처리된 정보의 저장을 담당하는 메모리부와 새로운 ATM 헤더, 페이로드를 생성하여 AAL2 형태의 ATM 셀을 생성하는 CPS 처리부로 구성된다.

TX출력 처리부는 외부와 UTOPIA 인터페이스를 통해 완성된 AAL2 형태의 ATM 셀을 송신하는 UTOPIA 인터페이스부로 구성된다.

3.1.3 CPU 모듈 인터페이스부 설계

내부 제어를 위해 레지스터들을 액세스하게 되며, 상태 오류를 감지하여 CPU모듈에 보고를 하게 된다.

3.2 AAL2/AAL5 변환장치의 실장 예

그림 12와 같이 기지국과의 정합장치에 실장됨으로써 AAL2/AAL5의 변환 기능을 담당하게 된다.

3.3 설계 환경 및 시뮬레이션 결과

3.3.1 설계 환경

대부분의 Design Capture는 Mentor사의 Renoir 툴을 사용하여 코딩이 진행되었으며 target device xilinx의 FOUNDATION2.1i을 사용하여 synthesis를 진행하였으며, 대부분의 시뮬레이션은 Mentor사의 ModelSim을 사용하였다.

3.3.2 시뮬레이션 결과

입력은 C program상에서 test vector를 생성하여 적용하였고, 동작 클럭은 25MHz이다[그림 13 참조].

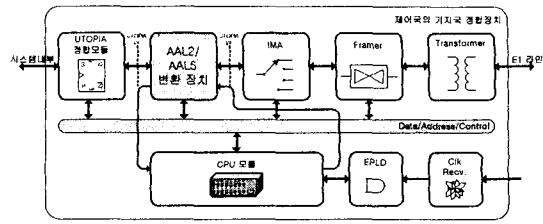


그림 12. AAL2/AAL5장치의 제어국 실장예

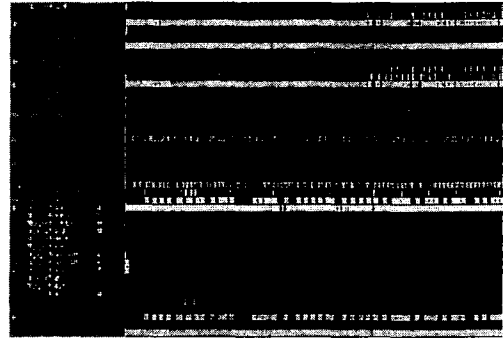


그림 13. 시뮬레이션 결과

V. 결론

본 논문에서는 AAL2/AAL5 변환장치를 IMT-2000 시스템에 적용하여 효율적인 트래픽 제어와 방대한 트래픽을 접속할 수 있도록 하는 AAL2/AAL5 변환장치를 구현하였다.

본 논문에서는 기지국, 제어국, 그리고 핵심망사이의 정합장치에 수용되는 AAL2/AAL5 변환장치에 관한 것으로서, AAL2와 AAL5 형태의 각 계층을 분석하여, 채널 정보 맵핑 등을 통해 상호 변환을 설계, 구현하였으며, 이를 시뮬레이션을 통하여 트래픽의 처리 성능 특성이 향상됨을 검증하였다.

참고문헌

- [1] ITU-T Recommendation. I.363.2, "B-ISDN ATM Adaptation layer specification: Type 2 AAL," 1997. 09.
- [2] ITU-T Recommendation. I.366.1, "Segmentation and Reassembly Service Specific Convergence Sublayer for the AAL Type 2," 1998. 06.
- [3] ITU-T Recommendation. I.363.5, "B-ISDN ATM Adaptation layer specification: Type 5 AAL," 1996. 08.
- [4] 3G TS 25.401, "UTRAN Overall Description", 1999