

QPSK 복조기를 위한 반송파 복구 회로 설계

하 창 우, 김 형 균, 김 환 용
원광대학교 전자공학과

전화 : 063-850-6740 / 핸드폰 : 016-683-4329

Design of Carrier Recovery Loop for QPSK Demodulator

*Chang Woo Ha, Hyeoung Kyun Kim, Hwan Yong Kim

* Department of Electronics Engineering, Wonkwang University

*hacw305@yahoo.co.kr

Abstract

In order to resolve problems according to the phase error in QPSK demodulator of the digital communication systems. The demodulator requires carrier recovery loop which searches for the frequency and phase of the carrier.

In this paper the complexity of implementation is reduced by the reduction into half of the number of the multiplier in filter structure of the conventional carrier recovery loop, and as the drawback of NCO of the conventional carrier recovery loop wastes a amount of power for the structure of lookup table, We designed the structure of combinational logic without the lookup table. In the comparison with dynamic power of the proposed NCO, the power of NCO with the lookup table is 175 μ W, NCO with the proposed structure is 24.65 μ W. As the result, it is recognized that about one eight of loss power is reduced. In the simulation of carrier recovery loop designed QPSK demodulator, it is known that the carrier phase is compensated.

곱해진 형태로 변하게 된다.[1] 따라서 복조된 심벌은 복소 평면상에서 변복조단의 위상차 θ 만큼 회전하게 된다. 복구된 신호의 정상도(constellation)의 회전으로 인해 수신된 심벌이 결정 구간의 경계를 지날 때마다 에러를 발생시킨다. 일단 정상도가 회전한다면 수신단 측에서는 정확한 정상도를 구별할 수가 없다.[2] 특히 위상에 정보를 가지는 QPSK 복조기의 경우는 정확한 위상동기는 필수적이다.[3] 본 논문에서는 기존 반송파 복구 회로의 필터 구조에서의 곱셈기 수를 반으로 줄여서 구현의 복잡도를 줄일 수 있었고, 기존 반송파 복구 회로의 NCO는 lookup table을 갖는 구조로 되어있어 전력 소모가 큰 단점을 가지므로 lookup table을 사용하지 않는 조합 회로의 구조로 설계하여 전력소모를 줄일 수 있었다. 설계한 반송파 복구 회로를 사용하여 위상 오차에 따른 문제점을 극복하여 반송파 위상 보정을 모의실험을 통해 확인했다. 본 논문의 구성은 다음과 같다. 2 절은 QPSK 복조기의 반송파 복구 회로에 대해 설명한다. 3 절에서는 회로의 설계 및 모의실험에 대해 기술하고 4 절에서는 모의실험 결과를 분석하고 결론을 맺는다.

I. 서 론

디지털 무선통신의 복조단에서 일반적으로 사용되고 있는 동기 검파 방식의 복조기에서 복소 신호의 전송시 송신단과 수신단 사이의 반송파 위상이 동기 되지 않아서 위상차 θ 가 발생하면 복조된 복소심벌은 원래의 전송 신호에 $e^{j\theta}$ 가

II. QPSK 복조기의 반송파 복구 회로

QPSK 복조기에 입력되는 위상오차가 포함된 신호는 반송파 복구 회로와 Timing 복구 회로를 통해 위상 오차를 극복하여 복조기의 출력으로 내보낸다.[4] QPSK 복조기의 반송파 복구 회로는 위상 제어 루프(Phase Locked loop: PLL)

를 이용하여 구성한다.[45] PLL은 곱셈기(multiplier), 루프 필터(loop filter), 암 필터(Arm filter), 정합필터(matched filter), NCO(Numerically controlled oscillator)로 구성된다. QPSK 복조기의 반송과 복구 회로 구조는 그림 1과 같다.

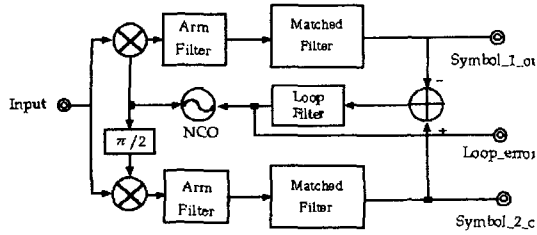


그림 1. 반송과 복구 회로 구조

1. Arm 필터, Matched 필터 구조

기존 필터구조는 M 개의 계수 값에 해당하는 M 개의 곱셈기가 필요하다. 곱셈기의 면적이 크기 때문에 Chip 면적을 많이 차지한다. 따라서 본 논문에서 설계한 필터는 곱셈기의 수를 반으로 줄인 구조로 설계했다. 기존의 필터의 구조는 그림 2와 같다.

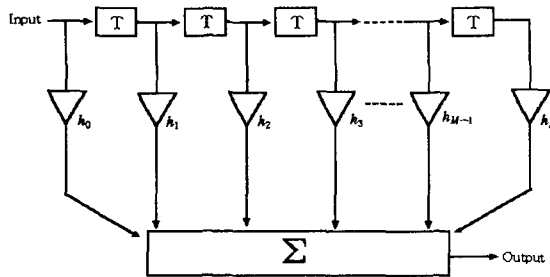


그림 2. 기존의 필터 구조

곱셈기 수를 반으로 줄인 구조는 그림 3과 같다.

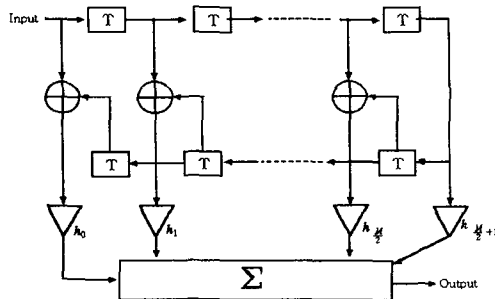


그림 3. 설계한 필터 구조

2. Loop 필터 구조

실제 시스템에서는 위상 에러뿐만 아니라 주파수 에러도 동시에 존재한다. 따라서 주파수 에러를 tracking 하기 위해서는 루프 필터를 사용하여야 한다. 루프 필터를 사용하면 주파수 offset을 추적 가능하게 할뿐만 아니라 검출 에러의 가중 평균을 출력함으로써 잡음도 제거하는 효과를 가진다. 설계한 루프 필터 구조는 그림 4와 같다.

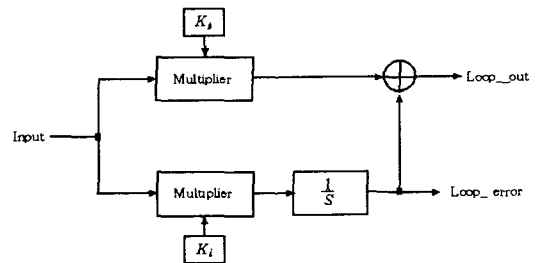


그림 4. 루프 필터 구조

루프 필터의 시스템 함수를 수학적으로 표현하면 식(1)과 같다.

$$F(Z) = \frac{K_p + K_i}{(1 - Z^{-1})} \tag{1}$$

계수 값 K_p 와 K_i 의 수학적 표현은 식(2)와 같다.

$$K_p = (4B / (1 + (1/4\sqrt{f}))) / \text{Gain}$$

$$K_i = \sqrt{(2B / (f + (1/4f)))} / \text{Gain} \tag{2}$$

B : 정규화된 loop bandwidth
 f : damping factor

반송과 복구 회로에서 루프 필터의 계수 값은 위상 추적 범위의 증가와 감소로 인한 잡음과 trade-off의 관계를 결정한다. 루프 필터의 계수 값 K_p 와 K_i 의 최적 조합을 결정하는 시뮬레이션 결과는 K_p 의 값이 크게되면 빨리 수렴하게 되는 장점은 있으나, 수렴한 후 에러에 지터(jitter)현상이 발생하게 되고, K_p 값이 작은 경우는 수렴 후 에러의 지터는 작아지나 수렴하는 속도는 느려지는 단점을 갖는다.

따라서 최종적인 시뮬레이션 결과 $K_p=0.000163096$ 와 $K_i=0.000000082$ 가 가장 적절하다고 판단했다.

3. NCO 구조

기존 반송과 복구 회로의 NCO는 lookup table을 갖는 구조로 되어있어 전력 소모가 큰 단점을 가지고 있다. 기존 반송과 복구 회로의 NCO 구조는 그림 5와 같다.

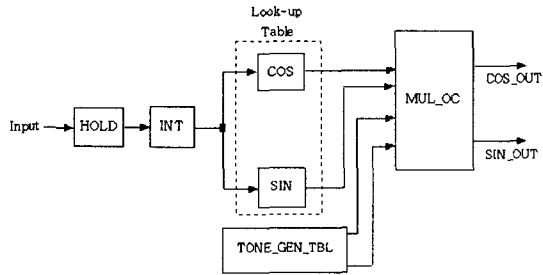


그림 5 기존 NCO 구조

저 전력 구조로 설계하기 위해 lookup table을 사용하지 않는 새로운 구조의 NCO로 설계했다. NCO 입력신호의 위상 오차 $\Delta\theta \cong 0$ 이라고 가정한다면

$$\cos\Delta\theta + j\sin\Delta\theta \cong 1 + j\Delta\theta \quad (3)$$

라고 표현할 수 있다. NCO는 NCO 자체에 있는 기준 위상에 loop filter의 출력인 위상 오차를 더하여 발전하며 식 (4)와 같이 나타낼 수 있다.

$$\begin{aligned} & (\cos\theta + j\sin\theta)(\cos\Delta\theta + j\sin\Delta\theta) \\ &= (\cos\theta \cdot \cos\Delta\theta - \sin\theta \cdot \sin\Delta\theta) + j(\sin\Delta\theta \cdot \cos\theta + \cos\Delta\theta \cdot \sin\theta) \\ &\cong (\cos\theta - \Delta\theta \cdot \sin\theta) + j(\Delta\theta \cdot \cos\theta + \sin\theta) \\ &= \Delta\theta(-\sin\theta + j\cos\theta) + (\cos\theta + j\sin\theta) \end{aligned} \quad (4)$$

정규화를 위해 양변에 제곱을 취하고 Taylor 공식을 이용하여 식 (5)와 같이 실제 정규화 된 식으로 표현 할 수 있다.

$$\begin{aligned} \frac{1}{\sqrt{1+(\Delta\theta)^2}} &= f_n(\Delta\theta) \\ &= f(0) + f'(0)\Delta\theta + \frac{f''(0)}{2!}(\Delta\theta)^2 + \dots \\ &\quad + \frac{f^{(n)}(0)}{n!}(\Delta\theta)^n \end{aligned}$$

$$\cong 1 - \frac{1}{2}(\Delta\theta)^2 \quad (5)$$

따라서 식(4)와 식(5)에 의해 lookup table을 사용하지 않는 NCO를 구현할 수 있으며 제안된 lookup table을 갖지 않는 새로운 NCO의 구조는 그림 6과 같다.

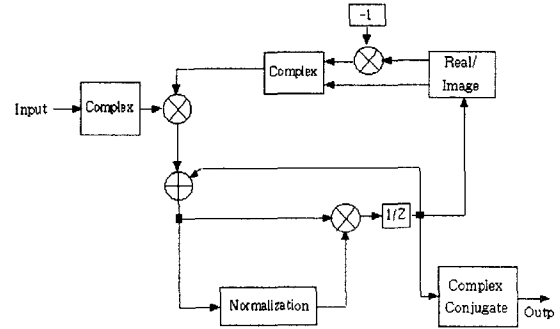


그림 6. 제안된 NCO 구조

III. 설계 및 모의실험

Cossap tool을 이용해서 QPSK 복조기의 반송과 복구 회로를 floating point로 설계한 후 fixed point로 설계했다. fixed point로 설계한 반송과 복구 회로의 각 블록별 입, 출력 비트는 곱셈기는 입력 6비트 출력 7비트이고 루프 필터는 입력 8비트 출력 15비트이며 지역 필터는 입력 10비트 출력 8비트이고 정합필터는 입력 8비트 출력 8비트이다. fixed point로 설계한 회로의 모의실험 결과를 통해 성능 분석을 확인한 후 Cadence tool을 이용하여 4mm x 4mm 0.6μm 2 poly 3 metal CMOS 80-QFP full custom으로 설계했다. 전체 Chip의 입력은 6비트이고 출력은 34비트이다. Cadence tool을 이용한 반송과 복구 회로는 그림 7과 같다.

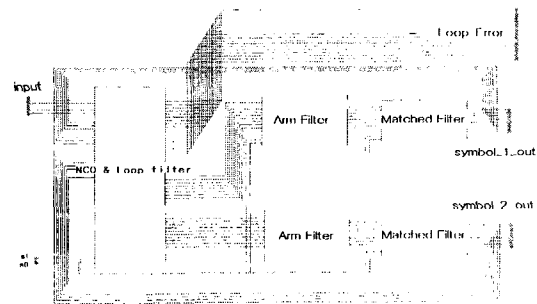


그림 7. 반송과 복구 회로

설계한 반송과 복구 회로의 레이아웃은 그림 8과 같다.

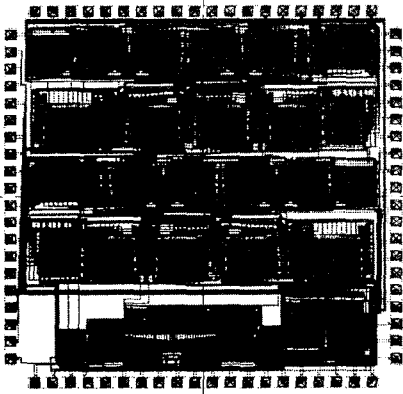


그림 8. 반송과 복구 회로의 레이아웃

설계한 QPSK 복조기의 반송과 복구 회로의 Cossap tool을 이용한 모의실험 모델은 그림 9과 같다.

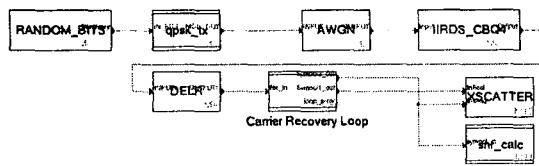


그림 9. 모의실험 모델

모의실험을 위해서 그림 10과 같이 반송과 복구회로의 초기 위상오차를 45°로 설정하였고 이러한 위상 오차성분을 반송과 복구회로를 통과면서 본래의 신호 성좌로 돌려지게 되는 결과를 확인했다. 모의실험 결과는 그림 11과 같다.

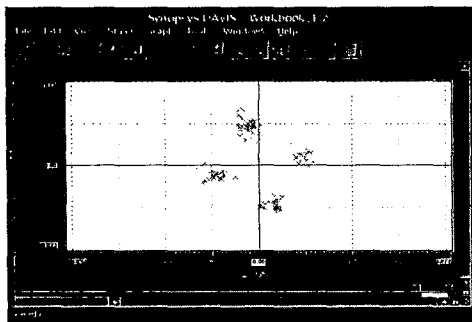


그림 10. 반송과 복구 회로의 초기 위상

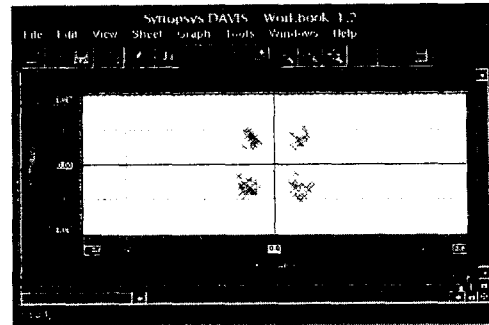


그림 11. 반송과 복구 회로 출력 결과

IV. 결 론

QPSK 복조기에서 복조 신호의 전송시 반송과 위상이 동기 되지 않아서 위상 차가 발생을 하면 신호의 정상도가 위상 차만큼 회전하게 된다. 이러한 위상 오차의 보정을 위해 반송과 복구 회로가 필요하다. 본 논문에서는 기존 반송과 복구 회로의 필터 구조에서의 곱셈기 수를 반으로 줄여서 구현의 복잡도를 줄일 수 있었고, 기존 반송과 복구 회로의 NCO는 lookup table을 갖는 구조로 되어있어 전력 소모가 큰 단점을 lookup table을 사용하지 않는 조합회로의 구조로 설계하였다. 제안된 NCO의 전력을 비교하면 lookup table을 사용한 NCO의 경우 175μW이고 새로운 구조의 NCO는 24.65μW의 결과로 약 1/8의 전력 소모의 감소를 확인했다. 설계한 반송과 복구회로의 모의 실험을 통해 위상오차의 보정 결과를 확인했다.

참 고 문 헌

- [1] E. A. Lee and D. G. Messerschmitt, "Digital Communication", 2nd Edition, KAP, Boston, 1994.
- [2] Dan Wolaver, "Phase-Locked Loop Circuit Design", Prentice Hall, 1991.
- [3] A.J Viterbi and A.M Viterbi, "Nonlinear estimation of PSK modulation carrier phase with application to burst digital communication", IEEE Trans Info. Theory, vol. IT-32, July 1983.
- [4] F. M. Gardner, "Phase Lock Techniques," John Wiley and Sons, 1979.
- [5] B. Sklar, Digital Communications: Fundamentals and Applications, Prentice Hall, 1988.