

2.5V, 2.4GHz CMOS 저잡음 증폭기의 설계

황 영 식(黃榮植), 장 대 석(張大錫), 정 웅(鄭雄)

동국대학교 반도체과학과 대학원

전화 : (02) 2272-0344 / 팩스 : (02) 2272-0344

Design of a 2.5V 2.4GHz Single-Ended CMOS Low Noise Amplifier

Young Sik Hwang, Dae Seok Jang and Woong Jung

Graduate School of Semiconductor Science, Dongguk University

E-mail : windhys@dgu.ac.kr

Abstract

A 2.4 GHz single ended two stage low noise amplifier(LNA) is designed for Bluetooth application. The circuit was implemented in a standard digital 0.25 μm CMOS process with one poly and five metal layers. At 2.4 GHz, the LNA dissipates 34.5 mW from a 2.5V power supply voltage and provides 24.6 dB power gain, 2.85 dB minimum noise figure, -66.3 dB reverse isolation, and an output 1-dB compression level of 8.5 dBm.

지게 되는데 이는 RF 회로의 수동소자를 집적하게 되면 기판의 기생성분에 의해 전자기파의 손실이 일어나게 된다. 그래서 본 논문에서는 인덕터와 같은 수동소자를 기판과 상호작용하지 않게 레이아웃하고 EM 시뮬레이션을 반복하여 요구하는 인덕턴스 값을 최적화 시켜서 설계하였다[1]. 수신기의 처음에 위치하면서 전체 NF(noise figure)에 가장 큰 영향을 미치는 LNA를 Cascode 구조를 사용하여 이득을 크게 설계함으로써 수신기 전체의 성능을 향상시킬 수 있음을 보였다.

I. 서론

최근에 CMOS 소자의 공정이 발달함에 따라 게이트 폭이 줄어들면서 상대적으로 동작주파수가 늘어나게 됨으로 인해 L-Band, S-Band에서도 CMOS 소자를 사용할 수 있게 됨에 따라서 높은 공정비용이 드는 화합물 반도체 대신에 상대적으로 저가의 비용이 드는 CMOS 소자를 이용할 수 있게 되었다. 따라서 정보통신 시장의 급속한 발전과 더불어 통신기기의 대중화 경향에 맞게 CMOS 소자로서 RF(Radio Frequency) 전단부의 LNA(Low Noise Amplifier), MIXER 등을 저주파 아날로그, 디지털 회로와 단일 칩 구성에 관한 연구가 활발히 이루어지고 있다. 그런데 CMOS 회로는 Latch up을 방지하려고 기판이 높은 전도도를 가

II. 나선형 인덕터의 설계

나선형 인덕터는 고주파에서 금속 표면 쪽으로 전류가 흘러 직렬 저항값이 직류 저항 값보다 커지게 되어서 인덕터에서 자기에너지를 저장하지 못하고 소비하게 된다. 또 전도성 기판 위에 만들어지므로 인해 인덕터와 기판 사이에 전자기적인 상호작용으로 인한 Eddy Current 등으로 인해 전체회로에 큰 영향을 미치는 전자기파 손실이 일어나게 된다[2]. 이러한 여러 가지 기생성분들로 인해 낮은 Quality Factor를 가지게 되는데 그 동안 Quality Factor를 높이기 위해 고저항 기판을 사용하거나 인덕터가 위치하는 기판을 선택적으로 구멍을 만들어 Eddy Current로 인한 손실을 줄이거나 또 금속선의 두께를 조절하여 직렬저항에 의한 손실을 줄이는 등 여러 가지 방법들이 연구되어 왔

다. 본 논문에서는 다른 공정보다는 기판과 금속간에 높이가 조금 더 높아서 기생 Capacitance가 작고, 추가의 공정이 필요 없이 기판과의 상호작용을 줄일 수 있는 인덕터 밑에 Ground Layer를 불연속적으로 그려서 설계하였다 [1]. 정확한 인덕턴스 값을 얻기 위하여 경험적인 식[1]을 통하여 금속선의 폭과 금속간의 거리를 결정하였다[2].

$$L \approx 1.3 \times 10^{-7} \frac{A^{\frac{5}{3}}}{A^{\frac{1}{6}}_{total} \cdot W^{1.75} \cdot (W+S)^{0.25}} \quad (1)$$

여기에서 A_{total} 는 인덕터 전체의 면적이고 A_m 은 금속선의 면적, W 는 선폭, S 는 금속간의 거리를 나타낸다. 위 식에서 나온 결과를 이용하여 설계한 Layout 정보를 가지고 기판과 여러 금속 등의 기하학적, 물리학적 정보를 EM 시뮬레이터에 입력하여 S-parameter를 추출하였다. 추출된 S-parameter와 그림 [1]의 등가모형을 이용하여 Fitting 과정을 반복하여 최적화 시켰다.

그림 [1]의 인덕터 등가회로가 증폭기의 동작주파수까지는 S-parameter가 잘 일치하지만 3 GHz 이상에서는 여러 고주파 효과들로 인해서 오차가 더 커지게 된다. 금속선의 폭이 15um 이고 금속사이의 거리가 3um 이고 3 turn 인 인덕터의 최적화 된 값을 표 [1]에 나타내었다.

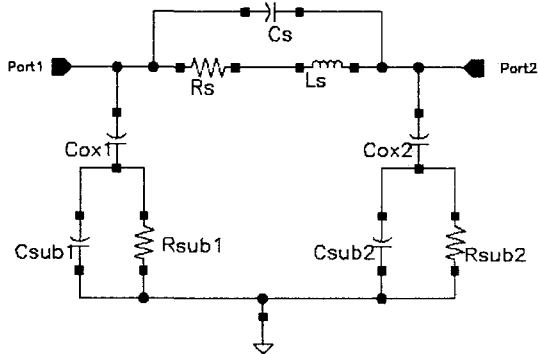


그림 1. 인덕터의 등가 회로

Ls	Rs	Cs	Cox1	Cox2	Csub1	Csub	Rsub1	Rsub
(nH)	(Ω)	(fF)	(fF)	(fF)	(fF)	2(fF)	(Ω)	2(Ω)
4.1	13	6.2	378	192	219	110	500	400

표 1. 등가모델 추출값

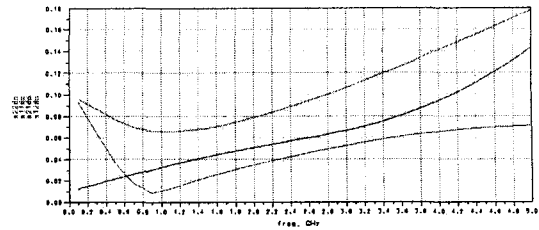


그림 2. Fitting Error의 크기

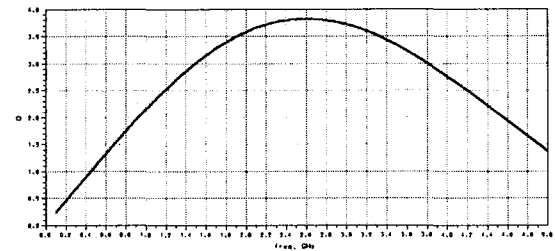


그림 3. 인덕터의 Quality Factor

EM 시뮬레이션을 통하여 추출한 S-parameter와 등가 모델에서 추출한 S-parameter의 상대오차를 그림 [2]에 Quality Factor를 그림 [3]에 나타내었다.

III. CMOS LNA의 설계

그림 [4]에 설계한 LNA를 보면 입력단 M1과 Cascode로 연결된 Common Gate 구조의 M2 그리고 충분한 이득을 얻기 위해 Cascade로 연결된 Common Source Stage M3로 구성되어 있다.

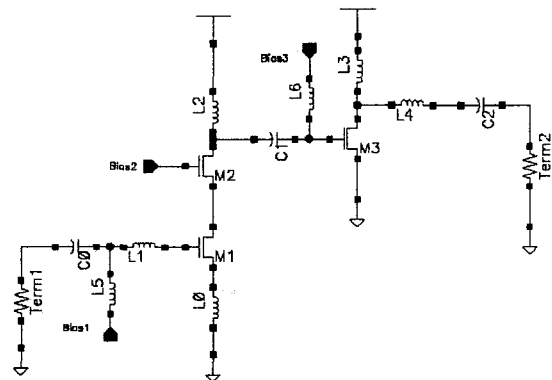


그림 4. 저잡음 증폭기의 구조

보통 LNA 전단에 위치하게 되는 Passive Filter의 성능이 LNA의 입력단의 정합회로에 의해 크게 영향을 받게 되므로 Noise 특성과 입력정합회로 특성이 가장 좋은 인덕터 Degeneration을 이용하여 입력정합회로를 구성하였다. 그림 [5] 에 입출력 정합 시뮬레이션 결과를 보여주고 있다. Common Source 증폭단인 M1의 gm (Transconductance parameter)값이 커지면 Noise Factor가 작아지게 되는데 큰 gm 값을 얻으려면 전류를 많이 소모해야 하므로 적절한 gm 값을 유지해야 한다. 본 논문에 쓰여진 M1도 전력소모가 제한되는 경우에 최소의 NF를 얻을 수 있는 최적화 된 Gate Width로 설계되어졌다[2]. 그리고 Cascode Device인 M2는 부가적인 잡음원이 되기는 하지만 M1의 Drain과 M2의 Source를 Couple 시킨 형태로 레이아웃하여 기생 Capacitance를 줄여서 부가 잡음원에 의한 영향을 줄일 수 있다[3]. 또 Cascode 구조로 설계하게 되면 M2의 작은 C_{ds} 값으로 인해 Mixer로부터 나오는 LO(Local Oscillator)의 신호가 LNA 입력단으로 Feedthrough 되는 것을 최소화 할 수 있고 Reverse Isolation을 높여 LNA가 안정적으로 동작할 수 있게 하여 준다. 또 이 구조는 고주파 증폭기에서 나타나

는 Miller 효과에 의해 입력 RF 신호가 출력쪽으로 손실되는 것을 줄여준다. 수신기의 처음에 위치하는 LNA의 NF와 이득이 수신기 전체의 NF에 가장 큰 영향을 주므로 높은 이득을 얻기 위하여 M3의 바이어스를 적절하게 줄 수 있도록 Coupling Capacitor C1을 연결하였고 출력단의 L4 인덕터는 출력단의 50Ω 부하를 구동하기 위해 정합용으로 쓰여졌다. 그림 [7]에 주파수에 따른 이득 곡선을 나타내었고 그림 [8]에 설계한 LNA의 Layout을 보여 주고 있다.

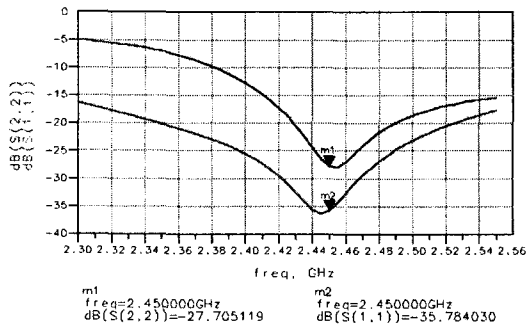


그림 5. 동작주파수에서의 입출력 정합특성

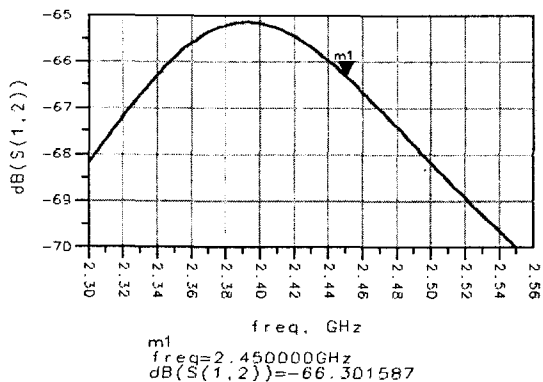


그림 6. S12

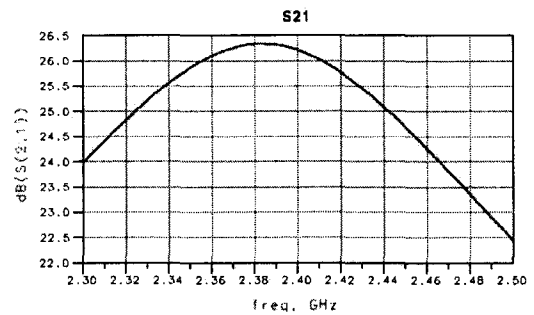


그림 7. LNA의 Gain

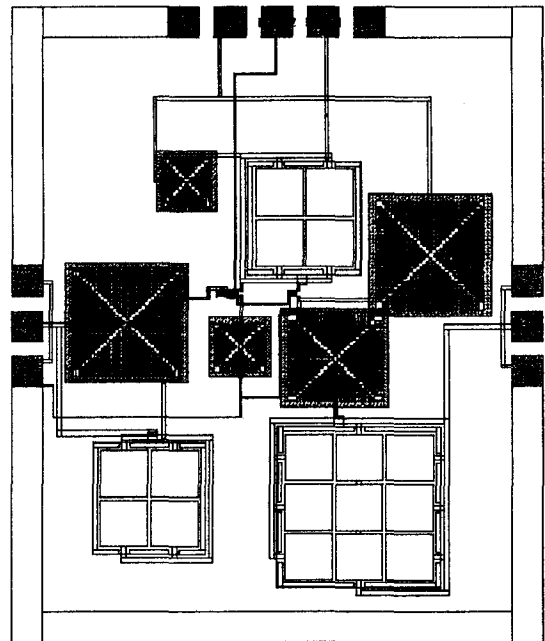


그림 8. LNA의 Layout

IV. 결과 및 고찰

모델링 된 값들을 선형시뮬레이터에 포함시켜 시뮬레이션 하여 나온 결과를 표 [2] 에 나타내었고 그림 [8]에 LNA의 이득을 시뮬레이션 한 결과를 나타내었다. 그리고 LNA의 NF는 BSIM3 모델을 사용하여 시뮬레이션 했기 때문에 이 모델에서는 고주파에서의 Hot Carrier Effect 나 Shot-Channel effect 등은 고려하고 있지 않기 때문에 실제 측정시 나타나는 값과 차이가 있을 것으로 예측된다[6]. Two stage 저 잡음 증폭기를 사용하고 임출력정합을 적절히 설계함으로써 높은 이득을 얻어 수신기의 다른 블록의 잡음 여유를 크게 가져갈 수 있음을 보였다.

Supply voltage	2.5 V
Power dissipation	34.5 mW
NFmin	2.85 dB
S21	24.6 dB
S12	-66.3 dB
1 dB compression level(output)	8.5 dBm

표. 2 LNA의 시뮬레이션 결과

참고 문헌

[1] C. Yue and S. Wong, "On-chip spiral inductors with patterned ground shields for Si-based RF IC's", in *symp. VLSI Circuits Dig. Tech. Papers*, June 1997, pp. 85-86.

[2] Behzad Razavi, "RF Microelectronics", Prentice Hall PTR, 1998.

[3] Tomas H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge, 1998.

[4] Derek K. Shaeffer and Thomas H. Lee, "A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier", *IEEE J. Solid-State Circuit*, vol. 32, pp.745-759, May. 1997.

[5] J. R Long and M. A Copeland, "The modeling, characterization, and design of monolithic inductors for silicon RF IC's," *IEEE J. Solid-State Circuits*, vol. 32, pp. 357-369, Mar 1997.

[6] Jianjun J. Zhou, "Monolithic Transformers and Their Application in a Differential CMOS RF Low-Noise Amplifier", *IEEE J. Solid-State Circuits*, vol. 33, No. 12, December 1998.

- 정보통신부에서 지원하는
대학기초연구지원사업으로 수행