

빠른 Acquisition 시간을 위한 Band-Selective CPPLL

류상하, 김제완, 김수원

고려대학교 전자공학과 ASIC 설계 연구실

전화 : (02) 923-2081 / 팩스 : (02) 928-1216

A Band-Selective CPPLL for Fast Acquisition time

Sang-Ha Ryu, Jae-Wan Kim, and Soo-Won Kim

ASIC Design Lab., Department of Electronics Engineering, Korea University,

5-1, Anam-Dong, Seongbuk-ku, Seoul, 136-701, Korea

E-mail : ryu@asic.korea.ac.kr

Abstract

This paper describes a Band-Selective Charge-Pump PLL(CPPLL) for clock recovery and clock generator. The proposed PLL satisfies fast acquisition time and low jitter characteristics simultaneously by reducing initial frequency error. The acquisition time of the designed Band-Selective CPPLL can be decreased down to 55% of a conventional CPPLL.

I. 서론

본 논문에서는 현재 가장 많이 사용되고 있는 CPPLL을 이용하여 클럭 복원기와 클럭 발생기를 설계한다. 클럭 복원기나 발생기에서 사용되어지는 PLL은 빠른 Acquisition 시간과 낮은 jitter 특성을 가져야 하는데, 실제로 사용되어지고 있는 CPPLL은 두 가지 특성에 대하여 상반관계를 가지며, PLL의 대역폭에 따라 특성이 결정되어진다. 즉, acquisition 시간을 줄이기 위해 대역폭을 증가시키게 되면, jitter 특성은 나빠지게 된다.[1][2]

기존의 CPPLL은 아래와 같은 식으로 acquisition 시간의 특성을 나타낼 수 있다.[1]

$$T_{acq} \approx \frac{(\Delta\omega/K_L)^2 - 1}{\omega_2} \quad (1)$$

여기서, K_L 은 PLL전체의 루프 이득(PLL의 대역폭)을 나타내며, ω_2 는 루프 필터에 의해 만들어지는 제로(zero)의 주파수를 나타낸다. $\Delta\omega$ 는 초기 주파수 차이

를 나타내는 것으로 VCO가 초기에 잡혀있는 주파수 값과 PLL이 lock 되었을 때, VCO가 가지는 주파수의 차이를 나타내는 값이다. 수식(1)에 의하면 acquisition time은 초기 주파수 차이($\Delta\omega$)가 작을수록, PLL 루프 이득(K_L)이 커질수록 빨라짐을 알 수 있다. 하지만, 큰 PLL 루프 이득은 입력 jitter 특성을 나쁘게 만든다. 따라서, acquisition 시간과 입력 jitter의 성능 모두를 좋게 해 줄 수 없다는 문제점이 있다.

이러한 문제점을 해결하기 위한 방법중에서 대표적으로 adaptive PLL[4]과 AGPLL(adaptive gear-shifting PLL)[5]이 있는데, 이 방법들은 PLL의 루프 이득을 가변시켜줌으로 acquisition 시간 특성을 개선시켜준다. 즉, lock 상태 이전에는 루프 이득을 크게 하여 acquisition 시간을 빠르게 해주며, lock 상태 이후에는 루프 이득을 작게 하여 낮은 입력 jitter 특성을 가지게 한다. Adaptive PLL은 PLL이 lock이 되었는지의 여부를 판단하여 루프 필터의 이득을 조정해주며, 그로 인해 PLL 전체의 루프 이득을 변화시켜주는 방식이다. AGPLL은 위상차이에 비례하여 charge pump 전류가 흐르는 양을 결정해 줌으로 인해 PLL 전체 루프 이득을 조정해 준다. 하지만, 이러한 방식은 루프 이득을 크게 한다고 하더라도 초기 주파수 차이($\Delta\omega$)가 커질 경우 acquisition 시간이 여전히 제한된다는 단점이 있다.

본 논문에서는 위와 같은 문제점들을 해결하기 위하여 PLL의 루프 이득을 변환시키는 방법과는 달리 초기 주파수차이를 가변시켜 acquisition 시간 성능을 향상시키는 방법에 대하여 제안하였다.

II. Band-Selective CPPLL

Acquisition 시간은 I, II에서 언급한 PLL의 대역 폭뿐만 아니라, VCO free-running 주파수와 원하는 주파수의 초기 주파수차이에도 큰 영향을 받는다. 이 논문에서 제안하는 CPPLL은 PLL의 대역폭은 좁게 유지하면서 디지털 Band-Selective Loop 회로를 사용하여 입력 신호의 주파수 차이를 줄임으로 acquisition 시간을 대폭 감소시킨다. 즉, 좁은 대역폭을 유지하면서도 초기 주파수 차이를 줄임으로써 낮은 jitter 특성과 빠른 acquisition 시간을 동시에 얻을 수 있다.

그림 1은 제안된 Band-Selective PLL의 전체 블록도로 기존의 CPPLL에 Band-Selective Loop가 첨가되어 있다. 그림 2에 의해 제안된 CPPLL의 전체 동작이 어떻게 이루어지는가를 알 수 있다. Band-Selective Loop는 VCO의 전체 주파수 영역에 대한 정보를 밴드 별로 나누어서 가지고 있으며, 주파수 밴드 당 일정한 전류를 발생시켜주는 역할을 한다. Band-selective CPPLL은 전체적으로 두 가지 동작영역으로 나누어지는데, 그림 2에서 볼 수 있듯이 band-selection 과정을 담당하는 구간(A)과 transient 과정을 담당하는 구간(B)으로 나뉜다. Band-selection 과정에서는 VCO의 초기 주파수(initial frequency)를 VCO가 도달하려는 주파수(target frequency)가 속하는 주파수 밴드로 끌어 올려 주어 초기 주파수 차($\Delta\omega$)를 ($\Delta\omega - \Delta\omega'$)로 줄여 주게 된다. Band-selection 과정이 성공적으로 끝나면, Band-Selective Loop는 꺼지게 되며, transient 구간에서는 기존의 CPPLL loop에 의해 lock이 이루어진다.

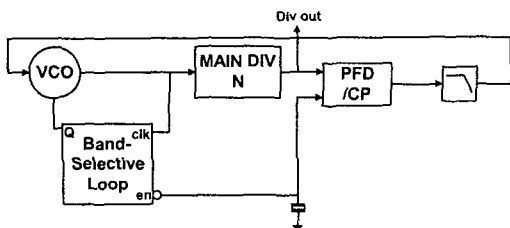


그림 1. Band-Selective CPPLL의 블록도

그림 3은 Band-Selective Loop에서 어떻게 VCO의 주파수를 알아낼 수 있는가를 보여준다. Band-Selective Loop에서는 VCO의 주파수를 알아내기 위하여 카운터를 사용하는데, 카운터의 인에이블 신호로 기준주파수를, 클럭 신호로 VCO의 출력 신호를 사용한다. 그로 인해 측정되어지는 VCO의 주파수는 아래

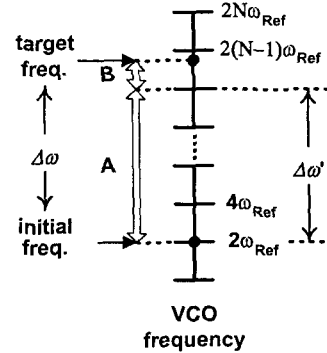


그림 2. VCO 출력 주파수 밴드

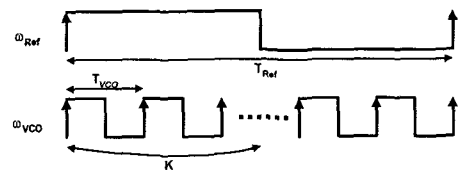


그림 3. Band-Selective Loop에서 VCO의 측정 방법

의 식과 같다.

$$\omega_{VCO} = 2 \times K \times \omega_{Ref} \quad (2)$$

위의 수식에서 2가 곱해진 것은 Band-Selective Loop 내에서 사용되어지는 카운터가 기준주파수의 반주기만의 클럭을 세기 때문이다. 하지만, 이러한 상향 카운팅 방식은 원하는 주파수 밴드와 초기 주파수의 차이를 알아내기 위하여 하나의 펄셈기가 필요하게 된다. 따라서, 펄셈기의 제거를 위하여 실제 회로에서는 하향 카운팅 방식을 사용한다. 원하는 주파수 밴드의 디지털 값(N)으로부터 VCO의 초기 주파수의 디지털 값(K)을 하향 카운팅함으로써 초기주파수 차이를 펄셈기 없이 아래의 식과 같이 나타낼 수 있다.

$$\Delta\omega_{VCO} = 2 \times (N - K) \times \omega_{Ref} \quad (3)$$

그림 4는 Band-Selective Loop의 블록도로 Band-Selective Loop의 동작원리를 설명하면 아래와 같다. 하향 카운터의 인에이블 신호로는 기준 주파수를 4분주한 신호를 사용하며, 이 신호의 반주기 동안만 VCO의 출력 주파수로 인에이블 신호를 다운 카운팅한다. 하향 카운터의 출력 신호는 원하는 주파수 밴드의 디지털 값(N)에서 VCO의 초기 주파수의 디지털 값(K)을 뺀, (N-K)라는 값을 만들게 된다. 이 디지털 값은 Band-Selective Detector와 adder로 보내지게 된다. 하향 카운터의 출력 값이 0이 되면, 즉 N-K의 값이 0

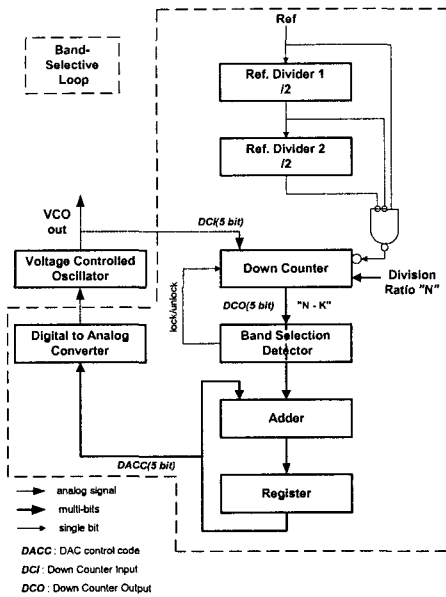


그림 4. Band-Selective Loop의 블럭도

이 되면 Band-Selective Detector는 lock되었다는 신호를 하향카운터에 주게 되어 Band-Selective Loop는 동작을 멈추게 된다. Band-Selective Loop가 동작을 멈춤으로 인하여 하향 카운터는 0값을 유지하게 되며, 레지스터의 출력 값은 일정한 값을 유지하게 된다. 여기서, lock 신호는 PLL 전체가 lock되었다는 것을 의미하는 것이 아니라, Band-Selective Loop가 초기의 VCO의 출력 주파수를 원하는 주파수 밴드로 가변시킨 것을 의미한다.

Adder로 보내진 하향 카운터의 출력 값은 레지스터에 저장되어진 값과 더해져서 DAC로 보내지게 된다. DAC의 출력 전류는 VCO에 전달되어 그에 상응하는 주파수를 가지는 출력신호를 발생시키며, 이 신호는 다시 하향 카운터에 전달되어진다. 한편, Band-Selective Loop에서 adder와 레지스터가 사용되어지는 이유는 실제 회로 설계시 아날로그 회로인 VCO와 DAC에서 생기는 오차를 피드백을 이용하여 보정해주기 위해서이다.

III. Simulation 결과

그림 5는 기존의 CPPLL과 제안된 Band-Selective CPPLL의 acquisition 시간을 비교, 측정하기 위해 HSPICE를 이용하여 모의 실험한 그래프이다. x축은 시간, y축은 루프 필터 전압이며 기준주파수는 4MHz, main 분주비는 80이고, 출력하고자 하는 VCO의 주파

수는 320MHz이다. 모의 실험 결과에 의해 기존의 CPPLL의 acquisition 시간은 $66\mu s$, Band-Selective Loop가 추가된 제안된 CPPLL은 $30\mu s$ 가 걸렸다. 따라서, 55%의 acquisition 시간 감소가 이루어짐을 알 수 있다.

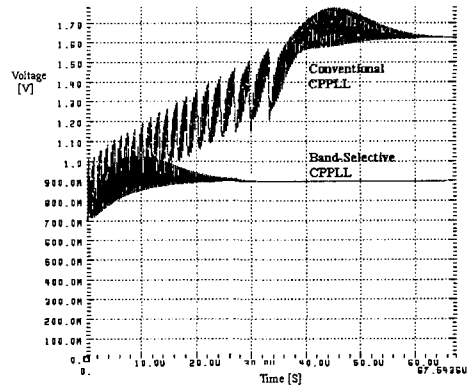


그림 5. 루프 필터 전압의 변화량

그림 6은 Band-Selective CPPLL의 전체 모의 실험 구간 중 $8\mu s$ 까지만을 본 것이다. x축은 시간, y축은 VCO에 인가되어지는 전체 전류의 변화량을 본 것이다. VCO에 인가되어지는 전체 전류는 CPPLL 루프에 의한 것과 Band-Selective Loop에 의해 공급되어지는 전류의 합이다. 앞의 $1\mu s$ 구간에서는 전류가 급격한 변화를 보이는데, 이 부분이 Band-Selective Loop가 동작하는 구간으로 VCO의 초기 주파수를 원하는 주파수 밴드로 올려주게 된다. Band-selection 구간은 $1\mu s$ (4 기준 주파수)만큼의 시간을 차지한다.

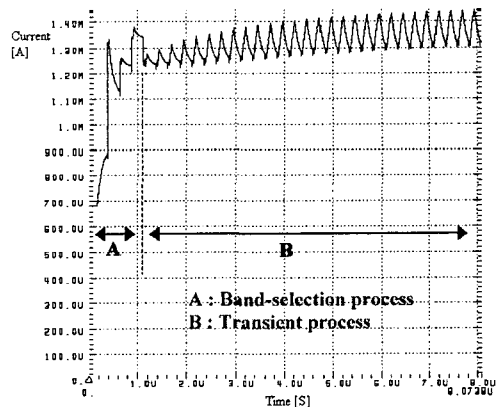


그림 6. VCO 입력 전류의 변화량

IV. 결론

본 논문에서는 빠른 acquisition 시간과 낮은 jitter 특성을 동시에 만족시켜주기 위하여 Band-Selective CPPLL을 제안하였다. PLL의 acquisition 시간을 줄이기 위한 기존의 방법은 대역폭을 가변하는 것이 대부분이나 이러한 방법으로는 acquisition 시간이 초기 주파수의 차이에 따라 제한된다는 단점을 가지고 있다. 제안된 CPPLL은 Band-Selective Loop를 사용하여 초기 주파수 차이를 줄이는 방법을 취함으로써 acquisition 시간을 줄임과 동시에 낮은 jitter 특성을 만족시켜 줄 수 있다. 또한, 초기 주파수 차이를 서너 기준 주파수만에 줄여줌으로 acquisition 시간이 초기 주파수 차이에 거의 영향을 받지 않는다. 모의 실험결과에 의해 제안된 CPPLL의 acquisition 시간은 55% 정도 감소됨을 볼 수 있으며, 이 결과는 Band-Selective Loop의 기준주파수를 4MHz보다 작게 설계하면 더욱 향상시킬 수 있으나, 대신 하드웨어의 복잡도가 증가하게 된다. 55%의 결과치는 초기 주파수의 차이가 90MHz일 때 측정된 값으로 초기 주파수의 차이가 이보다 크게 되면, 더욱 좋은 acquisition 성능을 보이게 될 것이다. 그리고, Band-Selective Loop는 DAC를 제외하고, 전부 디지털회로이므로 공정과 온도 변화에도 강한 특성을 가지며 원하는 주파수의 Band 정보를 저장할 수 있어 power-down mode에서의 빠른 탈출도 가능하다. 현재 제안된 회로는 0.25 μ m CMOS공정으로 설계하여 fab. 중에 있다.

참고 문헌

- [1] Dan H. Wloaver, Phase-Locked Loop Circuit Design, Prentice-Hall, 1991
- [2] Gyoung-Tae Roh, Yong Hoon Lee, and Beomsup Kim, "Optimum Phase-Acquisition Technique for Charge-Pump PLL", *IEEE J. Solid-State Circuits*, vol. 44, pp. 729-739, Sept. 1997
- [3] Inchul Hwang, Soonsub Lee, Sangwon Lee, and Soowon Kim, "A Digitally Controlled Phase-Locked Loops with Fast Locking Scheme for Clock Synthesis Application," *ISSCC Dig. Tech. Papers*, Feb. 2000
- [4] Joonsuk Lee, and Beomsup Kim, "A 250MHz Low Jitter Adaptive Bandwidth PLL," *ISSCC*

Dig. Tech. Papers, Feb. 1999

- [5] A. J. Bishop, G. W. Roberts, and M. L. Blostein, "Adaptive Phase Locked Loop for Video Signal Sampling," in *Proc. 1992 Int. Symp. Circuits Syst.*, San Diego, CA, June 1992, vol. 4, pp. 1664-1667

※이 논문은 (1998)년 한국학술진흥재단의 학술연구비에 의하여 지원되었음