

# LMS 알고리즘을 이용한 Sigma Delta Modulator

신 원 화, 한 건 회, 강 성 호, 이 철 회  
 연세대학교 전기 및 컴퓨터 공학과  
 전화 : (02) 361-4192 / 팩스 : (02) 312-4584

## Improved Sigma Delta Modulator Based On LMS Algorithm

Won Hwa Shin, Gun Hee Han, Sung Ho Kang, and Chul Hee Lee  
 Dept. of Electrical Engineering Yonsei University  
 E-mail : wonhwa@cad.yonsei.ac.kr

### Abstract

This paper proposes a new sigma delta modulator structure based on a LMS(Least Mean Square) algorithm that minimizes the quantization noise. The proposed architecture provides 40dB SNR improvement and 35dB wider dynamic range over conventional sigma delta modulation. The proposed architecture provides superior performance especially when the input signal is small.

### I. 서론

Sigma delta modulator는 기본적으로 그림 1과 같이 negative 피드백 루프로 구성된다.

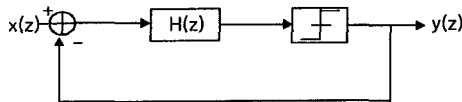


그림 1 1차 sigma delta modulator  
 Fig. 1 First order sigma delta modulator

즉, sigma delta modulator의 입력은 integrator를 통해 양자화기(quantizer)로 전달되며, 양자화기의 출력은 다시 피드백되어 입력 신호와의 차이를 구하게 된다. 이 피드백은 양자화기 출력의 평균값이 입력 신호의 평균

값을 따라가게 만든다. 이러한 구성은 sigma delta modulator의 양자화 잡음을 시스템의 전달 함수에 의해 주파수 영역에서 그림 2와 같이 shaping 시키며, 이 noise shaping 특성은 modulator의 effective resolution과 입력 신호의 dynamic range를 향상시킨다.[1-2]

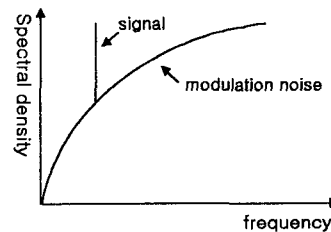


그림 2 Sigma delta modulator의 noise shaping  
 Fig. 2 Noise shaping of sigma delta modulator

일반적으로 ADC(Analog to Digital Converter)는 thermal noise, aperture jitter, comparator ambiguity와 같은 컨버터의 물리적 한계로 인해, effective resolution이 sampling rate에 따라 제한된다.[3] 따라서 제한된 dynamic range를 극복할 수 있는 새로운 컨버터의 구조를 고려할 필요가 있다. Sigma delta modulator의 경우에는 시스템의 안정도를 해치는 단점을 감수하면서 고차의 구조를 구성하여 더 높은 effective resolution을 얻게 된다.

한편, LMS 알고리즘은 어떤 시스템의 실제 출력과

이상적인 출력 사이의 에러를 최소화하는 적응(adaptive) 알고리즘의 한 종류이다.[4-5]

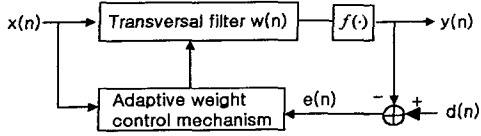


그림 3 적응(adaptive) 알고리즘  
Fig. 3 Adaptive algorithm

그림 3의 시스템에서 출력  $y(n)$ 을 다음과 같이 정의한다.

$$y(n) = f(x(n) \cdot w(n)) \quad (1)$$

이 때 에러를 최소화하는 최적의  $w$ 를 찾기 위해 objective function  $J$ 를 식 (2)와 같이 결정할 수 있다.

$$\min_w J = \overline{e^2} = \overline{(d-y)^2} \quad (2)$$

시스템의 에러를 최소화하기 위해서는 식 (1)의 weight  $w(n)$ 이 식 (3)과 같이 LMS 알고리즘에 의해 갱신되어야 한다.

$$w(n+1) = w(n) + \mu x(n)e^*(n) \quad (3)$$

이처럼 LMS 알고리즘은 그 간단함이 중요한 특성 중 하나이며, 여러 분야에서 다양하게 응용되고 있다.

## II. LMS 알고리즘을 이용한 modulator

LMS 알고리즘은 양자화 잡음을 최소화하기 위해 다음의 그림 4와 같이 ADC에 적용될 수 있다.

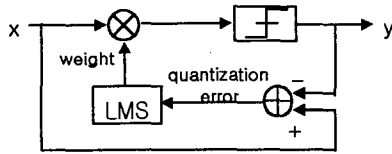


그림 4 LMS 알고리즘을 사용한 양자화 잡음의 최소화

Fig. 4 The quantization noise minimization using LMS algorithm

우선 양자화 잡음을 최소화하기 위해 다음과 같이 정의된 에러를 감소시켜야 한다.

$$e = x - y \quad (4)$$

따라서 objective function  $J$ 는 식 (5)와 같이 정의된다.

$$J = e^2 = (x - y)^2 \quad (5)$$

만일 입력 신호  $x$ 와 상호 관련이 없는(uncorrelate) 양자화 잡음을  $n$ 이라고 한다면, modulator의 출력  $y$ 는 식 (6)과 같이 정의할 수 있다.

$$y = xw + n \quad (6)$$

LMS 알고리즘의 조건에 의해 프로세스가 진행되는 동안 에러가 감소하기 위해서는 objective function  $J$ 의 시간에 대한 미분이 음(minus)이 되어야 하므로, 식 (5)를 시간에 대해 미분하여 다음의 식 (7)을 유도할 수 있다.

$$\frac{\partial J}{\partial t} = \frac{\partial J}{\partial w} \frac{\partial w}{\partial t} = (2(x-y) \frac{\partial(x-y)}{\partial w}) \frac{\partial w}{\partial t} < 0 \quad (7)$$

식 (7)에서,

$$\frac{\partial(x-y)}{\partial w} = \frac{\partial(x-xw+n)}{\partial w} = -x \quad (8)$$

식 (8)을 식 (7)에 대입하면

$$\frac{\partial J}{\partial t} = (-2(x-y)x) \frac{\partial w}{\partial t} = -2ex \frac{\partial w}{\partial t} \quad (9)$$

이 때,  $J$ 의 시간에 대한 미분을 음으로 유지하기 위해서는  $\frac{\partial w}{\partial t}$ 의 부호가  $ex$ 의 부호와 같아야 한다.

$$\text{sign}\left(\frac{\partial w}{\partial t}\right) = \text{sign}(ex) \quad (10)$$

위와 같은 조건들을 만족시키기 위해서 식 (10)의 양변을 다음과 같이 integrating 시킨다.

$$\int \frac{\partial w}{\partial t} dt = \int ex dt \quad (11)$$

따라서 LMS를 이용한 modulation의 weight는 식 (12)와 같이 갱신될 수 있다.

$$w = \int ex dt \quad (12)$$

그림 5는 본 논문이 제안하는 LMS 알고리즘을 이용한 modulator의 1차 구조를 이산 시간(discrete time)상에서 구성한 것이다. LMS 알고리즘을 이용한 modulator는 기존의 sigma delta modulator에 비해 2개의 곱셈기만이 추가된 형태이다.

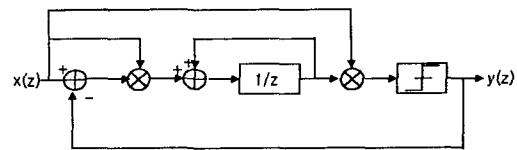


그림 5 1차 LMS를 이용한 modulator  
Fig. 5 The first order LMS based modulator

한편, 그림 5의 제안된 modulator에서는 입력과 출력 사이의 시간 지연에 의해 출력에서 DC offset이 발생하게 되는데, 특히 OSR(Over Sampling Ratio)이 낮을 경우 DC offset은 더욱 커지게 된다. 이 offset은

그림 (6)과 같이 상수를 입력으로 하는 LMS 루프를 추가함으로써 최소화시킬 수 있다.

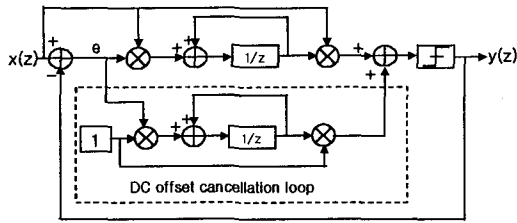


그림 6 DC offset 소거  
Fig. 6 DC offset cancellation

만약 상수가 1일 경우 그림 (6)의 구조는 다음의 그림 (7)과 같이 간단해진다.

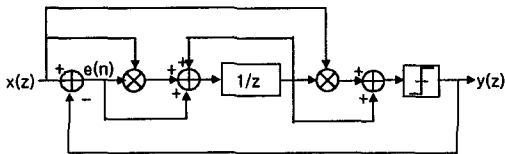


그림 7 DC offset 소거 루프를 추가한 1차 LMS 알고리즘을 이용한 modulator  
Fig. 7 The first order LMS based modulator with offset cancellation

일반적으로 더 나은 성능을 위해서는 차수가 높은 sigma delta modulator를 사용한다. LMS 알고리즘을 이용한 modulator 역시 2차 sigma delta modulator에 그림 8과 같이 추가될 수 있다.

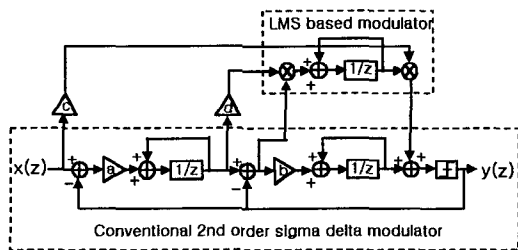


그림 8 LMS 알고리즘을 이용한 modulator를 추가한 2차 sigma delta modulator  
Fig. 8 The second order sigma delta modulator with LMS based modulator

LMS 알고리즘을 이용한 modulator를 직접 연결하

여 고차의 modulator를 구성할 경우에는 시스템의 안정성이 나빠지는 시뮬레이션 결과가 나타난다. 또한 고차 sigma delta modulator의 안정성은 1차 modulator에 비해 떨어지게 된다. 그러나 그림 8과 같이 LMS 알고리즘을 이용한 modulator를 2차 sigma delta modulator에 추가한 경우, 기존의 2차 sigma delta modulator에 비해 안정성이 좋아지는 시뮬레이션 결과를 보였다. 그림 8의 구조에서 상수 a, b, c, d는 modulator의 안정성을 결정하는 역할을 하며, 각각 0.3, 1, 0.2, 0.2로 결정된다.

### III. 시뮬레이션 결과

본 논문에서 제안된 LMS 알고리즘을 이용한 modulator와 기존의 sigma delta modulator를 MATLAB을 이용하여 시뮬레이션하였다. 그림 (9)는 그림 (7)의 LMS 알고리즘을 이용한 modulator와 일반적인 1차 sigma delta modulator의 출력 스펙트럼을 나타낸 것이다. 입력 신호의 크기는 최대 입력 크기의 20%일 때이며, 주파수는 1.65kHz의 입력 신호에 normalize된 것이다.

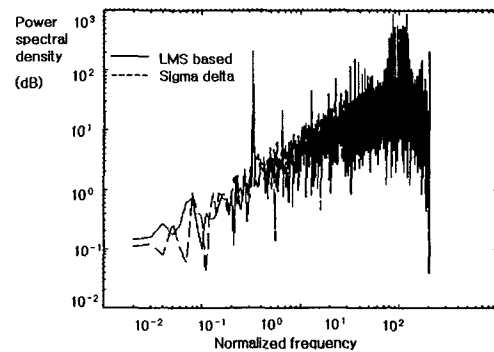


그림 9 1차 modulator들의 출력 스펙트럼  
Fig. 9 The output spectrum of the first order modulator

그림 10은 다양한 입력 신호 크기에 따른 1차 LMS 알고리즘을 이용한 modulator와 기존의 1차 sigma delta modulator의 SNR을 보여주고 있다. 입력 신호의 주파수는 1.65kHz이며, 신호의 대역폭은 1.98kHz이다. 시뮬레이션은 OSR이 각각 32, 64, 128일 때 실행되었다.

LMS 알고리즘을 이용한 modulator의 SNR은 기존의 sigma delta modulator에 비해 5-18dB 더 높게 나타나며, 입력 신호의 크기가 감소할수록 SNR의 향상 정도는 더 커진다. 또한 제안된 modulator의 dynamic range(SNR이 0일 때의 입력 신호의 크기)는 기존의

modulator에 비해 14dB 정도 더 넓게 나타났다.

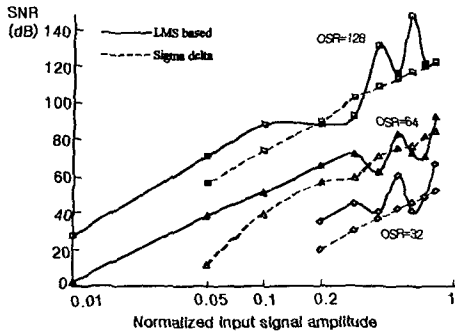


그림 10 다양한 입력 신호 크기에 따른 1차 modulator들의 SNR

Fig. 10 SNR of first order modulators for various input signal amplitude

그림 11은 그림 8의 LMS 알고리즘을 이용한 2차 modulator와 2차 sigma delta modulator의 normalize 된 입력 신호에 대한 SNR 결과를 나타낸 것이다. 시뮬레이션 결과는 LMS 알고리즘을 이용한 2차 modulator의 SNR이 2차 sigma delta modulator에 비해 더 크게 나타남을 보여주며, 입력 신호의 크기가 감소할수록 SNR의 향상 정도는 더욱 커짐을 알 수 있다. 또한 일반적인 sigma delta modulator의 SNR이 입력 신호의 크기가 줄어들며 따라 급격히 감소함에 비해 제안된 modulator의 구조는 SNR의 감소가 비교적 완만하게 나타난다.

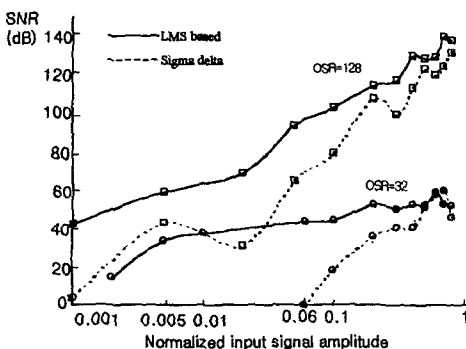


그림 11 입력 신호의 크기에 따른 2차 modulator들의 SNR

Fig. 11 SNR for amplitude of input signal of fig. 9 and second order sigma delta modulator

그림 11에서 본 논문이 제안하는 구조의 SNR은 기존의 sigma delta modulator의 SNR이 0일 때 40dB 정도 향상되었으며, dynamic range는 35dB만큼 더 증가하였다. 또한 모든 시뮬레이션 과정에서 LMS 알고리즘을 이용한 modulator는 일반적인 sigma delta modulator 보다 더 나은 안정성을 보였다.

#### IV. 결론

본 논문에서는 LMS 알고리즘을 이용한 새로운 modulator의 구조가 제안되었다. 제안된 1차 modulator의 구조는 일반적인 1차 sigma delta modulator에 비해 5-18dB의 SNR 향상과 14dB의 dynamic range 증가를 보였다. 한편 LMS 알고리즘을 이용한 modulator를 결합한 2차 modulator는 2차 sigma delta modulator에 비해 더 나은 안정성을 유지하면서 40dB까지 SNR이 향상되었으며, dynamic range는 35dB 더 증가하였다.

비록 본 논문의 시뮬레이션에서는 제안된 구조에 추가된 곱셈기의 비선형성을 고려하지 않았으나, LMS 알고리즘을 이용한 modulator의 새로운 접근은 더 높은 SNR과 시스템의 안정성 및 더 넓은 dynamic range를 제공할 것으로 기대된다.

#### V. 참고 문헌

- [1] J. C. Candy and G. C. Temes, "Oversampling methods for A/D and D/A conversion, Oversampling Delta-Sigma Data Converters", IEEE Press, 1992
- [2] Steven R. Norsworthy, Richard Schreier, and Gabor C. Temes, "Delta-Sigma Data Converters" IEEE Press, 1997
- [3] Robert H. Walden, "Analog-to-Digital Converter Survey and Analysis", IEEE Journal On Selected Areas In Communications, Vol. 17, No. 4, pp539-550, April 1999
- [4] Simon Haykin, "Adaptive Filter Theory", Prentice-Hall, Inc., 1996
- [5] Laurene Fausett, "Fundamentals of Neural Networks", Prentice-Hall, 1994