

전원 감지기로 제어되는 저전력 임베디드 SRAM용 가변크기 쓰기구동기

배 효관(裴孝寬), 조 태원(趙泰元)

충북대학교 전자공학과

전화 : 011-753-8164 / 팩스 : (0347) 763-8549

Write Driver of Dual Transistor Size Controlled by Power Detector for Low Power Embedded SRAM

Hyo-Kwan Bae, Tae-Won Cho

Dept. of Electronics Engineering, Chungbuk National Univ.

E-mail : bhk222i@unitel.co.kr

Abstract

This paper describes an SRAM write driver circuit which dissipates small power. The write driver utilizes a dual sized transistor structure to reduce operating current in the write cycle. In the case of higher voltage comparing to V_{cc} , only one transistor is active, while in the case of low V_{cc} two transistors are active so as to deliver the current twice. Thus though with the high voltage operation, the power consumption is reduced with keeping the speed in a given specification. Simulation results have verified the functionality of the new circuit and write power is reduced by 7 % per bit.

I. 서론

전력 소모는 VLSI칩의 중요한 설계 척도가 되고 있다. 많은 VLSI소자들 중에서 임베디드 SRAM메크로는 버스의 기생 용량이 크고 자주 액세스되기 때문에 전력소모의 중요한 소스(source)이다.

지금까지 이러한 SRAM의 전력 소모를 줄이기 위한 몇가지 기술^[1]이 제안되었다. SRAM에서 전력소모의 대부분은 비트선 스윙에 기인한다. 두 종류의 동작이 비트선을 액세스하는데 읽기와 쓰기 동작이다. 읽기 동작시의 비트선 스윙과 관련된 제안은 비트선 클램프 된 전류 감지증폭기 등이 있다^[2]. 그러나 쓰기 동작시의 전류를 줄이는 연구가 최근 이루어지고 있으며 쓰기동안 전압을 부스팅하는 구조가 그 예이다^[3]. 이 경우에는 메모리 셀의 동적 잡음여유가 워드선 전압이

$V_{cc} + V_T$ 이상에서는 급격히 감소되어 매우 작은 비트선 스윙이 가능해진다는 것이다. 이러한 부스팅 접근방식은 액세스되지 않는 셀에 영향을 준다는 단점이 있다. 또한 이러한 문제를 개선하기 위한 부분 부스팅 방법이 제안되었다^[4]. 이상과 같이 비트선 스윙에 따른 전력소모를 줄이기 위한 제안중 쓰기구동기 자체에 관한 제안은 거의 되지 않고 있다.

본 논문은 액티브(active) 전력 감축의 하나인 쓰기시 AC전류를 감축하는 쓰기구동기에 관한 회로이다. 먼저 일반적인 쓰기시의 전류에 대해 고찰한다. 쓰기시의 AC 및 DC전류는 식 (1)과 같다.

$$I_{DDA}(w) = [(m-p) i_{DC}(r) \Delta t + p i_{DC}(w) \Delta t + p C_D \Delta V_w] f \quad \text{---- (1)}$$

여기서 $i_{DC}(r)$ 과 $i_{DC}(w)$ 는 읽기 및 쓰기시의 데이터 선의 전류이고 ΔV_w 는 쓰기시의 데이터선의 스윙 전압이다. p 는 셀에 동시에 쓰여지는 데이터의 수, m 은 워드선당 셀의 수, r 은 읽기 및 w 는 쓰기를 나타낸다. 멀티 비트 SRAM에서는 p 가 커져서 $I_{DDA}(w)$ 가 중요하게 된다. 따라서 $I_{DDA}(w)$ 를 줄이기 위해 $i_{DC}(w)$ 와 C_D 를 줄여야한다. $i_{DC}(w)$ 를 줄이기 위해 가변 임피던스 부하^[1]가 제안되었다. 본 논문은 이러한 쓰기전류중 $i_{DC}(w)$ 와 천이 전류를 줄이기 위한 회로이다.

전원전압 사양의 최소에서는 전류가 적고 액세스 시간 즉 속도는 느리고 전원전압 사양의 최대에서는 전류가 많이 흐르고 대신 속도가 빠른 것에 착안하여 전원전압 최대에서는 쓰기구동기의 크기를 줄여 허용 최대 동작전류를 줄였다. 이 때 속도는 느려지지만 최소 전원전압에서의 속도보다 느려지지만 않으면 된다. 여기서의 핵심기술은 전원전압 감지기와 가변크기 구동기이다.

2장, 3장에서는 제안된 쓰기구동기의 회로 동작 원리와 시뮬레이션 결과를 설명한다. 마지막 장에서는 결론이 제시된다.

II. 회로 설계 및 동작원리

1. 종래의 쓰기구동기

그림 1은 종래의 쓰기 등가 회로이다. WE 가 인가될 때 입력 데이터와 반전 데이터가 비트선에 인가된다. 만약 "0"이 초기에 V_{cc} 에 있는 Node A에 저장되어야 한다면 그림 2에서와 같이 이 노드가 셀의 V_T 이하로 내려가야 한다. 쓰기시 식 (1)에서와 같이 세가지 전류가 흐른다. 첫째 $M1 \rightarrow M2$ 혹은 $M3 \rightarrow M4$ 로 DC 전류 ($idc1, idc2$)가 흐른다. 또 B_L 이 $V_{cc} - V_{TN}$ 으로 충전되어 있다가 접지로 (i_{ac}) 천이 전류가 흐른다. 이러한 $idc1, idc2$ 는 $M1$ 과 N_W 의 크기에 의해 정해지나, i_{ac} 는 $M4$ 의 크기에 의존한다.

따라서 $M4$ 의 크기를 제품 사양의 낮은 전압에서는 크게 해서 속도는 빠르게 하고 높은 전압에서는 작게 해서 i_{ac} 를 줄일수 있다. 이를 본 논문에서는 가변크기 쓰기구동기라고 부른다.

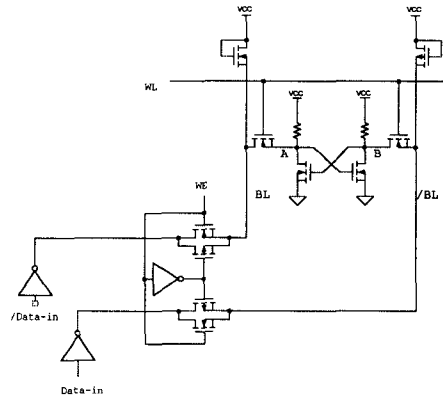


그림 1. 종래의 메모리 셀과 쓰기 회로

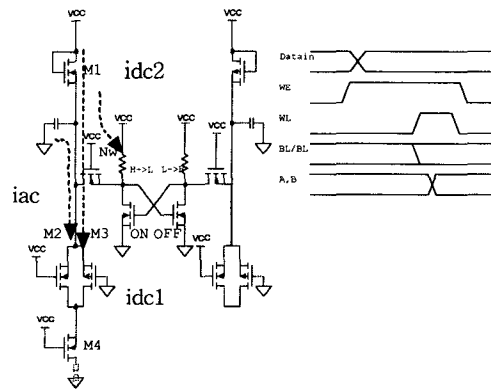


그림 2. 종래의 메모리 셀과 쓰기 등가 회로(내부신호 포함)

2. 본 논문의 쓰기 구동기

본 논문의 쓰기구동기는 그림 3과 같다. 종래의 구동기를 1/2크기의 구동기와 전원전압 감지기의 출력으로 제어하는 Clocked Inverter(CI)로 바꾸었다. 만약 고

전압이면 DETout이 "L" 로 되어 CI가 동작되지 않아 구동 능력이 종래의 1/2이 되고, 저전압이면 DETout이 "H"가 되어 CI가 동작되어 구동 능력이 2배가 된다.

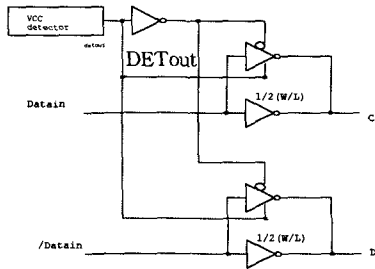


그림 3. 본 논문의 쓰기 구동기 회로도

III. 시뮬레이션 결과 및 고찰

1. 시뮬레이션 회로 및 파형

먼저 쓰기구동기의 크기에 따른 전력 비교와 내부적으로 쓰기 신호를 확인 하여 동작의 오류 여부를 확인하고 또한 속도를 비교 하였다. 그림 4는 전력감축 효과를 확인하기 위한 회로이고 기존의 쓰기구동기 회로의 크기를 변화시켜 V_{cc} 에 흐르는 전류를 비교하였다.

$V_{cc} = 3V$, $25^\circ C$, $C_{bl} = 2 pF$ 에서 80/75 와 40/36 의 속도 비교 결과 쓰기시 속도 차이가 거의 나지 않은 것으로 나타났다. 이는 하나의 셀만에는 속도의 영향이 거의 없기 때문이다.

입력신호의 타이밍도는 워드선이 먼저 선택되고 그 후 비트선 이퀄라이즈(equalize)가 해제된다. 이와 동시에 외부 데이터가 입력된다.

"0"을 저장하고 있는 셀에 "1"을 쓰는 경우로 셀 노드(CN)은 Low에서 High로 천이되고 반전 셀 노드는 High에서 Low로 천이된다. 비트선(BL)은 프리차지(precharge)된 전압 $V_{cc} - V_{TN}$ 으로 유지되고 반전 비트선 전압은 $V_{cc} - V_{TN}$ 에서 접지로 떨어진다. 이 천이 전류가 쓰기시의 주 전력소모원이 된다.

그림 5는 제안된 회로의 실제 시뮬레이션 입력 회

로도이다. 고전압에서의 비트선과 셀 노드는 CN1, /CN1이고 저전압에서는 CN2, /CN2이다.

본 논문의 회로 동작 확인을 위한 내부 신호 파형은 그림 6과 같다. $V_{cc} = 5V$ 와 $V_{cc} = 2.5V$ 에서 전원전압 감지기는 각각 low(□) 와 high(△)를 출력하였고 셀 노드(cell node)의 천이로 데이터가 제대로 쓰기됨을 알 수 있었다.

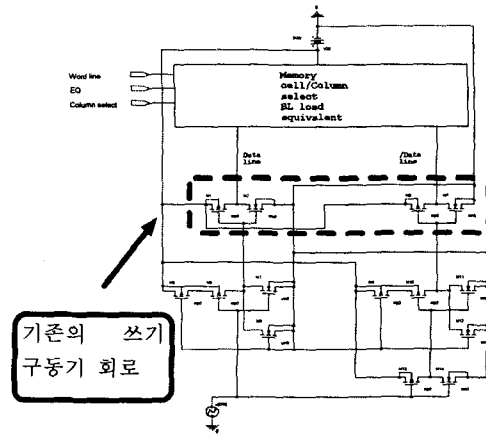


그림 4. 전력 감축 효과를 보기위한 쓰기 회로 입력도

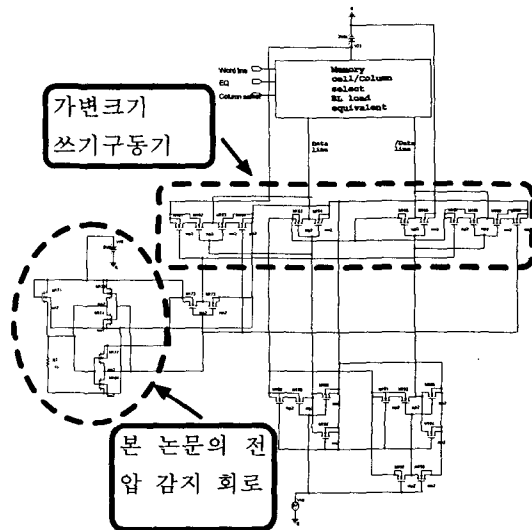


그림 5. 전압 감지회로를 포함한 쓰기 회로 입력도

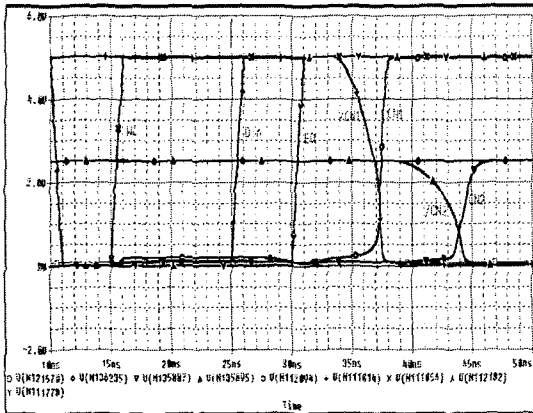


그림 6. 전압 감지회로를 포함한 출력 파형

2. 전력 감축량 정리

예를 들면 5V, 4-M, SRAM에서 $I_{DDA}(t)$, $I_{DDA}(w)$ 은 6.4 mA, 10.4 mA이다
 $(iDC(t) = 100\mu A, idc(w) = 1.0mA, \Delta Vw @ Vcc,$
 $CD = 1PF, M = 128, P = 8, \Delta t = 30ns, f = 10MHz)$. 또한, SRAM의 전류분포는 표 1과 같다^[4]. 여기에서 쓰기 전류의 비중이 더 큼을 알 수 있다. 따라서 본 연구에서는 이 쓰기 전류를 줄이는데 중점을 두었다.

표 1. SRAM의 전력 분포

write power	Read power	Decoding power	Voltage booster
51%	32%	5%	12%

그림 4의 시뮬레이션 결과 PSpice, Level=3, 0.8 μm CMOS공정, $V_{TN} = 0.7V$, $V_{TP} = 0.8V$,

$V_{CC} = 5V, 25^\circ C, C_{BL} = 2pF$ 에서 총 소비 전력 80/75(μm)의 경우 2.295 mW, 40/36(μm)의 경우 2.145 mW로 0.15 mW/비트 줄어 들었다. 비트당 약 7% 감소됨을 알 수 있다. 비트 수에 따른 감축량은 다음과 같다.

표 2. 본 논문의 회로의 감축량

64 bits	128 bits	256 bits
9.6 mW	19.2 mW	38.4 mW

이상과 같이 밴드위쓰(bandwidth)가 클수록 감축효과가 크게 나타났다. 그러나 속도는 거의 변하지 않았다.

IV. 결론

전원전압 감지기와 가변크기 쓰기구동기를 이용하여 저전력 회로를 구성하고 SPice로 회로 시뮬레이션을 시행하였다. 모델 파라미터는 0.8 μm CMOS공정의 것을 사용하였고 시뮬레이션 조건은 비트선 용량, 전원전압, 온도, 동작 주기에 따라 시행하여 그 쓰기 전력 감축효과를 관찰하였다.

가변 크기구동기를 사용할 본 논문의 경우 일반적인 조건에서 밴드위쓰(bandwidth)가 크고 대용량 비트선을 가진 임베디드 메모리 동작의 동적 쓰기 전류를 줄이는데 적합한 것으로 시뮬레이션 결과 확인되었다. 또한 새로운 쓰기회로 구조가 잘 동작됨을 확인하였다.

V. 참고문헌

- [1] K.Itoh, K.Sasaki, and Y.Nakagome, "Trends in low-power RAM circuit technologies," Proc.IEEE, vol.83, pp.524-543, Apr.1995.
- [2] T.Blalock, "A High-Speed Clamped Bit-Line Current-Mode Sense Amplifier," JSSC, vol.26, no.4, April 1991.
- [3] K.Ishibashi, et.al., "A 1-V TFT-Load SRAM Using a 2-Step Word-Voltage Method," JSSC, pp.1519-1524, Nov.1992.
- [4] A.M.Fahim, "A Low-Power High-Performance Embedded SRAM Macrocell," IEEE, 1998.