

QPSK 복조기를 위한 Carrier recovery loop의 NCO 설계

°하창우, 이완범, 김형균, 김환용
원광대학교 전자공학과 회로 및 시스템 연구실
Tel : (063) 850-6740, Fax : (063) 857-3999

Design of NCO in Carrier recovery loop for QPSK Demodulator

°Ha Chang Woo, Lee Wan Bum, Kim Hyeoung Kyun, Kim Hwan Yong
Department of Electronic Engineering Wonkwang University
hacw305@yahoo.co.kr

요 약

QPSK 복조기는 위상 오차에 따른 문제점을 극복하기 위해 수신단에서는 반송파의 주파수와 위상을 tracking 하는 Carrier recovery loop 부분이 필요하다[1]. Carrier recovery loop는 multiplier, arm filter, matched filter, decimator, loop filter, NCO로 구성이 된다[2].

기존 Carrier recovery loop의 NCO는 sine과 cosine의 lookup table을 갖는 구조로 되어있어, 전력소모가 크다는 문제점을 가지고 있다. 따라서 본 논문에서는 lookup table을 사용하지 않는 저 전력 구조의 QPSK 복조기의 Carrier recovery loop의 NCO를 설계했다.

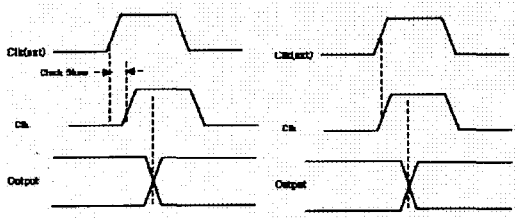
I. 서 론

디지털 통신의 수신단에서 일반적으로 사용되고 있는 동기 검파 방식의 복조기에서는 수신단 자체의 timing reference를 가지고 수신 신호의 데이터로부터 반송파의 주파수와 위상을 복구하게 되는데, 이때 복구된 반송파 주파수가 송신단의 주파수와 정확히 일치하지 않는다면 복구된 신호의 성상도(constellation)는 회전하게 되어 수신된 심벌이 결정 구간의 경계를 지날 때마다 에러를 발생시킨다. 일단 성상도가 회전한다면 수신단 측에서는 정확한 성상도를 구별할 수가 없다[1][3]. 이러한 위상 오차에 따른 문제점을 극복하기 위해서 수신단에서는 반송파의 주파수와 위상을 tracking하는 Carrier recovery loop 부분이 필요하다. 일반적으로 아날로그 통신에서는 전압 제어 발진기로 VCO(Voltage Controlled Oscillator)를 사용하고, 디지털 통신에서는 NCO(Numerically Controlled Oscillator)를

많이 사용한다. 디지털 소자로 회로를 구현하면 회로의 성능을 예측하기 쉬우며, 아날로그 회로와는 달리 개별적인 미세 조정이 필요없다는 장점이 있다. 또한 설계된 회로를 ASIC(Application Specific Integrated Circuit)화하여 소형화, 경량화가 가능하다는 장점도 가진다[4]. 따라서 본 논문에서는 lookup table을 사용하는 NCO의 전력소모의 문제점을 개선하고자 lookup table을 사용하지 않는 저 전력 구조의 NCO를 설계했다.

II. PLL 구조의 Carrier recovery loop

일반적으로 수신단의 Carrier recovery loop는 PLL(Phase Locked Loop)를 이용하여 구성한다[1] PLL은 위상검출기(phase detector), 루프필터(loop filter) 그리고 전압 제어 발진기(NCO)로 이루어진다. PLL의 입력신호로는 수신된 신호에서 변조에 의한 위상 성분이 제거된 순수한 반송파 위상성분 신호에서 변조 효과를 제거하여 순수한 반송파의 위상 성분을 추출한다. 또한 PLL은 추출된 위상 성분 신호에서 위상을 검출하여 외란 없이 입력신호와 동상인 신호를 출력한다[2][3]. PLL은 디지털 및 아날로그 시스템의 많은 응용분야에 사용되고 있으며 특히, 디지털 시스템의 경우에서처럼 클록 분배로 인한 클록 스큐(clock skew) 현상이 발생하고 높은 클록 주파수가 계속되는 경우나 칩 과 칩 사이에서의 클록 스큐의 문제점과 지터 현상 발생 감소의 해결 방법으로 PLL을 많이 사용한다. 그림 1은 PLL을 이용한 시스템과 이용하지 않은 시스템의 클록 입력 신호에 대한 출력 신호의 파형을 비교한 그림이다[6].



(a) PLL 미사용 회로 (b) PLL 사용 회로

그림 1. 출력 파형 비교

일반적으로 PLL구조에서 Carrier recovery loop 라 함은 그림 2에서처럼 TED(Timing Error Detector) 대신에 PED(Phase Error Detector)를 사용하여 위상에 대한 오차에러를 복원하는 회로를 말한다.[2]

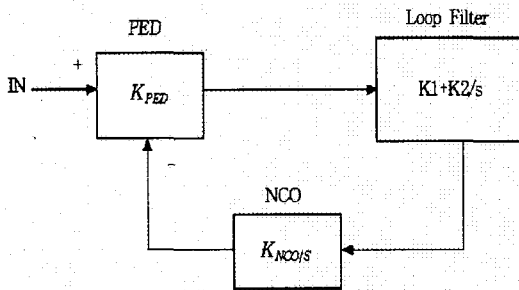


그림 2. Carrier recovery loop를 위한 PLL 회로

QPSK 복조기용 Carrier recovery loop는 multiplier, arm filter, matched filter, decimator, loop filter, NCO로 구성되는 PLL 구조이다. 그림 3은 Carrier recovery loop의 전체 구조를 나타낸 것이다. [3].

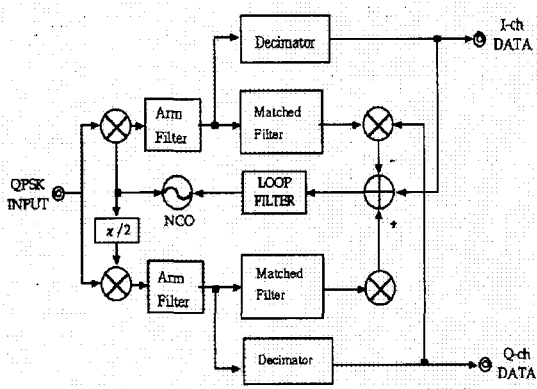


그림 3. Carrier recovery loop의 전체 구조

III. 제안된 NCO 회로

기존 Carrier recovery loop의 lookup table을 갖는 NCO 구조는 그림 4와 같다[5].

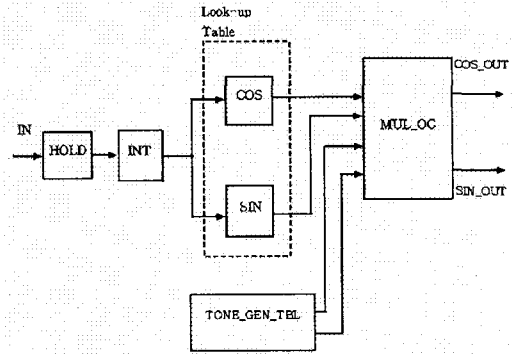


그림 4. 기존의 NCO 구조

기존의 NCO는 lookup table을 갖는 구조로 되어 있어서 전력소모가 커지는 단점을 갖고 있다. 따라서 본 논문에서는 전력 소모를 줄이기 위해 lookup table을 사용하지 않는 새로운 구조의 NCO를 제안했다.

NCO의 입력신호인 loop filter 출력의 위상 오차 $\Delta\theta \approx 0$ 이라고 가정한다면

$$\cos\Delta\theta + j\sin\Delta\theta \approx 1 + j\Delta\theta \quad (1)$$

라고 표현할 수 있다.

NCO는 NCO 자체에 있는 기준 위상에 loop filter의 출력인 위상 오차를 더하여 발전하며 식 (2)와 같이 나타낼 수 있다.

$$\begin{aligned} & (\cos\theta + j\sin\theta)(\cos\Delta\theta + j\sin\Delta\theta) \\ &= (\cos\theta \cdot \cos\Delta\theta - \sin\theta \cdot \sin\Delta\theta) + j(\sin\Delta\theta \cdot \cos\theta + \cos\Delta\theta \cdot \sin\theta) \end{aligned} \quad (2)$$

$$\begin{aligned} & \approx (\cos\theta - \Delta\theta \cdot \sin\theta) + j(\Delta\theta \cdot \cos\theta + \sin\theta) \\ &= \Delta\theta(-\sin\theta + j\cos\theta) + (\cos\theta + j\sin\theta) \end{aligned}$$

식 (2)의 정규화를 위해 양변에 제곱을 취하면 식 (3)과 같다.

$$\begin{aligned} & \{(\cos\Delta\theta - \Delta\theta \cdot \sin\theta) + j(\Delta\theta \cos\theta - \sin\theta)\}^2 \\ & \approx 1 + (\Delta\theta)^2 \end{aligned} \quad (3)$$

식 (3)을 Taylor 공식을 이용하여 식 (4)와 같이 실제 정규화된 식으로 표현 할 수 있다.

$$\begin{aligned}
\frac{1}{\sqrt{1+(\Delta\theta)^2}} &= f_n(\Delta\theta) \\
&= f(0) + f'(0)\Delta\theta + \frac{f''(0)}{2!}(\Delta\theta)^2 + \dots \\
&\quad + \frac{f^{(n)}(0)}{n!}(\Delta\theta)^n \\
&\cong 1 - \frac{1}{2}(\Delta\theta)^2 \quad (4)
\end{aligned}$$

따라서 식(2)와 식(4)에 의해 lookup table을 사용하지 않는 NCO를 구현할 수 있으며 제안된 lookup table을 갖지 않는 새로운 구조의 NCO의 구조는 그림 5와 같다

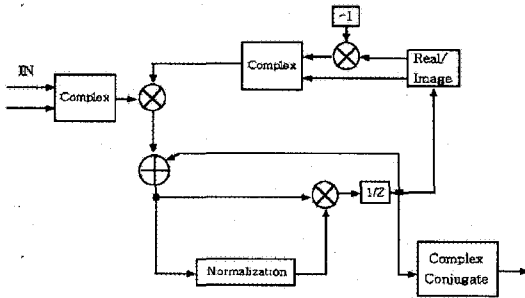


그림 5. 제안된 NCO 구조

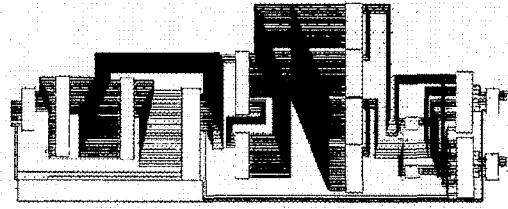
기존 Carrier recovery loop의 NCO는 sine과 cosine의 lookup table을 갖는 구조로 되어있어, 전력소모가 큰 단점을 가지고 있으므로, 본 설계에서는 전력소모를 줄이기 위해 lookup table을 사용하지 않는 저 전력 구조의 Carrier recovery loop의 NCO를 설계했다.

IV. NCO 설계 및 모의실험

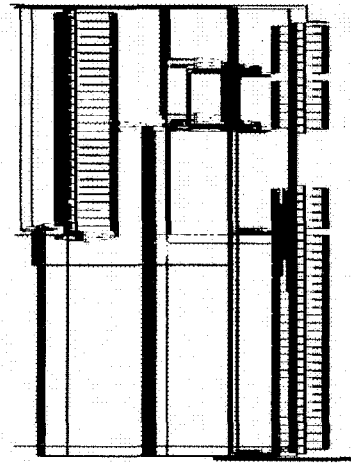
SPW tool을 이용해서 QPSK 복조기의 Carrier recovery loop 회로를 모델링 한 후에 그 회로의 일부인 NCO 블록을 VHDL로 소스 코딩하고 Synopsys의 VSS tool을 이용하여 성능 분석을 하였다. 또한 QPSK 복조기를 위한 Carrier recovery loop의 NCO를 Cadence tool을 이용하여 full custom으로 설계했다. [1][4]

전체 NCO 회로도에는 그림 6과 같다. (a)는 Cadence를 이용한 회로도이고 (b)는 Synopsys를 이용한 회로도를 나타낸 것이다. 설계한 NCO의 레이아웃은 그림 7과 같다.

Cadence tool을 이용한 full custom 설계는 0.25 μ m 1-Poly 5-metal CMOS 공정을 사용하여 설계하였다. 설계한 chip size는 2mm \times 2mm이고 core size는 1.3mm \times 1.5mm이다. package 타입은 64-pin QFP이다.



(a) Cadence를 이용한 NCO 회로



(b) Synopsys를 이용한 NCO 회로

그림 6. NCO 회로도

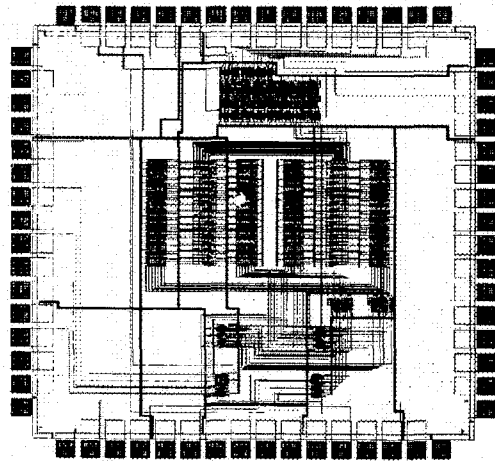


그림 7. NCO 레이아웃

기존의 NCO 시뮬레이션 결과와 제안된 NCO의 시뮬레이션 결과 파형을 그림 8 과 그림 9에 나타냈다.

제안한 NCO 회로의 시뮬레이션 결과 기존의 NCO 구조와 동일한 출력을 확인할 수 있었다. Dynamic power 를 비교하면 기존의 NCO 경우 175 μ W이고 새로운 구조의 NCO는 24.65 μ W를 갖는다. 따라서 기존의 NCO보다 약 1/8의 전력소모의 감소를 확인했다.

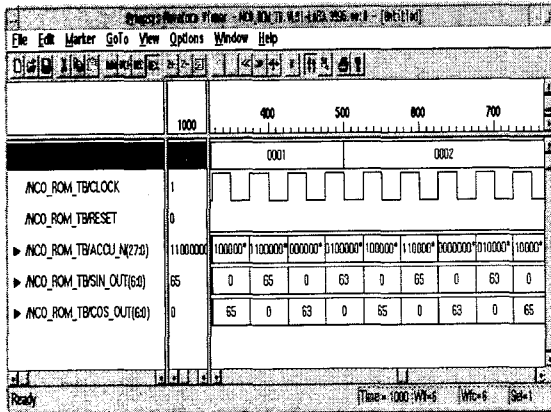


그림 8. 기존의 NCO 시뮬레이션 결과

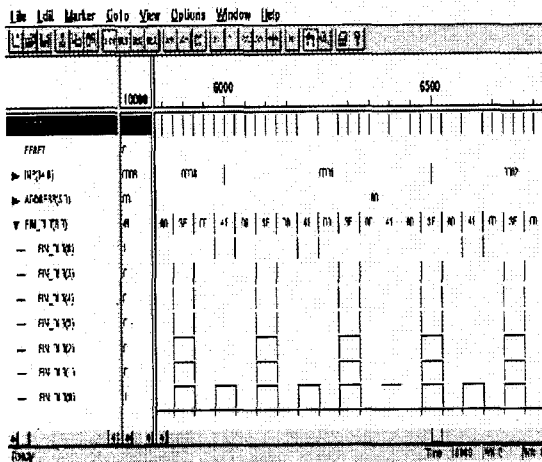


그림 9. 제안된 NCO 시뮬레이션 결과

V. 결 론

QPSK 복조기에서의 위상 오차에 따른 문제점을 극복하기 위해 수신단에서는 반송파의 주파수와 위상을

tracking하는 Carrier recovery loop 부분이 필요하다.

기존 Carrier recovery loop의 NCO는 sine과 cosine의 lookup table을 갖는 구조로 되어있어, 전력소모의 문제점을 가지고 있다. 본 논문에서는 lookup table을 사용하지 않는 저 전력 구조의 QPSK 복조기의 Carrier recovery loop의 NCO를 설계했다. 시뮬레이션 결과 제안한 NCO 구조는 기존의 NCO 구조와 동일한 출력을 확인할 수 있었다. Dynamic power를 비교하면 lookup table을 사용한 NCO의 경우 175 μ W이고 새로운 구조의 NCO는 24.65 μ W의 결과로 약 1/8의 전력소모의 감소를 확인했다. 따라서 본 논문에서 제안된 구조의 NCO는 저 전력을 요구하는 응용 분야에 효율적으로 사용되리라 사료된다.

참 고 문 헌

- [1] L. Ashby, "ASIC Clock Distribution using a phase Locked Loop(PLL)," in IEEE International ASIC Conference and Exhibit, Tech. Dig., pp. P1.6.1-P1.6.3, Sept. 1991.
- [2] R. E Best, "Phase-Locked Loops", McGraw Hill, 1984.
- [3] F. M. Gardner, "Phase Lock Techniques," John Wiley and Sons, 1979.
- [4] C. A. Mead, and L. A. Conway, "Introduction to VLSI Systems," Addison Wesley, 1980.
- [5] B. Sklar, Digital Communications: Fundamentals and Applications, Prentice Hall, 1988.
- [6] Dan Wolaver, "Phase-Locked Loop Circuit Design", Prentice Hall. 1991.