고밀도 DVD 시스템을 위한 FDTrS/DF 신호 검출기의 FPGA 구현

조잉섭, 조용수
중앙대학교 전자전기공학부

FPGA Implementation of an FDTrS/DF Signal Detector for High-density DVD Systems

Eing Seob Cho, and Yong Soo Cho
SCHOOL OF ELECTRICAL AND ELECTRONIC ENGINEERING COLLEGE OF ENGINEERING
CHUNG-ANG UNIVERSITY

eingseob@yahoo.co.kr

요 약

본 논문에서는 고밀도 DVD(Digital Versatile Disc) 시스템(4.7GB~15GB)을 위한 신호 검출기법을 제안하고 FPGA로 구현한다. 본 논문에서 제안하는 FDTrS/DF (Fixed Delay Trellis Search with Decision Feedback)는 트렐리스 구조를 사용하므로 FDTS/DF나 SSD/DF(Signal Space Detection with Decision Feedback)와 같이 이진 가지 구조를 사용하는 신호검출방식에 비해 더 나은 성능을 얻을 수 있다. 또한 FDTrS/DF는 한 단의 트렐리스 구조를 사용해 역추적을 하지 않으므로 하드웨어의 복잡도와 속도면에서 향상된 결과를 얻을 수 있다. 또한 본 논문에서는 하드웨어 구현 시 동작 속도의 향상을 위해 파이프라인 기법과, 계산량 감소를 위해 절대값 분기거리를 사용한다.

I. 서 론

멀티미디어 정보 시대의 개막으로 대용량 디지털 데이터의 저장과 전송에 대한 요구가 증대되면서 최근 DVD에 대한 연구가 활발히 진행되고 있다. 현재 DVD 시장은 DVD-ROM을 채용하려는 컴퓨터 업계와 DVD-Video를 추진하는 가전업계를 중심으로 성장되어 왔다. 이 외에도 한 번 기록이 가능한 DVDR, 반복 기록이 가능한 DVD-RW(rewritable), DVD-RAM (random access memory)이 시장에 출시되면서 그 응용분야가 넓어지고 있다. 또한 향후 HDTV 시대를 대비한 HD(high density 또는 high definition) DVD에 대한 연구가 활발히 진행되고 있다. HD-DVD는 CD, DVD와 같은 크기를 갖지만 15GB 이상의 저장 능력을 갖는다. 이러한 고밀도 채널은 청색 레이저의 사용과 더 작은 track pitch와 최소 피트 길이를 사용함으로써 가능하다. 그러나 이와 같이 채널의 정보밀도가 증가하면 신호의 심볼간 간섭(ISI: intersymbol interference)이 증가하여 재생신호의 품질이 떨어지고 기록된 데이터를 정확히 재생하는데 많은 어려움이 따르게 된다. 최근 이러한 문제점을 해결하기 위하여 고밀도 DVD 시스템의 재생신호 검출 기법에 대한 연구가 활발히 이루어지고 있다.

FDTS/DF는 결정궤환(decision feedback)을 사용하여 하드웨어 복잡도를 줄이고 결정단에 유한 지연(finite delay)을 허용한 후 경로를 검색함으로써 준 최적 MLSD (Maximum Likelihood Sequence Detection)에 해당하는 우수한 성능을 갖는다. 그러나 이 방식은 경로 거리(path metric) 계산시 계산량이 많다는 단점이 있다. 이에 하이퍼플레인을 이용하여 신호 공간을 분할하는 SSD/DF 기법이 제안되었고 이 방식은 FDTS/DF보다 계산량은 적지만 유사한 성능을 가지므로 고밀도 자기 기록 시스템에 적용되었다.

본 논문에서는 고밀도 DVD 시스템에 적합한 FDTrS/DF 신호 검출기법을 제안한다. FDTrS/DF은 첫번째 병합지점까지만 포함하는 다단 구조의 비터비 알고리듬을 1단으로 축소한 트렐리스 구조이다. 이 구조는 역추적이 필요 없으므로 하드웨어의 크기를 감소시킬 수 있고 동작 속도 또한 줄일 수 있는 장점이 있다. 또한 FDTrS는 트렐리스 구조를 갖는 MLSD에 기반을 두고 있어 FDTS, SSD, DFE, PRML에 비해 우수한 성능을 갖게 된다.

또한 본 논문에서는 제안된 FDTrS/DF를 VHDL (Very High speed IC High-Level Design Language)로 설계하고 FPGA(Field Programmable Gate Array)로 구현하여 동작 속도와 사용 면적을 확인한 후 다른 방식들과 비교한다. 그리고 기존에 고밀도 자기 기록 시스템의 신호 검출을 위하여 제안된 FDTS/DF와 SSD/DF를 DVD 시스템에 적절하게 설계한 후 FPGA로 구현한다. 한편 하드웨어 구현시 동작 속도 향상과 하드웨어의 크기를 줄이기 위하여 본 논문에서 제안된 절대값 분기 거리를 적용하여 그 성능을 분석하고, 속도 향상을 위해 파이프라인 기법을 적용하여 FPGA로 구현한다.

II. 제안된 방식

A. FDTrS/DF 기법

본 논문에서 제안된 FDTrS는 첫번째 병합 지점까지만 포함하는 다단 구조의 비터비 알고리즘을 1단 구조로 축소한 트렐리스 구조를 사용하는 결정지연이 제한된 MLSD 기준의 신호검출 기법으로 식 (1)과같이 표현할 수 있다.

$$\max_{a_{k-\tau}}(r_0,\ r_1,\ \cdots,\ r_k \mid a_{k-\tau}) \tag{1}$$

FDTrS는 트렐리스의 첫번째 병합 지점까지 포함하므로 MLSD 기준의 VA과 같이 최소 오류 거리 $d_{\min}$ 에 의하여 성능이 지배된다.

$$\Pr[bit\ \ error] \approx C \cdot Q\left(\frac{d_{min}}{2\sigma}\right) \tag{2}$$

따라서 $\beta_{\min}$ 에 의해 성능이 결정되는 이진 가지 구조를 사용하는 FDTS, 또는 SSD보다 성능이 비슷하거나 우수하다.

결정 지연(τ)을 갖는 이진 가지 구조에 대응되는 트렐리스 구조는 첫번째 병합 지점까지만을 포함하므로 복구하고자 하는 신호가 각 가지에 대하여 고정되어 있어 역추적을 할 필요가 없다. 그림 1은 이러한 관점에서 설계된 RLL(2, 10)과 NRZI로 부호화된 이진 입력에 대한 결정 지연 $\tau=3$ 인 FDTrS를 위한 트렐리스도이다.

FDTrS는 FDTS에서 계산되는 불필요한 분기 거리를 계산하지 않으므로 계산량이 감소한다. 그림 2은 FDTS의 분기 거리 계산 수가 결정 지연 τ 에 대하여 지수함수에 비례하여 증가하는 것에 반하여 FDTrS의 분기 거리 계산은 거의 선형적으로 증가함을 보여준다.

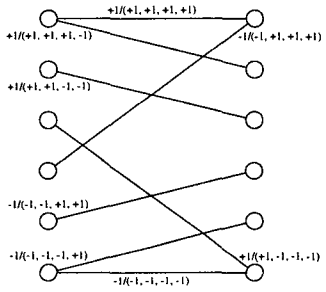


그림 1. RLL(2, 10) 과 NRZI로 부호화된 결정 지연 $\tau=3$ 인 FDTrS를 위한 트렐리스도

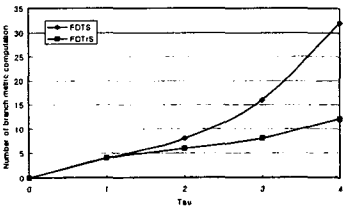


그림 2. FDTrS와 FDTS의 분기 거리 계산 수

B. 절대값 분기 거리

MLSD에서 가산성 잡음이 가우시안 분포라고 가정하면 분기 거리는 제곱값으로 유도 된다. 따라서 가산성 잡음이 가우시안 분포를 갖지 않는 경우에는 제곱값 분기거리를 사용하는 것은 더 이상 최적의 해를 갖지 않는다.

여기서 가산성 잡음을 라플라스 분포러 가정하면 확률 밀도 함수는 식 (3)으로 주어진다.

$$P_{n_N}(n(k)) = \frac{1}{\sqrt{2\pi\sigma^2}} e^{-\frac{|n(k)|}{2\sigma^2}} \tag{3}$$

또한 가산성 잡음 $n(k)$ 이 입력 신호와 서로 독립적이라고 가정하고 가산성 잡음이 라플라스 분포를 가질 때 식(4)와 같이 최적 분기 거리 연산을 얻을 수 있다.

$$\begin{aligned}\lambda(x(k)) &= -\ln\left(P_{y_N|x_N}(y(k)|x(k))\right)\\ &= -\ln\left(P_{y_N|x_N}(y(k)-x(k)|x(k))\right)\\ &= -\ln\left(P_{n_N}(y(k)-x(k))\right)\\ &= -\ln\left(\frac{1}{\sqrt{2\pi\sigma^2}} e^{-\frac{|y(k)-x(k)|}{2\sigma^2}}\right)\\ &= |y(k)-x(k)|\end{aligned} \tag{4}$$

위 식에서 보듯이 가산성 잡음이 라플라스 분포를 가지고 있을 때 최적의 분기 거리는 절대값 분기 거리가 된다. 이러한 절대값 분기거리는 하드웨어 구현시 부호 부분만 바꿔주면 되므로 곱셈기를 사용하는 제곱값 분기 거리를 사용하는 방식에 비해 계산량을 크게 줄일 수 있다. 또한 가우시안 분포와 라플라스 분포의 확률 밀도 함수는 실제로 유사한 모양을 가지므로 큰 성능의 감쇄없이 하드웨어의 크기의 감소와 속도의 향상을 가져올 수 있다.

C. DVD용 신호 검출기의 성능 비교

본 절에서는 제안된 신호 검출 기법(FDTrS/DF)과 기존의 검출 기법(PRML, DFE)을 DVD 시스템에 적합하게 변형한 검출기법(SSD/DF, FDTS/DF)의 성능을 모의실험을 통하여 비교한다. PRML에서 사용한 목표 응답은 PR-I 이며 비터비 검출기는 6 상태를 사용하였다. 검출기에 필요한 필터 계수와 각종 파라미터는 주어진 채널 상황에서 최적의 성능을 나타낼 때의 값을 사용하였다. 결정궤환이 있는 검출기(FDTS/DF, SSD/DF, FDTrS/DF)의 전방필터와 후방 궤환필터의 탭 수는 여러 모의실험 결과와 하드웨어의 복잡성을 고려하여 모두 동일하게 7개로 고정하였고, 채널의 정보 밀도는 6.0의 경우에 대하여 모의 실험을 수행하였다. 그림 3은 모의실험에 사용된 결정궤환이 있는 신호 검출기의 블록도를 보여준다. 이 그림에서 NRZI 부호화기를 통과하고 EFM+ 부호화된 신호는 DVD채널을 통과한 후 지터와 잡음이 첨가되고, 전방필터에 의해 minimum-phase 신호로 변환된후 후방 궤환필터에서 τ 까지의 심볼간 간섭만을 제외하고 나머지는 모두 제거된후 검출단의 입력으로 사용된다.

그림 3는 SNR과 지터의 변화에 따른 여러가지 신호

검출 방식의 성능을 비교하여 보여준다. 그림에서 보듯이 DFE 구조를 사용 하는 방식이 그렇지 않은 방식에 비해 좋은 성능을 나타내며, SSD/DF와 FDTS/DF는 거의 비슷한 성능을 보인다. 또한 제안된 FDTrS/DF가 다른 방식에비해 가장 우수한 성능을 나타내는 것을 확인할 수 있다. 또한 제곱값 분기 거리대신 제안된 방식인 절대값 분기 거리를 사용하여도 약간의 성능 열화만이 존재한다.

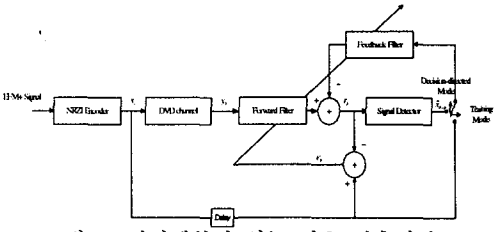
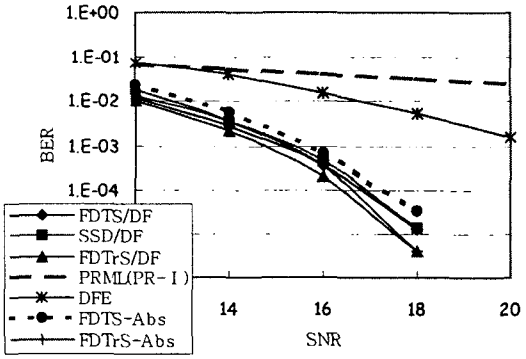
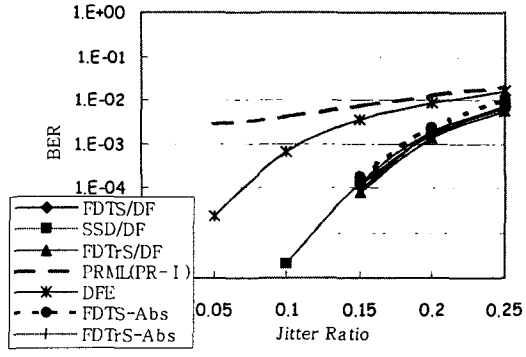


그림 3. 결정궤환이 있는 신호 검출기의 모의실험 블록도



(a)



(b)

그림 4. 다양한 신호 검출기의 BER 성능
(a) SNR에따른 BER (a) 지터에따른 BER

III. 신호검출기의 FPGA 구현

본 절에서는 제안된 FDTrS/DF를 VHDL로 설계하고 이를 FPGA로 구현한 후 다른 검출기(PRML, FDTS/DF, SSD/DF)와 비교한다. 또한 파이프라인 기법과 절대값 분기 거리 연산을 사용하여 신호 검출기의 동작 속도는 향상시키고 하드웨어의 복잡도를 줄인다.

FDTrS/DF를 구현할 때 필요한 필터 탭수와 비트 결정은 모의실험을 통하여 이루어졌으며 최종적으로 FPGA 구현에 사용된 전방 필터와 후방 필터의 탭수는 각각 7개와 3개이며, 비트 수는 등화기의 출력신호 12 비트, 분기 거리 연산 11 비트, 경로 거리 연산 및 정규화 연산 9 비트, 비교 연산 7 비트이다. 여기서 이보다 더 적은 비트를 사용할 경우 동작 속도는 빠르게 나타나지만 에러오류율이 증가한다. 또한 모든 연산을 12 비트로 한 경우에 비해 속도는 향상되고 전체 칩의 크기도 줄일 수 있으면서 성능의 열화는 거의 발생하지 않는다.

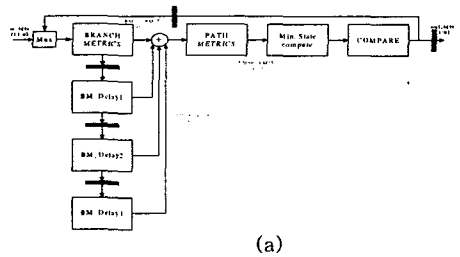
PRML 구현시 목표 응답은 PR-I으로 하였고, EFM+ 부호를 고려하여 비터비 검출기의 상태를 6으로 줄일 수 있다. 실제 구현에 있어서는 6 상태를 단순화한 2 상태 검출기를 사용하였는데 성능은 6 상태를 사용한 경우와 유사하게 나타난다.

결정궤환이 있는 검출기(FDTS/DF, SSD/DF, FDTrS/DF)의 속도 향상을 위해 파이프라인 기법을 적용하였다. 전방필터는 transposed direct form으로 구성되어 임계경로에 속하지 않지만, 검출단의 입력부터 후방 궤환필터의 출력까지 임계경로가 형성되어 동작 속도에 직접적인 영향을 준다. 따라서 검출단의 비교블록 전단에 플립플롭을 삽입하여 임계경로 부분을 2 단계로 나누어서 머신 사이클(machine cycle)의 길이를 단축시켜 파이프라인 기법을 적용하였다. 그러나 이와 같이 구현하게 되면 전체적인 등화기의 출력은 파이프라인 구조를 사용하지 않을 때보다 한 클럭 늦게 출력되므로, 후방 궤환필터로의 입력 또한 한 클럭 늦게 되어 등화하는 신호와 검출단의 입력이 동기가 맞지 않아 성능이 저하하게 된다. 이 부분의 동기화를 위하여 후방필터의 첫번째 연산을 검출기의 입력단에서 이용하면 분기 거리 연산량이 두 배로 늘어나지만 후방 궤환필터의 동작 클럭 수가 하나 줄게 되어 파이프라인 기법을 적용하여도 동일한 성능을 갖게 된다.

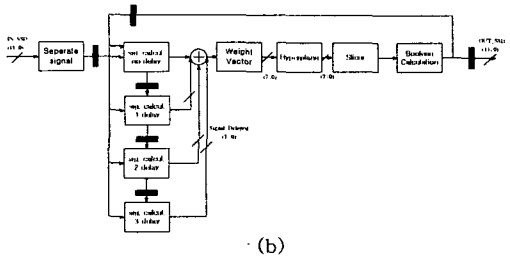
그림 5는 파이프라인을 고려한 결정궤환 구조를 갖는 신호 검출기들의 하드웨어 블록도를 보여준다. 여기서 FDTS/DF와 SSD/DF 검출기의 내부 연산시 속도 향상을 위하여 대부분의 연산을 7~8 비트로 구성하였다. 위 그림과 같이 설계하여 구현한 경우 전 절의 모의실험 결과와 동일한 성능을 나타냄을 확인하였다.

표 2.(a)에서 보면 FDTrS/DF 와 FDTS/DF 모두 절대값 분기 거리를 사용할 경우 속도를 크게 향상시킬 수 있음을 알 수 있고, 표 1.(b)은 파이프라인 기법을 사용하여 FDTS/DF, SSD/DF, FDTrS/DF를 구현한 경우와 그렇지 않은 경우의 임계 경로값의 변화를 보여준다. 이 표로부터 파이프라인 구조를 사용한 경우에는 그렇지 않은 경우에 비해 모든 검출방식에서 15ns 이상 속도의 향상이 이루어짐을 알 수 있다. 표 2는 본 논문에서 기술한 신호 검출기들의 합성결과를 보여주는데, FPGA 구현의 경우에는 FLEX-10K를 target

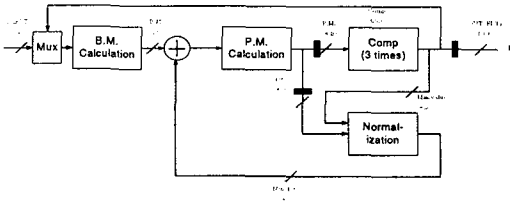
library로 사용하였고, ASIC 구현 시에는 공정 기술 0.6 μm 인 KG-75를 target library로 사용하였다. 결정 궤환을 갖는 검출기들 중 FLEX-10K를 사용한 경우 SSD/DF의 속도가 가장 빠르게 나타나지만, KG-75를 사용한 경우에는 FDTrS/DF의 속도가 가장 빠른 것을 볼 수 있다. 이는 SSD/DF의 경우 절대값 분기 거리 연산을 사용하지 않고 신호공간을 이용하여 신호를 결정하므로 곱셈기를 사용하기 때문이다. 일반적으로 library에 따라 곱셈기에서 걸리는 시간이 조금씩 다르기 때문에 구현 방식에 따라 속도의 차이가 조금 다르게 나타난다.



(a)



(b)



(c)

그림 5. 파이프라인을 고려한 신호검출기의 하드웨어 블록도
(a) FDTS/DF, (b) SSD/DF, (c) FDTrS/DF

표 1. 여러 방식에 따른 임계경로값
(a) 절대값 분기거리 방식 (b)파이프라인 방식

Branch metric	FDTS/DF	FDTrS/DF
Normal	94.79 ns	83.35 ns
절대값 분기거리	52.12 ns	52.91 ns

(a)

Branch metric	FDTS/DF	FDTrS/DF
Normal	67.24 ns	68.28 ns
Pipeline	52.12 ns	52.91 ns

(b)

표 2. 신호 검출기의 합성 결과
(a) FLEX-10K (b) KG-75

Detectors	Cell area	Critical path
PRML (PR-I)	1529	48.62 ns
FDTS/DF	2830	52.12 ns
SSD/DF	2599	42.08 ns
FDTrS/DF	2110	52.91 ns

(a)

Detectors	Cell area (# of gates)	Critical path
PRML (PR-I)	11850 (5925)	17.28 ns
FDTS/DF	15690 (7845)	13.95 ns
SSD/DF	14470 (7235)	13.84 ns
FDTrS/DF	11170 (5585)	13.44 ns

(b)

IV. 결론

본 논문에서는 고밀도 DVD 시스템의 신호 검출을 위한 FDTrS/DF 방식을 제안하였다. 제안된 방식은 역추적이 필요 없고 FDTS/DF 비해 분기 거리 연산수가 기존의 방식에 비해 적으므로 하드웨어가 간단하고 동작 속도가 향상된다. 성능 또한 FDTS 나 SSD보다 같거나 우수하게 나타난다.

하드웨어 구현시에는 제안된 방식인 절대값 분기거리와 적절한 파이프라인을 적용하여 하드웨어의 크기를 줄이고 동작 속도를 향상시켰다.

FDTrS/DF는 BER 성능과 하드웨어 합성 결과 모두 다른 신호검출 방식 보다 향상된 결과를 나타내므로 고밀도 DVD 시스템의 신호 검출 방식으로 가장 적합함을 알 수 있다.

[참고문헌]

[1] J. W. M. Bergmans, Digital Baseband Transmission and Recording, KAP, 1996.

[2] R. D. Cideciyan, F. Dolivo, R. Hermann, W. Hirt, and W. Schott, "A PRML system for digital magnetic recording," IEEE J. Select. Areas Commun., vol. 10, no. 1, pp. 38-56, Jan. 1992.

[3] J. Moon and B. Brickner, "A high dimensional signal space implementation of FDTS/DF," IEEE Trans. Magn., vol. 32, pp. 3941-3943, Sep. 1996.

[4] J. Moon and T. Jeon, "Sequence detection for binary ISI channels using signal-space partitioning," IEEE Trans. Commun., vol. 46, pp. 891-901, July 1998.

본 연구는 한국 과학재단(과제번호: 98-0101-01-01-3)의 연구비, 한국영상기기조합, IDEC 연구비 지원에 의한 결과임.