

FPGA 와 DSP 를 기반으로 한 IBAC DAB 시스템 구현

* 김 건, 박소라, 정영호, 이수인

* 한국전자통신연구원 무선방송기술연구소 방송시스템연구부

Implementation of IBAC DAB system using FPGA and DSP

* Geon Kim, So Ra Park, Young Ho Jeong and Soo In Lee

* Broadcasting Technology Department Radio & Broadcasting Technology Laboratory, ETRI,

e-mail : kimgeon@etri.re.kr

요 약

본 논문은 IBAC(FM In Band Adjacent Channel) 방식의 디지털 오디오 방송(DAB: Digital Audio Broadcasting) 시스템 구현을 기술한 것이다. 구현한 DAB 시스템은 현재 방송중인 FM 방송의 인접 대역을 사용하기 위한 것으로, DAB 방송을 위해 주파수대역을 추가로 할당할 필요가 없으므로 주파수대역의 효율을 높일 수 있고 가용주파수 대역이 부족한 지역의 주파수 할당에 대한 문제점을 해결할 수 있다.

1. 서론

디지털 오디오 방송은 기존의 아날로그 AM, FM 방송의 단점을 해소하고, CD 수준의 고품위 음성은 물론 문자나 그래픽, 동화상까지 전송이 가능한 차세대 오디오 방송으로서 세계적으로 활발히 연구가 진행 중이며, 국내에서도 DAB의 상용화를 위하여 표준 안 및 시스템 개발이 이루어지고 있다.

유럽 국가들이 컨소시엄을 구성하여 개발된 Eureka 147 시스템은 유럽을 비롯하여 캐나다, 중국, 인도, 멕시코 등 많은 국가에서 표준방식으로 채택하고 있으며 특히 영국을 비롯한 유럽의 일부 국가는 상용방송을 실시 중이다. Eureka 147은 기존의 FM 방송대역을 사용하지 않고 새로운 주파수대를 DAB 용으로 할당하여 넓은 주파수 대역을 다중 반송파 변조(Multi-Carrier Modulation)를 사용하여 전송하는 방식으로 다중 경로 전파환경에 강한 특성을 갖고 있다[1]. 이에 반하여 미국에서 개발중인 IBOC(In Band On Channel) 방식은 새로운 대역으로의 전환 없이 기존의 FM 방송대역(88 ~ 108 MHz)을 이용함으로써 기존 방송 사업자들의 권리를 최대한 보장하면서 서비스가 가능한 디지털 전송기술의 개발을 목표로 하고 있으나 기존 아날로그 방송과의 간

섭문제로 실용화가 지연되고 있다.

본 논문에서 구현한 또 하나의 In Band 방식인 IBAC(In Band Adjacent Channel) 방식은 기존 FM 대역 내에서 FM 신호와 인접하는 채널 사이의 Guard 주파수 대역에 디지털 신호를 전송하는 방식으로 상호 간섭에 대처하기가 IBOC 보다는 용이하고, 가용주파수 사용 효율면에서는 Eureka 147 보다 효율적이다. 또한 변조방식으로는 다중 반송파 변조방식인 OFDM(Orthogonal Frequency Division Multiplexing)을 사용함으로써 다중경로 전파환경에 강하며 이동 수신품질도 우수하다. OFDM은 유럽의 Eureka 147과 DVB-T(Digital Video Broadcasting-Terrestrial)를 위한 전송 방식으로도 채택하고 있다[1],[2].

DAB 시스템을 구현하는 방법에는 기본적으로 2 가지 방법이 있다. DSP 를 기반으로 한 구조[3]와 ASIC 을 기반으로 한 구조[4],[5]이다. 본 논문에서 구현한 IBAC DAB 시스템의 구조는 채널코덱부의 FPGA 부분과 OFDM 변복조부와 동기부를 처리하는 DSP 부분으로 이루어지고, COFDM(Coded Orthogonal Frequency Division Multiplexing)이라 불리는 변조 기술을 사용한다[6]. 2 장에서는 송수신부의 내부 블록의 구조에 대해서 간단히 설명하고, 3 장에서는 H/W 구현을 하기 위한 세부 설계와 인터페이스 및 클럭 분배를 다루고, 4 장에서는 구현한 송수신부의 연동실험 결과를 검증하고 5 장에서 결론을 맺는다.

2. 송수신기의 구성

IBAC DAB 시스템은 채널코덱부, 변조부/복조부와 DAC/ADC 부로 크게 나눌 수 있다. 채널코덱부와 DAC/ADC 제어부는 FPGA 로 구현을 하고 변조부/복조부는 DSP 를 사용하여 구현한다. IBAC DAB 모델의 송수신 블록도를 그림 1 에 나타내었다. 송수신부를 구성하는 블록

들을 살펴보면, 채널코딩부는 스크램블러 블록, RS(Reed Solomon) 엔코더 블록, 컨벌루션 인터리버 블록, 컨벌루션 엔코더 블록, 비트 인터리버 블록 그리고 심볼 인터리버 블록으로 구성되어 있고, 변조부는 signal mapper, pilot & TPS insertion, IFFT 그리고 guard insertion 으로 구성되어 있다.

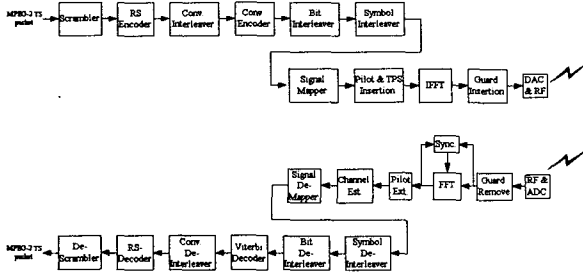


그림 1. IBAC DAB 시스템의 송수신 블록도

스크램블러 블록은 MPEG-2 TS(transport) 다중화기로부터 동기워드(47Hex)로 시작되는 188bytes의 MPEG-2 TS 스트림 포맷의 패킷신호를 입력 받아, 랜덤화 함으로써 사용 대역에서 에너지를 분산시키는 역할을 하고 매 8개의 패킷마다 반전된 동기워드(8Hex)를 패킷의 첫 바이트에 출력한다.

RS 엔코더 블록은 RS(204, 188, t=8)로써, RS(255, 239, t=8)에서 유도되었고, 16 바이트의 체크 바이트를 188 바이트 MPEG-2 패킷의 뒤 부분에 첨가하여 여러 수정을 위한 코딩을 한다.

컨벌루션 인터리버 블록은 Forney 방식의 길쌈 인터리버를 사용하여 동기워드(47Hex) 혹은 반전된 동기워드(8Hex)로 시작되는 204 바이트 단위의 패킷을 인터리빙 한다. 12개의 브랜치로 구성되어 있으며 각 브랜치는 17 바이트 * n, (n=0,1,2... 11) 단위의 셀들로 각각 구성되며 입력력 스위치는 서로 동기 되어 동작한다. 동기를 위하여 동기워드와 반전된 동기워드 들은 항상 0 브랜치를 통하여 전송되며 디인터리버의 동기는 첫번째로 인식된 동기워드를 디인터리버의 0 브랜치에 할당함으로써 얻어진다.

컨벌루션 인코더 블록은 부호화율 1/2, 구속장 7인 길쌈부호를 적용한다. 부호심볼 ($x_{0,i}, x_{1,i}$)을 생성하는 다항식은 각각 171oct, 133oct의 8진수 값으로 표현된다.

비트 인터리버 블록은 Eureka 147의 시간 인터리버 구조를 이용한다. 비트 인터리버는 먼저 행 방향으로 비트 reversal 을 한 다음 열 방향으로 이동을 시킨다. 비트 인터리버의 입력과 출력은 그림 2와 같다. 인터리빙 깊이는 행 방향으로 16xN 개로 구성되며 열 방향으로 16 개로 구성된다. Signal Mapper 에서는 16QAM 을 사용하고, IFFT 에서는 512 개의 OFDM 심볼을 이용하므로 16x16x2048 형태의 비트 인터리버 구조가 된다.

심볼 인터리버 블록은 하나의 OFDM 심벌을 구성하는 유효 반송파수 만큼의 데이터 심벌에 대하여 주파수 인터리빙을 수행한다. 하나의 OFDM 심벌이 512 개 유효 반송파로 구성되어 있고, 파일럿이 포함되지 않은 OFDM

심벌은 식(1)의 $\Pi(i)$ 패턴에 따라 인터리빙을 하고, 파일럿이 포함될 OFDM 심벌은 식(2)의 $D(n)$ 패턴에 따라 심벌 인터리빙을 수행한다.

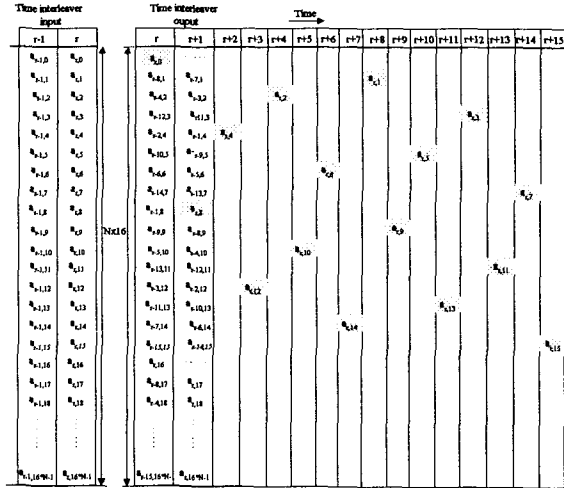


그림 2. 비트 인터리버의 입출력

$$\Pi(i) = 13\Pi(i-1) + 127 \pmod{512} \text{ and } \Pi(0) = 0; \quad (1)$$

$$\text{for } i = 1, 2, \dots, 511$$

$$D(n) = 0 \leq (\Pi(i) - 64) < 384; \text{ for } i = 0, 1, 2, \dots, 511 \quad (2)$$

변조부에 해당하는 블록들은 Signal Mapper, Pilot Insertion, IFFT 그리고 Guard Insertion 으로 구성되어 있으며, DSP 를 기반으로 구현한다. 16QAM 으로 매 평된 신호에 파일럿을 추가하고 매 512 심볼 마다 IFFT 를 수행하여 변조한 후, DAC(Digital to Analog Converter)에서 아날로그 신호로 변환한다.

수신부는 ADC 컨트롤러, 복조부와 채널 디코딩부로 구성되어 있으며, 각 블록은 송신부의 블록을 디코딩하는 역할을 수행한다.

3. 송수신기의 H/W 설계

IBAC DAB 시스템의 송수신기를 구현하기 위한 하드웨어 구조는 그림 3과 같다. 데이터를 변환기, 스크램블러, RS 엔코더, 컨벌루션 인코더, 비트 인터리버, PLL 동작을 위한 클럭 분주회로와 DAC 컨트롤러는 ALTERA 사의 EPF10K100GC503-3 FPGA 을 사용하여 구현하였고, OFDM 변조부는 Texas Instrument 사의 TMS320C6201 DSP 를 사용하여 구현하였다.

송수신기의 입력은 오디오 소스 엔코더로부터 MPEG-2 TS 패킷형태이고 한 개의 패킷은 그림 4(a)에서 보듯이 1 바이트의 동기 바이트(47Hex)와 187 바이트의 데이터 바이트로 구성되어 있다. 그림 4(b)는 데이터를 변환기가 188 바이트를 204 바이트로 데이터를 변환시킨 결과를 보여주고 있으며, 첨가된 16 바이트의 0 위치에는 RS(188,204,8)엔코더의 16 체크바이트가 채워진다.

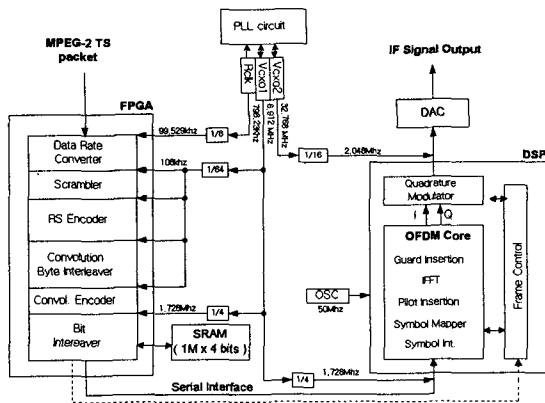
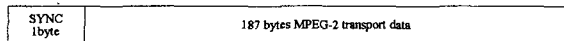


그림 3. IBAC DAB 시스템의 송신기 H/W 구조

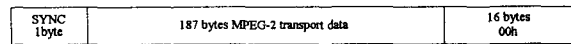
그림 4(c)와 (d)는 스크램블러에서 처리된 데이터 구조이다. 스크램블러는 8 번째 패킷마다 PRBS(Pseudo Random Binary Sequence) 생성기를 초기화 시키고 8 개 패킷그룹의 첫 번째 패킷의 동기 바이트(47Hex)를 디스크램블러의 초기화를 제공하기 위해 반전(B8Hex)시킨다. PRBS 출력의 첫 비트는 반전된 동기 바이트(B8Hex) 뒤에 오는 첫 바이트의 MSB에서부터 적용된다. 다른 블록들의 동기를 위하여 이어지는 7 개 패킷들의 동기 바이트 동안에는 PRBS의 동작은 계속되지만 출력은 하지 않으므로 동기 바이트를 그대로 유지하게 한다. 그러므로, PRBS의 주기는 1503byte가 되고 그림 4(d)와 같은 형태가 된다.

그림 4(e)는 에러 수정코드인 RS(188,204,8) 엔코더의 출력을 나타내는 것이다. 코드 생성 다항식은 $g(x) = (x + \lambda^0)(x + \lambda^1)(x + \lambda^2) \dots (x + \lambda^{15})$, $\lambda = 02_{HEX}$ 이고 펄드 생성다항식은 $p(x) = x^8 + x^4 + x^3 + x^2 + 1$ 이다. 188 바이트에 16 체크바이트가 추가된 204 바이트 코드워드 데이터 구조이다. 이어서, 깊이가 12 인 바이트 단위 인터리빙이 그림 4(e)의 에러 수정코드에 적용되어 그림 4(f)처럼 동기 바이트 또는 반전된 동기 바이트와 인터리빙된 203 바이트의 데이터구조로 나타난다. 컨벌루셔널 엔코더는 데이터율이 1/2 이므로 2 배의 입력클럭에 해당하는 출력클럭을 공급하였다. 비트 인터리버에서는 깊이가 $16 \times 16 \times 2048 = 524,288$ 비트(0.5M 비트)로 상당히 크기 때문에 1Mx4bit 의 외부 램으로 구현하였고, 4 비트 워드의 최하위 비트만을 사용함으로써 비트 단위 인터리빙을 수행하게 하였다.

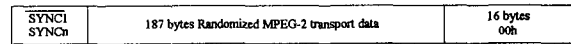
비트 인터리빙된 데이터는 직렬 인터페이스를 통해 DSP 로 전달되고 DSP 에서는 파일럿, Guard 를 데이터에 추가하여 OFDM 변조한 후, DAC 에서 아날로그 신호로 변환된다.



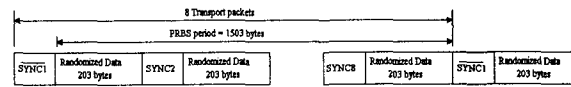
(a) MPEG-2 TS 패킷



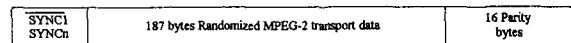
(b) 데이터율이 변환된 MPEG-2 TS 패킷



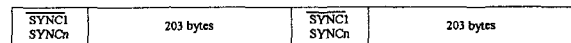
(c) 스크램블된 MPEG-2 TS 패킷



(d) 랜덤화 된 MPEG-2 TS 패킷



(e) RS(188,204,8) 엔코딩된 데이터 구조



(f) 컨벌루셔널 인터리빙된 데이터 구조

그림 4. 각 블록 수행 후 데이터 구조

그림 5에서는 IBAC DAB 모델의 수신기를 구현하기 위한 H/W 구조를 보여준다. 구현에 사용한 FPGA 와 DSP 는 송신기에서 사용한 것과 동일하며, FPGA 에서는 IQ demodulator, 비트 디인터리버, 데이터율 변환기, PLL 회로와 L64705 FEC 디코더용 컨트롤러를 구현하고, 나머지 부분은 DSP 에서 처리하도록 하였다. 각 블록의 동작은 송신기 블록의 역동작으로 간주할 수 있다.

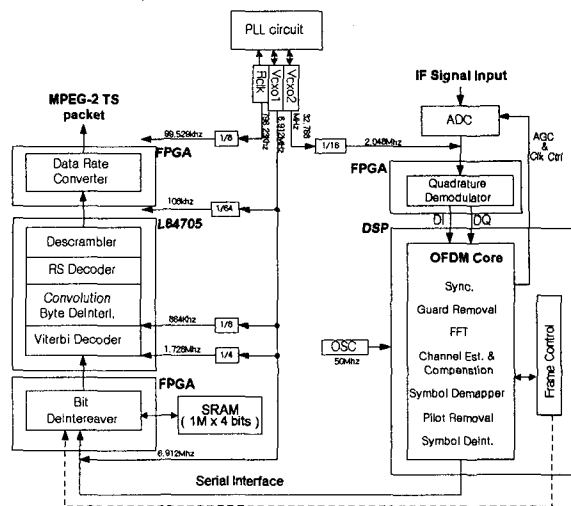


그림 5. IBAC DAB 시스템의 수신기 H/W 구조

IBAC DAB 송수신기는 그림 3과 그림 5의 H/W 구조를 바탕으로 구현하였으며, 그림 6에서 송수신기를 보여주고 있다. FPGA와 DSP를 기반으로 한 송수신기를 구현했기 때문에 수신기도 송신기와 유사하다.

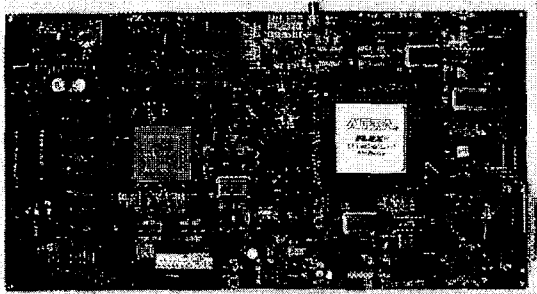


그림 6. IBAC DAB 시스템의 송신기

4. 송수신기의 연동실험

송수신부의 채널코덱 연동실험 방법은 MPEG-2 TS 패킷 테스트 패턴(동기 바이트 47Hex 와 01Hex 부터 BBHex)을 반복해서 송신부에 입력시킨 후 수신부에서 복조된 신호가 테스트 패턴과 일치하는 것을 확인하는 것으로 하였다. 송신부에 입력된 패킷이 송신부의 각 블록들을 거쳐 에러수정을 위한 채널코딩이 수행되고 마지막에 비트 인터리빙을 수행된 후 출력을 수신부의 비트 디인터리빙을 수행하고 L64705 FEC(Forward Error Correction) 디코더 칩에서 에러수정을 한다. 채널코딩이 완료된 데이터를 수신부의 데이터를 변환기에서 오디오 입력 데이터에 맞게 변환시킨 결과가 처음 발생시켰던 MPEG-2 TS 패킷과 동일함을 그림 7에서 확인할 수 있었다.

DAC와 ADC 연동실험을 위해서는 16bit 카운터를 사용하여 테스트 벡터를 튜니파로 만들어 DAC 회로에 입력으로 주었고, DAC 회로의 출력파형을 ADC 회로에 연결하여 ADC를 수행한 결과가 DAC 입력 테스트 벡터와 비교함으로써 DAC와 ADC의 연동실험을 하였다.

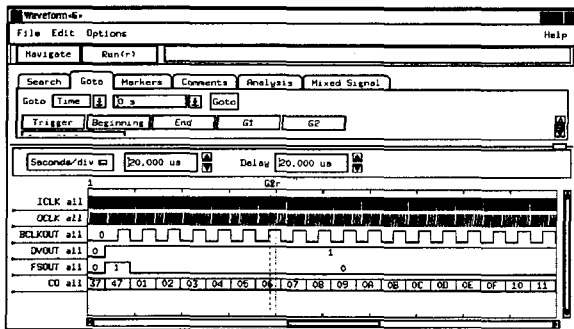


그림 7. 수신기에서 출력된 MPEG-2 TS 패킷

5. 결론

IBAC 방식의 DAB 시스템을 구현하기 위한 채널 코덱과 변복조부를 FPGA와 DSP를 기반으로 구현하였다. ASIC으로 구현하기 위한 전단계로 FPGA를 사용하여 채널 코덱의 동작을 검증함으로써, 차후 ASIC 설계를 용이하게 하였고, 시스템 설계에 드는 비용 절감과 실시간 처리를 가능하게 하였다. 변복조부는 DSP를 기반으로 구현함으로써 OFDM 변조와 동기 알고리즘을 프로그램 수정만으로도 성능개선을 할 수 있도록 유연성을 가지게 하였다[3].

채널코덱의 연동실험과 DAC, ADC 연동실험은 테스트 패턴을 만들어 실험하여 입력패턴과 출력패턴이 일치함을 확인함으로써 검증하였다.

참고문헌

- [1] ETS 300 401 : "Radio broadcasting system: Digital Audio Broadcasting(DAB) to mobile, portable and fixed receivers," February 1995. (The 2nd version is revised in May 1997)
- [2] ETS 300 744 : "Digital Video Broadcasting (DVB); Framing structure, channel coding and modulation for digital terrestrial television," March 1997. (The V1.1.2 is revised in August 1997)
- [3] H. Usuba, S. Kakiuchi, and K. Yamauchi "A Prototype DAB Receiver," in *Proc. IEEE International Conference on Consumer Electronics*, pp.52-5, 1996.
- [4] T. Fukami, A. Tanaka, K. Fukunaga, K. Nomura, and S. Kobayashi, "On-Chip Baseband Decoder for a DAB Receiver," in *Proc. IEEE Custom Integrated Circuit Conference*, pp.400-401,1998.
- [5] M. Bolle, K. Gieske, F. Hofmann, T. Mlasko, and G. Spreitz, "D-FIRE:A DAB Receiver System On a Chip," in *Proc. of the 24th European Solid-State Circuits Conference*, pp.360-363,1998.
- [6] P. Scalart, M. Leclerc, P. Fortier, and H. Tue Huynh, "Performance Analysis of a COFDM/FM In-band Digital Audio Broadcasting system," *IEEE Trans. On Broadcasting*, vol.43,no.2,pp.191-198,June 1998.