

MPEG-2 AAC 오디오 복호화기의 VLSI 설계

방경호, 김준석, 정남훈, 이근섭, 박영철, 윤대희
연세대학교 전기, 전자공학과
전화 : (02) 2123-4749

VLSI Design of MPEG-2 AAC Audio Decoder

Kyoung-Ho Bang, Joon-Seok Kim, Nam-Hun Jeong, Keun-Sup Lee,
Young-Cheol Park and Dae-Hee Youn
ASSP Lab., Electrical & Electronic Eng., Yonsei Univ.
E-mail : euphony@cyclon.yonsei.ac.kr

요 약

본 논문에서는 MPEG-2 AAC 오디오 복호화 시스템을 효율적으로 설계하고 구현하였다. 구현된 시스템은 2채널의 메인 프로파일 MPEG-2 AAC 비트열을 실시간으로 복호화하고, 32, 44.1, 48kHz의 표본화 주파수를 지원하여, 표준안에서 제안하는 톨 중 커플링 채널을 제외한 모든 톨을 지원한다. 설계된 시스템은 허프만 복호화와 예측 과정을 수행하는 두개의 독립된 모듈과 Programmable DSP 코어의 혼합 구조(hybrid architecture)로 최적화된 구조를 갖는다.

1. 서 론

국제 표준화 기구 산하 동영상 전문가 그룹은 MPEG-1 오디오 표준안과의 호환 요건 없이 뛰어난 음질을 제공하는 MPEG-2 AAC 표준안을 제정하였다. MPEG-2 AAC 알고리즘은 낮은 비트율에서도 방송에

적합한 뛰어난 음질을 얻기 위해 고해상도 필터 뱅크, 예측, 허프만 부호화 등의 기술들을 집약시켜 놓았다 [1][2].

MPEG-2 AAC 알고리즘을 방송이나 멀티미디어 시스템 등에 이용하기 위해서는 실시간 처리가 가능한 부호화/복호화 시스템을 구현하는 것이 필요하다. VLSI에 의한 ASIC 기술은 복잡하고 방대한 시스템을 소형화하는 것을 가능하게 만들었고, 이미 많은 오디오 부호화/복호화 시스템이 ASIC 기술을 이용하여 단일 칩으로 개발, 상용화되었다.

본 논문에서는 MPEG-2 AAC 메인 프로파일(LC 프로파일 포함)로 부호화된 표준 비트열로부터 오디오 신호를 복호화하는 하드웨어 시스템을 VHDL로 설계하였다. MPEG-2 AAC 복호화 시스템의 효율적인 설계를 위해서 먼저 복호화기의 연산량과 복잡성을 분석하고 각 톨들간의 연관성을 고려하여, 크게 고정 소수점 DSP 프로세서 코어 모듈과 특정한 연산을 독립적으로 반복 수행하는 전용 하드웨어 모듈로 최적화된 복호화 시스템을 구성하였다.

구현된 MPEG-2 AAC 복호화 시스템은 표준 비트열을 2채널의 오디오 신호로 실시간 복호화하며 MPEG-2 AAC 표준안에서 제안하고 있는 기법 중 커플링 채널 기법을 제외한 모든 기능을 지원한다. 또한 MPEG-2 AAC의 세가지 프로파일 중 메인 프로파일과 LC 프로필을 지원하며 표본화 주파수는 32, 44.1, 48kHz를 지원한다.

논문의 구성은 다음과 같다. 2장에서는 MPEG-2 AAC 오디오 복호화기의 효율적인 구조를 제안하였다. 3장에서는 복호화기의 S/W설계에 대해 설명하였고, 4장에서는 보조 연산기의 설계에 대해 설명하였다. 5장에서는 시스템의 성능 평가를 수행하고 6장에서는 결론으로 끝을 맺었다.

2. 복호화기의 효율적인 구조

최적화된 고정 소수점 복호화 알고리즘은 VLSI를 통해 하나의 시스템으로 구현된다. MPEG-2 AAC 오디오 복호화기를 하나의 DSP 프로세서 코어를 사용하여 구현하기 위해서는 알고리즘의 복잡성과 많은 연산량으로 높은 성능의 프로세서를 필요로 한다. 그러나 효율적인 시스템을 구현하기 위해서는 복호화 과정 중 제어 중심의 과정을 프로세서 코어에 할당하고 연산 중심의 과정을 하드웨어 로직(hardwired logic)으로 설계된 모듈에 할당하는 것이 유리하다[3]. 본 논문에서는 시스템의 복잡도와 효율성을 고려하여 독립적인 연산을 반복 수행하는 허프만(Huffman) 복호화기와 예측기는 독립된 하드웨어 모듈로 설계하고, 그 외의 과정은 프로세서 코어에 할당하여 프로세서 코어의 부담을 크게 줄이고, 공용 복호화기의 설계도 가능하게 하였다.

본 논문에서 사용된 프로세서 코어는 오디오 부호화/복호화 시스템에 적합하도록 설계되었으며, 이미 다른 오디오 부호화/복호화 시스템의 구현을 통해 기능적, 물리적으로 검증되었다. 또한 방대한 연산량과 하드웨어 자원을 요구하는 툴들은 각 연산들의 관계와 소요 시간 등을 고려하여 독립된 하드웨어 모듈인

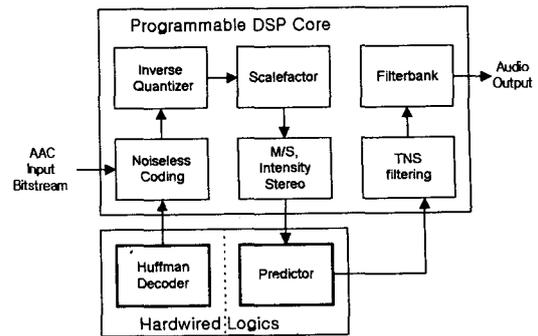


그림 1. MPEG-2 AAC 복호화기의 효율적인 구조

허프만 복호화기와 예측기로 설계하여 병렬처리를 가능하게 하였다. 본 논문에서 제안하는 MPEG-2 AAC 오디오 복호화기의 효율적인 구조는 그림 1과 같다.

3. MPEG-2 AAC 복호화기의 S/W 설계

전체 복호화 과정 중 보조 연산기를 이용하는 허프만 복호화 과정과 예측 과정을 제외한 과정은 프로세서 코어의 어셈블리를 사용하여 소프트웨어로 구현하였다.

표 1에 나타낸 연산량은 소프트웨어로 구현된 부분만을 계산한 것이므로 병렬로 처리되는 예측 모듈의 연산량은 제외시켰고 허프만 복호화 모듈은 실제 구현된 것과 같이 1 사이클로 계산하였다. 단 표 1에 나타낸 예측 과정의 연산량은 예측 모듈의 계산 결과를 사용해서 스펙트럼 계수 값을 처리하는데 필요한 연산량을 나타낸 것이다.

표 1. 복호화 과정별 연산량

복호화 과정	연산량(cycles)	비율(%)
무손실 부호화	152,140	32.6
채널간 부호화	52,560	11.3
예측	15,430	3.3
TNS	105,360	22.6
필터뱅크	135,328	29.0
기타	5,724	1.2
합계	362,642	100

단변환 프레임은 예측 상태 변수를 초기화하기만 하면 되므로 이와 같은 연산이 필요 없다. 최악의 경우에도 실시간으로 동작해야 하므로 가장 많은 연산량

을 갖는 경우를 고려하여 1024샘플의 긴 블록을 갖는 프레임에 대해 연산량을 구하였다.

4. 보조 연산기의 설계

4.1 허프만 복호화의 설계

허프만 복호화 과정은 비트열에 포함되어있는 허프만 코드워드에 대한 허프만 인덱스를 구하는 과정이다. 먼저 12개의 허프만 테이블 중 하나가 선택되고, 선택된 테이블에 있는 코드워드들과 비트열을 비교하여 일치하는 코드의 인덱스를 출력한다. 허프만 복호화의 구조는 그림 2와 같다.

허프만 복호화 과정은 무손실 부호화 과정의 연산량을 덜어주기 위해 가능하면 짧은 시간 안에 허프만 인덱스를 출력해야 한다. 그러므로 MUX로직과 게이트들의 조합으로 구성하여 전체 과정이 1 사이클 안에 수행될 수 있는 구조를 선택했다.

4.2 예측기의 설계

예측 과정은 LMS(least-mean-square)이론에 근거하여, 예측기 계수에 의해 곱셈과 나눗셈의 연산으로 계산된다. 나눗셈 연산은 일반적으로 나누는 수의 비트 길이 만큼의 사이클 수가 소요되므로, 연산량의 부담을 줄이기 위해서는 빠른 나눗셈기가 요구된다.

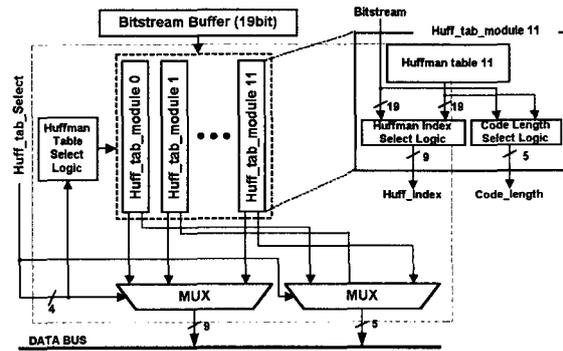


그림 2. MPEG-2 AAC 허프만 복호화의 구조

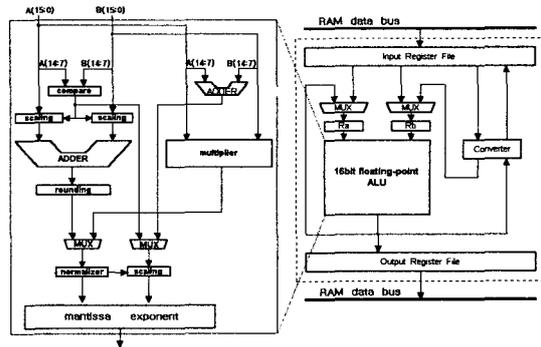


그림 3. MPEG-2 AAC 예측기의 구조

또한 곱셈 결과를 누적시키는 형태의 연산이므로 넓은 동적 영역을 요구한다. 넓은 동적 영역을 확보하면서 가능한 적은 오차 즉, 높은 해상도를 가지기 위해서는 부동 소수점 연산기를 사용하는 것이 유리하다. 그러나 부동 소수점 연산기는 고정 소수점 연산기에 비해 많은 전력을 소모하고 넓은 칩 면적을 요구하는 등의 단점을 가지므로, 16비트 길이의 짧은 데이터 형식을 사용하였다. 또한 스펙트럼 성분 당 하나의 예측기가 존재하므로 요구되는 메모리(RAM)의 용량도 복호화의 다른 모듈에 비하여 상대적으로 크다. 따라서 이러한 예측기의 특성상 예측 과정을 하나의 독립적인 모듈로 분리하여 다른 복호화 과정과 병렬적으로 동작시키고, 고정 소수점 연산을 사용하는 프로세서 코어와는 별도로 예측 과정을 부동 소수점 연산을 사용하였다. 그림 3은 설계한 예측기의 구조이다.

5. 시스템의 성능 평가

5.1 실시간 구현 검증

논문에서 사용된 프로세서 코어는 최소 40MHz의 시스템 클럭으로 동작하고, 복호화기는 최대 48kHz까지의 표본화 주파수를 지원하도록 하였다. 일반적으로 사용되는 클럭 주파수와 표본화 주파수가 결정되면 하나의 오디오 프레임 처리에 사용 가능한 최대 클럭 사이클 수를 구할 수 있다. 프로세서 코어의 클럭 주파수를 f_{clk} 라고 하고 최대 표본화 주파수를 f_s 라고 할

때, 하나의 오디오 샘플에 대응되는 클럭 수는 식 (1) 과 같다.

$$f_{clk} \times \frac{1}{f_s} = 40 \times 10^6 \times \frac{1}{48 \times 10^3} = 833.3(\text{cycles}) \quad (1)$$

한 오디오 프레임의 샘플 수는 1024샘플이므로 한 오디오 프레임 처리에 사용 가능한 클럭 수는 853333 사이클이다. 따라서 복호화 과정을 실시간으로 처리하기 위해서는 한 프레임에 대한 복호화 과정이 853333 사이클 안에 수행되어야 한다. 2장에서 설명한 연산량을 근거하여 구현된 시스템은 실시간으로 MPEG-2 AAC 오디오 복호화 과정을 수행할 수 있다.

5.2 알고리즘 검증

다음의 두 단계를 거쳐 시스템의 알고리즘에 대한 검증을 수행하였다. 시스템 설계에 앞서 C언어로 부동 소수점 및 고정 소수점 모의 실험을 하여 복호화 알고리즘에 대한 기능적 검증을 하였다. 그리고 이러한 검증을 바탕으로 복호화 시스템을 설계하고, 구현된 시스템이 모의 실험과 같은 결과를 출력하는지 검증하였다.

그림 4는 한 오디오 프레임에 대한 시스템의 출력과 부동 소수점 모의 실험 결과의 16비트 PCM을 비교한 것이다. 그림에서 나타난 것처럼 두 결과는 최대 ± 2 정도의 근소한 차이 즉, 90dB이상의 출력 SNR을 보여주므로, 두 결과는 거의 일치한다고 볼 수 있다. 따라서 설계된 MPEG-2 AAC 복호화 시스템은 정상적으로 복호화 과정을 수행함을 검증하였다.

5. 결론

본 논문에서는 MPEG-2 AAC 오디오 복호화 시스템을 설계하고 구현하였다. 구현된 시스템은 2채널의 메인 프로파일 MPEG-2 AAC 비트열을 실시간으로 복호화하고, 32, 44.1, 48kHz의 표본화 주파수를 지원하여, 표준안에서 제안하는 톨 중 커플링 채널을 제외한 모든 톨을 지원한다.

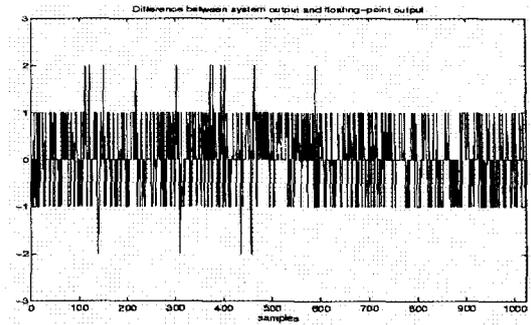


그림 4. 시스템 출력과 모의 실험 결과의 비교

C언어로 부동 소수점 복호화기를 제작하여 성능 평가를 수행하고, 고정 소수점 복호화기를 제작하여 function 별로 알고리즘을 최적화하였다. 시스템의 연산량 부담을 줄이고, 효율성을 높이기 위해 전체 시스템을 프로세서 코어 모듈, 허프만 복호화 모듈 그리고 예측 모듈의 3개의 모듈로 분할하여 구현하였다. 오디오 부호화/복호화에 최적화된 Programmable DSP 코어를 사용하여 허프만 복호화 과정과 예측 과정을 제외한 모든 복호화 과정을 소프트웨어(어셈블러)로 구현하였고, 많은 연산량과 하드웨어 자원을 요구하는 허프만 복호화기와 예측기는 코어 외부의 독립된 모듈로 구성하여 효과적인 복호화 시스템을 제안하였다.

단일 칩으로 구현한 MPEG-2 AAC 복호화 시스템은 디지털 오디오 방식의 저장 매체나 디지털 오디오 방송 장비 등의 다양한 응용 분야에 사용될 수 있으며, Dolby AC-3나 MPEG-1/2와의 공용 복호화 시스템의 구성할 수 있다.

참고 문헌

- [1] ISO/IEC JTC1/SC29/WG11 No.1650 "IS 13818-7(MPEG-2 Advanced Audio Coding,AAC)", Apr., 1997.
- [2] M. Bosi and et al., "ISO/IEC MPEG-2 Advanced Audio Coding", J.Audio Eng. Soc., Vol.45, No.10, pp.789-814, Oct., 1997.
- [3] 정남훈, "VLSI를 이용한 MPEG-2 오디오 부호화기 설계", 연세대학교 석사 학위논문, Dec., 1996.