

# 고온 동작 환경에서 드리프트 영역 길이 변화에 따른 100V급 LDMOSFET의 전기적 특성에 관한 연구

최 철, 김도형, 구용서\*, 안 철  
서강대학교 전자공학과, \*서경대학교 전자공학과  
전화 : (02) 706-3401 / 팩스 : (02) 706-4216

## A Study on the High Temperature Characteristics of 100V-Class LDMOSFET under various Drift Region Length

Chul Choi, Do-Hyung Kim, Yong-Seo Koo\*, Chul An  
Dept. of Electronic Eng. Sogang Univ., \*Dept. of Electronic Eng. Seokyeong Univ.  
E-mail : ccchurry@dreamwiz.com

### Abstract

In this study, the electrical characteristics of 100V-Class LDMOSFET for high temperature applications such as electronic control systems of automobiles and motor driver were investigated.

Measurement data are taken over wide range of temperature(300K-500K) and various drift region length(6.6 $\mu$ m-12.6 $\mu$ m).

In high temperature condition(>450K), drain current decreased over 50%, and specific on-resistance increased about twice in comparison with room temperature. Moreover, the ratio  $R_{on}/BV$ , a figure of merit of the device, increased with increasing temperature.

### I. 서론

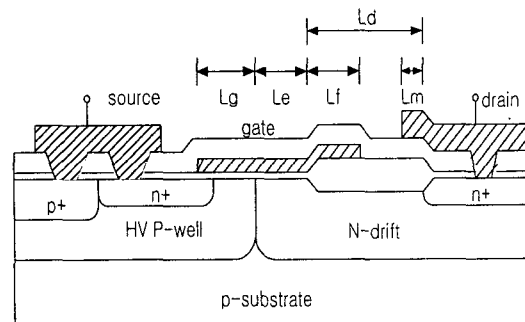
전력 집적회로 시스템 응용을 위한 전력 MOSFET은 일반적인 MOSFET과는 달리 높은 전류 및 전압 구동 능력을 위해 항복전압을 높일 수 있는 구조가 필요하다. 이를 위해 불순물을 낮게 도핑한 드리프트 영역(Drift Region)을 이용해서 급격한 전압강하로 인한 수평 전계의 증가를 막기 위한 구조인 LDMOSFET(Lateral Double-diffused MOSFET: LDMOS) 소자가 제안되었다. LDMOS는 드레인 전극이 표면에 존재하

므로, CMOS와의 호환성이 높고 격리공정이 용이하여 집적도를 높일 수 있기 때문에 전력 집적회로 시스템에 많이 이용되고 있다[1].

이러한 전력 집적회로 시스템은 주로 400K이상의 높은 동작온도 환경을 요구하는 자동차 전자제어장치 및 모터 제어장치의 핵심부품으로 이용되고 있다[2]. 따라서 고온 동작환경에서 신뢰성을 가지는 LDMOS 소자가 요구되게 되었고, 이를 설계하기 위해서는 온도특성 분석이 필수적이라고 할 수 있다.

이에 본 연구에서는 300K~500K의 동작 온도 환경에서 100V급 LDMOS의 드리프트 영역(Drift Region :  $L_d$ ) 길이변화에 따른 전기적 특성을 측정 분석하였다.

### II. 측정조건 및 방법



[그림. 1] 측정에 사용된 n-LDMOSFET의 소자 구조

실험에 사용된 소자(그림. 1)는 100V급 RESURF형 (REduced SURface Field) n- LDMOSFET으로 p 에 피층 위에 붕소(B)가 이온주입된 high p-well 및 인 (P)이 이온주입된 n-드리프트 영역(drift region)으로 구성되어 있다. Gate oxide 두께는 200Å, 채널 및 드리프트 영역의 폭은 90μm이고, 수평길이 성분은 게이트 길이(Lg) 2.4μm, 게이트 확장영역 길이(Le) 2.4μm, 게이트 필드판 확장영역 길이(Lf) 1.8μm, 드레인 필드판 확장영역 길이(Lm) 2.4μm로 구성되어 있다.

위의 소자 변수들을 모두 고정시켜 놓은 상태에서 드리프트 영역 길이(Ld)를 각각 6.6μm, 9.6μm, 12.6μm로 변화시켜 가며 300K, 350K, 400K, 450K, 500K 온도환경에서의 전기적 특성을 측정하였다.

온도환경 조성에는 Hot chuck 및 온도 보정된 Temperature Controller를 사용하였고 전기적 특성 측정에는 HP4145B와 Curve Tracer TEK370을 사용하였다.

### III. 측정결과 및 분석

전력 집적회로에서 논리회로를 구성하여 신호처리를 수행하는 CMOS와는 달리 LDMOS 소자는 주로 전류 및 전압을 구동하는 스위치의 역할을 수행한다. 따라서 높은 전압 및 전류 구동 능력과 switching 속도가 LDMOS의 성능을 좌우하는 중요한 요소가 된다.

따라서 이를 결정하는 주요 전기적 파라미터인 문턱전압, 드레인 전류, On-resistance 및 항복전압을 중심으로 고온 동작환경에서의 전기적 특성을 분석하도록 하겠다.

#### 가. 문턱전압

N-Channel MOSFET의 문턱전압에 관한 식은 다음과 같다[3].

$$V_{th}(T) = \phi_{MS} + 2\phi_F - \frac{Q_{ox}}{C_{ox}} - \frac{Q_{depl}}{C_{ox}} \quad (1)$$

여기서  $\phi_{MS}$ ,  $\phi_F$ ,  $Q_{ox}$ ,  $Q_{depl}$ 은 각각 metal-semiconductor work function difference, fermi potential, gate oxide에서의 charge density, 그리고 gate에 의해 control 되는 depletion charge 양을 나타낸다.

식 (1)에서 온도에 가장 dominant한 항은 fermi potential  $\phi_F$ 인데 이를 식으로 나타내면 다음과 같다.

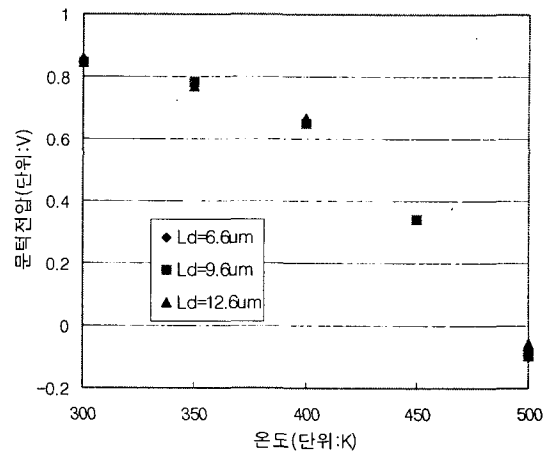
$$\phi_F = \frac{kT}{q} \ln(N_a / n_i(T)) \quad (2)$$

여기서  $n_i$ 는 intrinsic carrier concentration인데 식

(3)과 같이 표현할 수 있다.

$$n_i = 3.9 \times 10^{16} T^{3/2} e^{-(E_g/2kT)} \quad (3)$$

따라서 온도가 증가하면  $n_i$ 가 증가하게 되고 이에 의해 fermi potential이 감소하기 때문에 문턱전압이 감소하게 된다. 그림 2에서는 각 드리프트 영역 길이에서 온도 증가에 대한 문턱전압의 변화를 나타내었다. 그림 2의 결과에서는 온도가 증가할수록 문턱전압의 감소율이 커짐을 볼 수 있으며 평균적으로 약 -4.7mV/K의 감소율을 보인다. 이는 기존 n-MOSFET 소자의 감소율 -4mV/K(불순물 농도:  $3 \times 10^{16}/\text{cm}^3$ ) 및 -2mV/K(불순물 농도:  $1 \times 10^{15}/\text{cm}^3$ )[4] 보다 더욱 큰 값으로 이는 LDMOS의 채널구조가 높은 도핑농도를 가지는 double-diffused 구조이기 때문이라고 알려져 있다[2]. 또한 문턱전압은 채널 영역의 inversion과 관련된 함수이므로 드리프트 영역길이 변화와는 전혀 무관함을 실험결과로부터 알 수 있었다.



[그림. 2] 각 드리프트 영역 길이에서의 온도변화에 따른 문턱전압

#### 나. 드레인 전류

포화영역( $V_{ds} > V_{gs} - V_t$ )에서의 드레인 전류는

$$I_{ds} = \beta(T) (V_{gs} - V_T(T))^2 \quad (4)$$

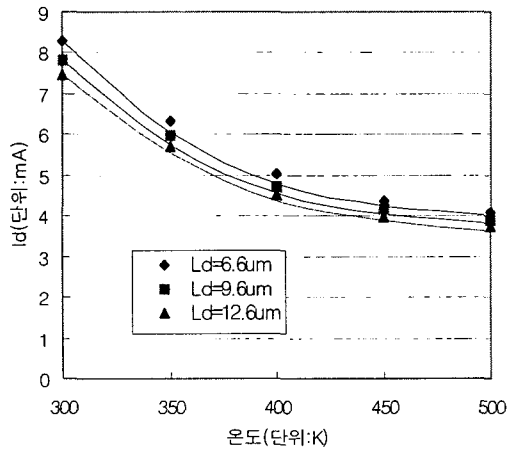
$$\beta(T) = \frac{1}{2} \mu_{eff}(T) C_{ox} \left(\frac{W}{L}\right) \quad (5)$$

로 나타낼 수 있다.

식 (4)와 (5) 그리고 그림. 2와 그림 3의 실험결과를 이용하면 다음과 같은 식을 유도 할 수 있다.

$$\beta(T) = \beta(300K) * \left(\frac{T}{300}\right)^{-n} \quad (n \approx 2.2) \quad (6)$$

식 (5)에서  $\beta(T)$ 의 온도 의존성에 가장 주된 영향을 주는 항은 effective mobility인  $\mu_{eff}$ 이다. 따라서,  $\mu_{eff}$ 의 변화율을 대략  $\mu_{eff} \propto T^{-2.2}$ 로 표현할 수 있는데, 이는 기존 MOSFET 소자에서의 mobility의 온도 의존성  $\mu_{eff} \propto T^{-n}$  ( $n: 1.5 \sim 1.8$ )[5] 보다 약간 큰 값이다. 이로써 기존 MOSFET 소자에 비해 LDMOS 소자의 온도 증가에 따른 열화 현상이 더욱 심각함을 알 수 있다.



[그림. 3] 각 드리프트 영역 길이에서의 온도변화에 따른 드레인 전류 (드레인 전압: 25V, 게이트 전압: 5V, 실선: 식 (6)의 결과)

다. Specific On-Resistance

On-resistance는 전류 전도시의 전력 소모를 나타내기 때문에 전류 구동 능력을 결정하는 중요한 소자 변수이다[6]. 따라서 On-resistance가 작은 소자일수록 전류 구동 능력이 커지게 된다. LDMOS 소자의 On-resistance는 크게 채널 저항과 드리프트 영역 저항, 그리고 드리프트 영역 양 끝 게이트와 드레인 부근에서의 spreading 저항으로 구성된다. 그런데, 매우 낮은 항복 전압을 가지는 소자를 제외하고는 LDMOS의 On-resistance는 드리프트 영역의 저항에 의해 좌우된다. 따라서 전체 On-resistance를 드리프트 영역의 resistance인

$$R_{on} \cong R_d = \frac{L_d}{q \mu_{eff} Q_d W} \quad (7)$$

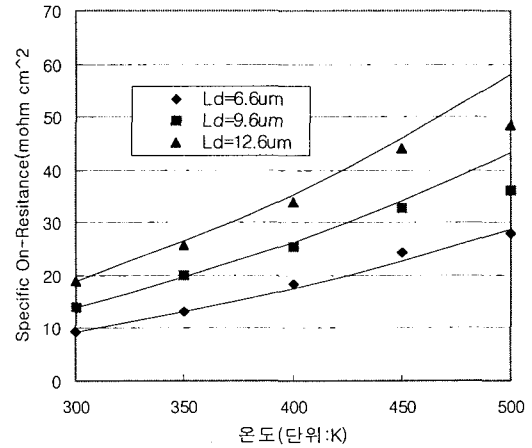
로 간단히 나타낼 수 있다[7].

식 (7)과 실험 결과에 의해 On-resistance는 드리프트 길이에 비례하여 증가함을 알 수 있고 온도에 따른

변화는

$$R_{on}(T) = R_{on}(300K) \cdot \left(\frac{T}{300}\right)^n \quad (n \approx 2.2) \quad (8)$$

으로 식 (6)에서와 비슷한 온도변화계수를 보이고 있다.



[그림. 4] 각 드리프트 영역 길이에서의 온도변화에 따른 Specific On-Resistance(드레인 전압: 0.1V, 게이트 전압: 5V, 실선: 식 (8)의 결과)

이로써 온도 증가에 따른 Specific On-Resistance의 변화도 드레인 전류와 마찬가지로 effective mobility에 가장 주된 영향을 받고 있음을 알 수 있다.

라. 항복전압

반도체 전력소자의 성능을 좌우하는 가장 중요한 요소 중의 하나가 높은 전압을 제어(Voltage blocking)하는 능력인데 이는 소자의 항복전압에 의해 결정된다.

항복전압은 주로 충돌 이온화에 의한 애벌랜치(avalanche) 현상에 의해 형성되는데 이를 식으로 나타내면 다음과 같다[8].

$$BV_{dss} = \epsilon_s E_{s,cr}(N_D) \left[ \frac{E_{s,cr}(N_D)}{2q N_D} + \frac{1}{C_o} \right] \quad (9)$$

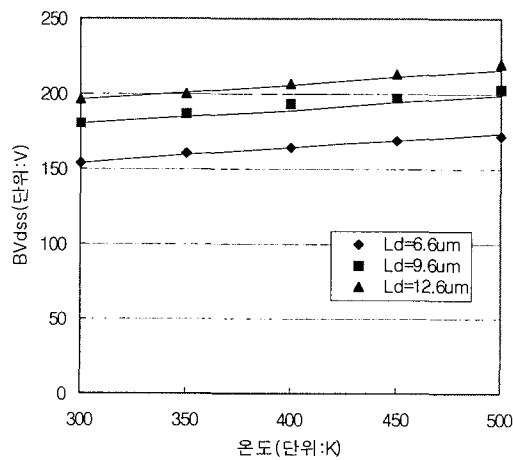
격자분산 평균자유경로(mean free path)를 움직이는데 캐리어가 이온화에 필요한 에너지를 얻을 때 항복이 일어나게 되는데 주어진 거리에 대한 특정한 에너지 이득은 특정한 전계에 대응한다. 다시 말해서, 전계가 어떤 임계값 (식 (9)에서의  $E_{s,cr}(N_D)$ )에 도달할 때 항복이 발생하게 된다.

$$\lambda = \lambda_0 \tanh\left(\frac{E_p}{2kT}\right) \quad (10)$$

그런데 온도가 증가하게 되면 식(10)에서 볼 수 있듯이 평균자유경로  $\lambda$ 가 증가하게 된다. 따라서 온도가 증가하게 되면 이온화를 위해 더 큰 임계 전계값을 요구하게 되고 이로 인해 항복전압도 증가하게 된다 [9].

그림. 5에서는 게이트 전압이 0V일 때 드레인-소스 간의 대기상태 항복전압을 나타내었다. 실험결과 절대 온도 1K 증가시 약 0.1V의 항복전압 증가를 볼 수 있었고 이를 선형적인 식으로 표현하면 다음과 같다.

$$BV_{dss}(T) = BV_{dss}(300K) + 0.1(T - 300) \quad (11)$$



[그림. 5] 각 드리프트 영역 길이에서의 온도변화에 따른 대기상태 항복전압(Gate전압: 0V, 실선: 식 (11)의 결과)

#### IV. 결론

본 논문에서는 고온 동작환경에서 드리프트 영역 길이 변화에 따른 100V급 LDMOSFET의 전기적 특성을 살펴보았다.

실험결과 450K 이상의 온도환경에서 드레인 전류는 절반이상 감소하고, On-resistance는 2배 이상 증가함을 볼 수 있었다. 또한 On-resistance는 드리프트 영역의 길이에 직접적인 영향을 받게 되는데 고온 동작환경에서는 이러한 소자 변수들이 급격히 열화됨을 볼 수 있었다.

문턱전압은 기존의 MOSFET 소자에 비해 높은 감소율(-4.7mV/K)을 보이는데 이는 LDMOS의 채널 부분이 높은 도핑 농도를 갖는 double-diffused 구조로

되어있기 때문이다. 또한 LDMOS 소자의 드리프트 영역의 길이 변화는 문턱전압에 전혀 영향을 주지 않는 것으로 나타났다. 그리고 대기상태 항복전압은 온도 증가에 따라 선형적으로 증가함을 볼 수 있는데 증가율은 1K당 약 0.1V를 나타내었다.

일정 조건의 드리프트 영역의 길이가 확보되지 못하면 동작 대기 상태에서 드레인의 전압을 감당하지 못하고, 반면 필요 이상으로 드리프트 영역의 길이가 길어지면 동작 상태에서 내부 저항이 증대하여 전류 구동능력과 동작속도가 저하된다. 또한 온도가 증가할수록  $R_{on}/BV$ 가 증가하여 소자의 특성이 열화되기 때문에 시스템의 요구조건을 만족시키기 어렵게 된다. 따라서 소자설계 시 고온 동작 환경을 고려한 적절한 설계 변수를 추출하는 것은 매우 중요하다고 할 수 있다.

#### 참고 문헌

- [1] T. Y. Huang, et al., "A Simple Method to Analyze the Electrical Properties of High Power LDMOS Transistors," Jpn. J. Appl. Phys. Vol. 38, No. 2B, pp. L170-L173, Feb 1999.
- [2] G. Dolny, et al., "Characterization and Modeling of the Temperature Dependence of Lateral DMOS Transistor for High-Temperature Application of Power ICs," IEDM, pp789-792, 1990
- [3] G. Groeseneken, et al., "Temperature Dependence of Threshold Voltage in Thin-Film SOI MOSFET's," IEEE EDL, Vol.11, No.8, pp329-331, Aug 1990
- [4] R. Wang, et al., "Threshold Voltage Variation with Temperature in MOS Transistor," IEEE ED, June, pp386-388, 1971,
- [5] N. D. Arora, et al., "A Semi-Empirical Model of the MOSFET Inversion Layer Mobility for Low Temperature Operation," IEEE ED, Vol. 34, pp89-93, Jan 1987
- [6] B. J. Baliga, "Power Semiconductor Devices," PWS, p340, 1996
- [7] M. Amato, V. Rumennik, "Comparison of Lateral and Vertical DMOS Specific On-Resistance," IEDM, pp736-739, 1985
- [8] M. J. Declercq, J. D. Plummer, "Avalanche Breakdown in High-Voltage DMOS Devices," IEEE ED, Vol. 23, No. 1, pp 1-4, Jan 1976
- [9] S. M. Sze, Physics of Semiconductor Devices, 2nd ed, JWS, pp47, 105, 1981