

## 금속 유도 측면 결정화를 이용한 박막 트랜지스터의 RTA 후속열처리 효과

최진영(崔晋榮) 윤여건(尹汝建) 주승기(朱承基)

서울대학교 재료공학부

전화 : (02) 880-7442 / 팩스 : (02) 886-4156

### RTA Post-annealing Effect on Poly-Si Thin Film Transistors Fabricated by Metal Induced Lateral Crystallization

Jin Young Choi Yeo Geon Yoon Seung Ki Joo

School of Material Science and Engineering Seoul National University

E-mail : good75@snu.ac.kr

#### Abstract

Thin Film Transistor(TFTs) were fabricated from poly-Si crystallized by a two-step annealing process on glass substrates. The combination of low-temperature(500°C) Metal-Induced Lateral Crystallization(MILC) furnace annealing and high-temperature(700°C) rapid thermal annealing leads to the improvement of the material quality. The TFTs measured with this two-step annealing material exhibit better characteristics than those obtained by using conventional MILC furnace annealing.

#### I. 서 론

다결정 실리콘 박막 트랜지스터(Thin Film Transistor; TFT)는 전자이동도 등의 전기적 특성이 우수하여 액정 표시 소자 (Liquid Crystal Display; LCD)

의 화소 소자 및 구동회로의 동시집적을 가능하게 하며, SRAM 등에도 적용하고자 연구가 활발히 진행중이다<sup>[1]</sup><sup>[2]</sup>. 특히 대면적 유리 기판 위에 제작되어야 하는 LCD에 적용하기 위해서는 다결정 실리콘의 형성온도가 유리의 softening 온도 보다 낮아져야하기 때문에 비정질 실리콘의 결정화 온도를 낮추기 위한 연구가 진행중이다. 비정질 실리콘의 결정화를 위해 고상 결정화, 엑시머레이저 어닐링 등의 방법이 개발되었지만 각각 대면적에 실용화시키기 위해서는 아직도 많은 연구가 필요한 실정이다<sup>[3]</sup> <sup>[4]</sup>. 또 하나의 방법으로 금속 유도 측면 결정화(Metal-Induced Lateral Crystallization; MILC)법에 의해 비정질 실리콘의 결정화 온도를 500°C 이하로 낮출 수 있었다<sup>[5]</sup>. 금속 유도 측면 결정화란 비정질 실리콘 위에 선택적으로 증착된 얇은 금속박막을 이용하여 금속막이 증착되지 않은 측면 영역의 비정질 실리콘을 결정화하는 방법으로서 노열처리만으로 큰 결정립을 갖는 다결정 실리콘 박막을 얻을 수 있다. 또한 이 방법을 이용하여 TFT를 형성하는데 성공하였다. 그러나 이렇게 제작된 TFT는 역게이트 진압에서 누설전류가 크다는

단점을 가지고 있었다. 이번 연구에서 MILC에 의해 결정화된 다결정 실리콘은 추가적인 고온 열처리로 보다 안정한 상태로 갈 수 있는 불안정한 상이며 그러한 높은 온도의 열처리로 TFT의 누설전류가 줄어드는 효과를 얻을 수 있다는 사실을 알 수 있었다.

## II. 실험 방법

코닝 1737유리를 기판으로 사용하였으며 저압 화학 기상증착법(LPCVD)에 의하여 1000Å의 비정질 실리콘을 증착하였다. 소스 가스로는 다이사이아이렌(Si<sub>2</sub>H<sub>6</sub>)을 이용하여 480°C에서 증착하였다. 게이트 절연막은 ECR-PECVD를 사용하였고, 이때 두께는 1000Å의 실리콘 산화막을 두단계로 나누어 형성하였는데, 첫 번째는 산소를 이용하여 ECR에 의해 플라즈마를 형성하고 비정질 실리콘을 산화시킴으로써 300Å를 형성하였고 in-situ로 O<sub>2</sub>와 SiH<sub>4</sub>가스를 이용하여 700Å의 산화막을 증착하였다. 게이트 전극을 형성하기 위해 Mo을 스퍼터링법으로 증착하였다. 니켈(Ni) 박막은 스퍼터링법에 의해서 20Å을 증착하였다. 게이트 및 소오스/드레인 전극을 형성하기 위해 이온 질량 주입법(Ion Mass Doping; IMD)에 의해 포스핀(PH<sub>3</sub>)이온을 주입하였다. 플라즈마는 RF=200W에서 형성하였고 가속전압은 18kV이었다. 결정화를 위한 열처리는 승온 속도를 5°C/분으로 순수한 수소 분위기를 유지하여 500°C에서 행하였으며, 열처리 시간은 소자의 크기에 따라 결정화 속도를 고려하여 결정하였다. 전기적 특성의 측정을 위해서는 알루미늄 전극을 형성하였고 피코 암페어 미터(pico-Ampere meter) HP4140B를 이용하여 측정하였다. 고온 후열처리는 그림 4에 개략적으로 나타낸 램프 열처리 장치에서 하부램프에 의한 예열과 상부에서 Scanning되는 집속 램프에 의해서 가열되었다.

하부 램프로부터의 가열은 균일한 조사에 의해 시편을 일정한 온도로 예열하며 상부램프에 의한 가열은 빛을 집속 시키도록 타원형의 반사경을 설계하여 타원의 한 초점에 램프가 위치하고 다른 한 초점에 시편표면을 놓아 국부적인 조사가 가능하도록 하였다. 상부 집속 램프의 이동 속도는 직류모터에 인가되는 전압으로 제어하였다. 열처리 도중의 온도 변화는 유리기판을 지지하는 실리콘 웨이퍼의 온도를 열전대상을 이용하여 측정하였

다.

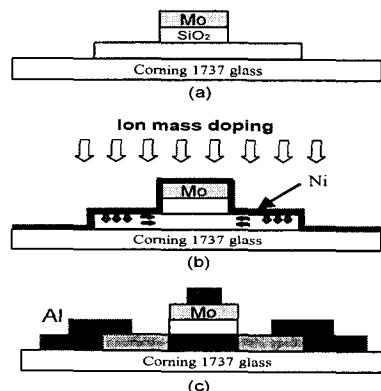


그림1. 자기정렬 MILC poly-Si TFT 제작도(a) formation of active island (b) deposition of Ni layer, ion doping and crystallization annealing (c)formation of source/drain and gate electrodes

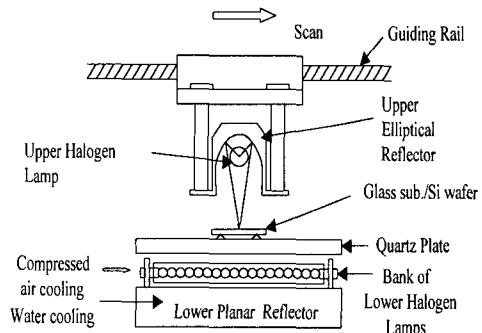


그림2. 선형 램프의 Scanning에 의한 열처리 장치의 개략도

## III. 결과 및 고찰

이렇게 제작된 TFT와 선형 할로겐 램프 Scanning 장치에 의해 Maximum Temperature 700°C, Scanning Speed 1.4mm/sec, 80°C/sec 이상의 빠른 승온 속도로 후열처리를 한 TFT의 특성 분석을 HP4140을 이용하여 전류-전압 곡선을 측정하였다. 그림3. 에서와 같이 RTA post-annealing을 했을 때 역게이트 전압에서 누설전류

가 현저히 줄어들었다. 전자이동도는  $107 \text{ cm}^2/\text{V} \cdot \text{sec}$ 에서  $121 \text{ cm}^2/\text{V} \cdot \text{sec}$ 로 증가하였고 문턱전압은 2.1V에서 2.2V로 거의 변화 없었으며 subthreshold 기울기는  $0.62 \text{ V/dec}$ 에서  $0.57 \text{ V/dec}$ 로 감소하였다.

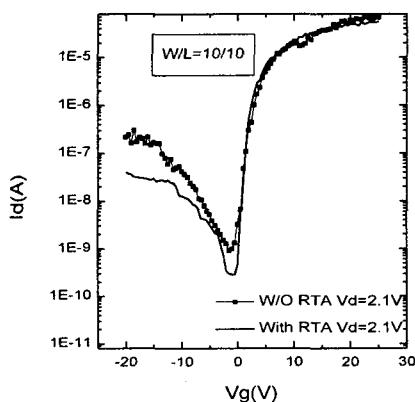


그림3. RTA post-annealing 전과 후의 특성곡선

위와 같은 현상의 원인을 기판 자체의 특성으로 보고 후열처리한 MILC poly-Si의 결정성을 비교하였다. 그림2. 와 그림3. 은 각각 결정화된 poly-Si를 secco etching 한 후 AFM과 SEM으로 관찰한 사진이다. Secco etching은 Si 표면의 defect(dislocation, grain boundary 등) 분석에 쓰이는 방법이다. 여러 결함들은 불완전한 결합으로 인하여 그 부분의 Energy상태가 높아지게 되며 그곳의 원자들은 쉽게 Etching 된다. 또한 이러한 결함들은 Band-Gap내에 여러 Energy Level의 Localized States를 형성하게 되고, 그 결과 leakage current source를 제공하며, 전자 이동도를 감소시키는 결과를 가져오게 된다.<sup>[6]</sup> 그림5. 의 AFM사진에서와 같이 후열 처리 하지 않은 poly-Si의 표면이 etching 후 더 요철이 심한 것으로 나타났으며, 이는 RTA의 고온 열처리가 결함의 농도를 줄일 수 있음을 나타내는 것이다. 그림6. 의 SEM 사진에서도 후열처리 했을 때 결함이 줄어드는 양상이 나타났다.

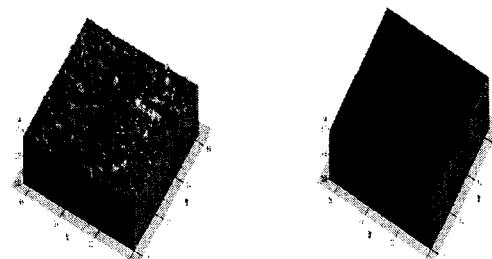


그림4. 후열처리한 다결정 실리콘과 하지 않은 다결정 실리콘의 AFM사진(After etching)

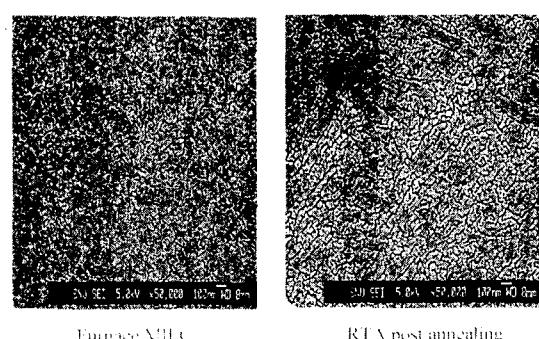


그림5. 후열처리한 다결정 실리콘과 하지 않은 다결정 실리콘의 SEM사진 (After etching)

이러한 현상이 MILC poly-Si에서 나타나는 이유는 그림6.에서 볼 수 있는 바와 같이, MILC는  $\text{NiSi}_2$ 의 이동에 의해 이루어지는데, 그 방향이  $<111>$ 방향으로 정해져 있다는 점이라고 생각된다.<sup>[7]</sup> 많은  $\text{NiSi}_2$  precipitate에서 떨어져 나와 전진한  $\text{NiSi}_2$  들에 의해 결정화된 단결정 Si들은 그림7. 과 같이 조밀한 network를 형성하게 되나 전체를 완전히 결정화시키기는 못하게 된다. 고온의 RTA열처리는 결정화되지 못한 비정질 Si 을 결정화 시킬 수 있는 것으로 추정되며 그 결과 secco etching을 했을 때 etching이 되는 부분이 줄어드는 것으로 생각되어진다.

TFT의 채널 영역은 그림8.에서와 같이 source, drain

영역에 있던 silicide precipitate에서 떨어져 나온 silicide가 전진하면서 결정화 시키게 되는데 여기서도 채널 영역내에 결정화 되지 못한 부분이 존재할 수 있고, leakage source가 될 수 있는 이런 부분은 고온의 RTA 공정을 통하여 후열처리 하게 되면 상당히 제거될 수 있다고 생각되어진다.

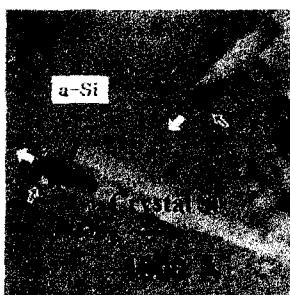


그림6. High magnification BF TEM image of the front edges of MILC grains

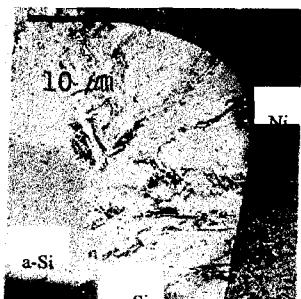


그림7. Low magnification BF TEM image

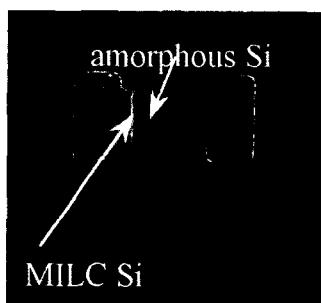


그림8. Optical micrograph of MILC poly-Si and a-Si

#### IV. 결 론

500°C에서 MILC로 열처리한 TFT와 MILC로 결정화 시킨 후 RTA로 후열처리한 TFT의 전기적 특성을 관찰하였다. 후열처리를 하였을 때, 전자 이동도가 증가하였으며, 누설전류는 줄어들었다. 그리고 MILC poly-Si은 후열처리에 의하여 결함이 줄어들 수 있다는 것이 발견되었다.

#### 참고문헌

- [1] T. J. King and K. C. Saraswat, "Low-Temperature ( $\leq 550^{\circ}\text{C}$ ) Fabrication of Poly-Si Thin-Film Transistors", IEEE Electron Device Lett., 13(6), p.309, (1992).
- [2] S. W. Lee and S. K. Joo, "Low temperature poly-Si thin film transistor fabrication by metal-induced lateral crystallization", IEEE Electron Device Lett., 17(4), p.160, (1996).
- [3] K. Nakazawa, "Recrystallization of amorphous silicon films deposited by low-pressure chemical vapor deposition from  $\text{Si}_2\text{H}_6$  gas", J. Appl. Phys., vol. 69, no. 3, pp. 1703-1706, 1991.
- [4] H. Kuriyuma, S. Kiyama, S. Noguchi, T. Kuwahara, S. Ishida, T. Nohda, K. Sano, H. Iwata, S. Tsuda, and S. Nakano, "High mobility poly-Si TFT by a new laser annealing method for large area electronics
- [5] 이석운, 공학박사학위 논문, 서울대학교(1996)
- [6] Ted Kamins, "Polycrystalline silicon for integrated circuit applications", Kluwer Academic Publishers, 1988
- [7] C. Hayzelden, J. L. Batstone, "Silicide formation and silicide-mediated crystallization of nickel-implanted amorphous silicon thin films", J. Appl. Phys., vol. 73 no. 12, pp. 8279-8289, 1993.