

RTP Anneal과 추가 이온주입에 의한 저-저항 텅스텐 bit-line 구현

o

이용희*, 우경환**, 최영규***, 류기한***, 이천희****

Hyundai Electronics Industries Co., Ltd.*, 우송공업대학,
충주산업대학교***, 청주대학교****

전화: 0431) 229-8448/ 팩스 : 0431) 213-6392

Low-Resistance W Bit-line Implementation with RTP Anneal & Additional Ion Implantation.

Lee, Yong-Hui*, Woo, Kyong-Hwan**, Choi Young-Kyu***, Ryu, Gi-Han***,
Yi, Cheon Hee****

Hyundai Electronics Industries Co., Ltd.*, Woosong Technical College**,
Chungju Industrial University***, Cheong Ju University****

E-mail : yicheon@chongju.ac.kr

Abstract

As the device geometry continuously shrink down less than sub-quarter micrometer, DRAM makers are going to replace conventional tungsten-polycide with tungsten bit-line structure in order to reduce the chip size and use it as a local interconnection. In this paper we showed low resistance and leakage tungsten bit-line process with various RTP(Rapid Thermal Process) temperature. As a result we obtained that major parameters impact on tungsten bit-line process are RTP Anneal temperature and BF₂ ion implantation dopant. These tungsten bit-line process are promising to fabricate high density chip technology.

I. 서론

1) 금속 bit-line의 필요성

DRAM의 배선 공정은 Word-line, Bit-line, M1, M2(and, or M3)로 크게 나눌 수 있다.[1][2] M1, M2는 이름에서 보듯 금속박막의 적층 구조로 형성된 배선으로 외부신호를 주변부의 각 소자로 보내고, 논리 회로들을 연결하며, 셀에서 나온 전기적인 신호를 외부로 내보내는 역할을 한다.

Word-line은 주변영역에서는 트랜지스터의 게이트에 전압을 인가하여 트랜지스터를 구동 시키는 역할을 하며 셀에서는 커패시터에 charge를 저장 시키거나, 외부로 보내기 위한 게이트역할을 한다. Bit-line은 각 셀에서 전류를 커패시터에 보내거나 커패시터의 전류를 외부로 내보내는 통로 역할을 한다. 전압 강하가 적고, 낮은 저항의 배선일 수록 단위 셀 block의 크기를 증가 시킬 수 있다.[3] 셀 영역에서 1개의 word-line 및 bit-line에 연결 시킬 수 있는 셀의 개수는 line저항과 셀 capacitance 등이 좌우한다. Word-line의 경우 게이트를 구동할 수 있는 전압이 인가될 수 있는 만큼의 셀이, bit-line의 경우 sense amp가 동작하여 대비 line과의 전압차를 인식할 수 있을 만큼의 셀만이 연결이 가능하다.

기존의 word-line 및 bit-line은 poly Si \ WSix(일명 polycide)의 적층 구조로 이루어져 있다. Si substrate와 같은 물질로 구성되어 있어 후속 열처리에 의한 contact degradation 측면에서 유리하고 금속오염이 없다는 장점이 있는 반면에, bulk 저항 자체가 doping을 함에도 불구하고 금속배선에 비해 크기 때문에 주변 영역의 local interconnection 역할은 M1에서 수행한다. 집적도가 증가하면서 단위 셀 크기가 줄어들어 따라 필요한 capacitance을 유지하기 위하여 커패시터의 높이는 계속 높아지고, local interconnect의

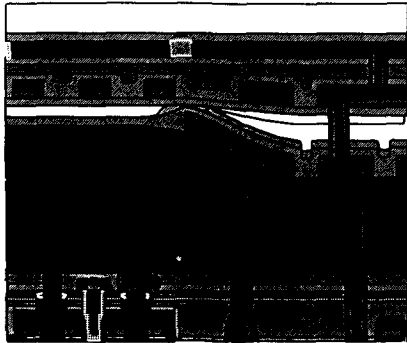


그림 1.1 W polycide bit-line을 이용한 DRAM개략도

역할도 증가함에 따라 M1에서 계속 interconnect의 역할을 하기 위해서는 DUV장비를 이용해서 선 폭을 감소시키거나, M3 금속 배선층을 만들어야만 한다.(그림 1.1) 이를 극복하기 위한 방법으로 기존의 polycide를 이용한 bit-line을 저항이 낮은 금속으로 대체하는 방법이 있다. 금속 bit-line은 주변지역에서의 local interconnection역할의 일부를 M1을 대신하여 할 수 있으며, 1개의 bit-line에 대한 셀의 개수도 증가시킬 수 있는 가능성이 있다. 또한 보다 작은 선 폭으로 같은 line저항이 가능하기 때문에 이후 공정에서의 마진을 증가시킬 수 있다.[4] 이 때문에 0.20 μ m급 이하의 DRAM에서는 적용을 위한 연구가 전세계적으로 진행되고 있으며 해결해야 할 문제로서 우선, bit-line이후에 고온 열 공정이 있기 때문에 내열특성이 있어야 하며, Metal/Si 접촉에서의 Rc 열화를 최대한 억제 시켜야 한다. 또한, 상대적으로 큰 스트레스, 이후 furnace 공정에서의 cross contamination 대책 및 세정공정 변경등을 integration시 반드시 해결해야 한다. 따라서 본 논문에서는 여러 가지 RTP Anneal 온도, BF₂ I/I 조건에 따른 bit-line 조건에 대해 실험하였으며 그 결과 RTP는 고온일수록, 그리고 BF₂ I/I를 하였을 경우 가장 좋은 저항특성을 얻을 수 있었다.

II. 본론

1) W bit-line

배선물질은 bit-line제조 이후에 700 $^{\circ}$ C이상의 고온공정이 여러 단계에서 존재하기 때문에 고온에서도 물리적, 화학적 내성이 뛰어난 W, TiSi₂, CoSi₂, low- ρ TiN 등으로 제한된다.[5] 이중 TiSi₂, CoSi₂들은 이후 열처리 공정에서 agglomeration이 발생하여 배선이 얇

아지거나 단선이 될 수 있으며 TiN의 비저항은 박막의 경우 최소 40~60 $\mu\Omega$.cm 정도로 비저항이 80~100 $\mu\Omega$.cm 인 WSi_x에 비해 큰 장점이 되지 못한다. 반면에 비저항이 10~15 $\mu\Omega$.cm인 W은 고온에서도 안정한 상을 가지고 있기 때문에 bit-line배선 물질로 가장 널리 연구되어지고 있으며 몇몇 곳에서는 이미 상용화된 물질이다. CVD W은 oxide위에서는 안정적으로 증착이 되지 않기 때문에 반드시 liner물질을 사전에 증착해야 하며, 가장 널리 사용되어지는 물질은 Ti\TiN이다.

2) 0.18 μ m급 DRAM의 W bit-line과 주변구조

W bit-line은 셀 영역에서는 SC1 poly Si plug와 접촉하고, 주변영역에서는 active지역의 Si 및 word-line과 contact된다. SCNT의 mask 크기는 셀영역에서 0.2 μ m, peri.영역에서는 0.30 μ m이 기본이다. 이후 공정에서의 W line과 산소와의 반응을 막기위해 bit-line형성 이후에 Si₃N₄ 증착 공정이 진행된다. 그림 2.1은 Si₃N₄가 barrier 역할을 제대로 하지 못하여 W line이 산화된 모습을 보여주고 있다. 또한 SG line 식각 전에는 반드시 WEE(Wafer-Edge Etch)공정이 진행되는데 이 공정을 통하여 웨이퍼의 가장자리에 있는 금속물질을 제거한 후 Si₃N₄ 증착을 함으로써 stress에 취약한 가장자리로부터의 peeling 문제와, 세정공정, 특히 SC1용액으로 인한 bit-line구성물질(W, Ti, TiN)의 용해로 인한 장비오염 및 peeling문제, 그리고 이후 furnace 공정에서의 cross contamination문제를 극복할 수 있다.



그림 2.1. W bit-line의 산화로 인한 peeling 현상

3) Layer 선정

가. Barrier① Ti\TiN 증착 공정

Ti\TiN은 CVD W을 증착하기 위하여 일반적으로 사용되어지고 있는 물질들로, step coverage 및 bit-line에서 barrier가 차지하는 높이를 줄이고자 collimated Ti\TiN을 선택하였다. Barrier의 두께는 contact 바닥에서의 두께가 Ti는 ~80 Å , TiN은 ~50 Å 이상이 되도록 하였다. 이때 필요로 한 Ti, TiN의 증착 두께는 각각 300 Å , 300 Å 이다. Ti만을 증착하는

경우는 RTP공정에서 silicidation되는 정도가 달라서 uniformity가 나빠진다.

나. RTP silicidation 공정

TiSi₂형성 및 계면에서의 defect를 없애기 위해서 CVD W을 증착 하기 전 열처리 공정은 반드시 필요하다. Thermal budget이 작은 RTP법을 사용한다.

다. Barrier② TiN 증착 공정

bit-line공정 이후에 700℃이상의 열 공정이 다수 존재하기 때문에, RTP이후 직접 CVD W을 증착 한 경우에는 Ti\TiN박막이 fail 된다. 따라서, RTP 열 공정 과정에서 발생한 microcrack을 가지는 TiN 박막 위에 다시 TiN박막을 증착 함으로써 barrier 특성을 강화 시키는 공정이 필요하며, 최소 100Å 이상이 되어야 함을 기준으로 하였다. 일반적인 sputter 방식의 TiN은 step coverage가 나쁜기 때문에 contact의 바닥에 100Å을 증착시키기 위해서 1000Å 정도의 두께를 증착 해야 하기 때문에 대상에서 제외시켰다. Collimated TiN의 경우에도 낮은 throughput과 잦은 parts 교환 등의 문제를 야기하며 step coverage측면에서도 뛰어난 향상을 가지지 못하기 때문에 제외시켰다. 여기서는 MOCVD TiN을 이용하였는데 이 공정은 SCNT bottom에서의 step coverage가 >70%이다. MOCVD TiN 증착의 표준공정은 TDMAT(Tetra-Dimethyl-Amino Ti) + NH₃ 반응에 의해 박막을 증착시킨 후 N₂+H₂ plasma를 이용하여 박막내의 불순물을 제거 시키는 공정을 반복하여 진행시키는 방법이다. TiN 200Å을 증착 하기 위해서는 위 공정을 4번 반복한다. SCNT 구조에서의 step coverage를 측정한 결과, bottom S/C는 70%이상, sidewall S/C는 ~125%이다. Sidewall S/C가 100%이상인 이유는 plasma처리시 TiN박막은 volume shrinkage가 발생하는데 plasma의 방향성으로 인하여 측면에서는 plasma 처리가 잘 되지 않기 때문이다. 따라서 측면에서는 amorphous층과 결정층이 연속해서 관찰된다.

라. CVD W (Plug) 증착 공정

Bit-line 증착을 하기 전에는 자연 산화막을 제거하기 위하여 전세정을 하게 되는데, 이때 SCNT의 sidewall도 식각되어 SCNT의 CD가 증가한다. 셀영역에서는 0.20μm에서 0.28μm로 증가하며, peri.영역에서는 0.38~0.40μm까지 증가한다. 따라서 셀영역의 contact영역에서 misalign이 발생했을때 SG식각시

keyhole 및 TiN\W 계면을 통하여 과다한 식각이 발생할 수 있으며 가장 치명적이다. 또한 Ti\TiN\CVD W을 식각할 때 W과 Ti\TiN의 식각 chemical이 다르며 각 step마다 식각 균일도 때문에 overetch를 필요로 하는데 dogbon 구조로 하는 경우 어느정도 이문제를 해결할 수 있다. M1에서 bit-line으로 연결되는 contact과 bit-line contact과의 거리에 대한 margin이 크지 않아서 misalign시 contact이 SCNT open space를 통해 식각이 과다하게 되는 문제가 발생할 수 있다. 따라서 W plug\ W etchback\ TiN\ W line scheme으로 진행하기로 하였다.

III. 실험 결과 및 토의

1) RTP공정 변경(700℃,30초→800℃,20초)

초기 실험 결과 active영역(NCNT, PCNT)에서의 contact저항이 큰 값을 나타내었으며, 원인을 파악하고자 여러 공정split을 진행중 RTP공정을 700℃에서 800℃로 변경한 결과에서 균일하고 낮은 contact 저항값을 나타내었다.(표3.1)

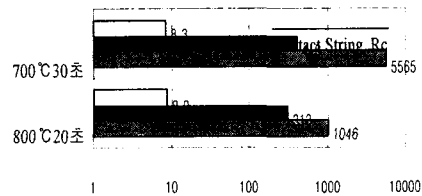


표3.1. RTP온도에 따른 SCNT Rc변화

RTP온도 증가에 의한 효과는 다음과 같이 해석된다. 낮은 온도에서 형성된 TiSi₂는 C-49(metastable/high resistivity/highly faulted phase)와 C-54(equilibrium/low resistivity/fault free phase)가 공존하거나, 대부분 C-49로 이루어져 있으며, 후속 열처리 동안 상 변태를 수반한 물질이동을 촉진할 뿐만 아니라, C-49 phase 자체의 낮은 밀도(C-54 대비 약 6% 낮음)로 인해 B 및 As의 TiSi₂를 통한 확산속도가 빨라져서 Si에서의 농도가 낮아지는 효과와 TiSi₂ agglomeration이 같은 이유로 심해지기 때문이라고 추론 하였다.

RTP 온도에 따른 Si-sub dopant의 농도분석을 위하여 test run으로 실험한 결과 (그림 3.1)에서 보는 바와 같이 B 농도는 800℃10초(1.20E20) > 800℃20초(1.05E20) > 700℃열처리(9.69E19) > 650℃ 열처리(8.36E19)의 순으

로 높았으며, 고온 RTP에서 TiSi₂ agglomeration이 현저히 억제됨을 나타내었고 이는 contact저항에서의 변화와 잘 일치하고 있다. 특히 700°C에서의 non-ohmic 문제를 800°C 공정에서는 해결하였다. Fluorine은 RTP의 온도에 따라 별다른 차이를 보이지 않았다.

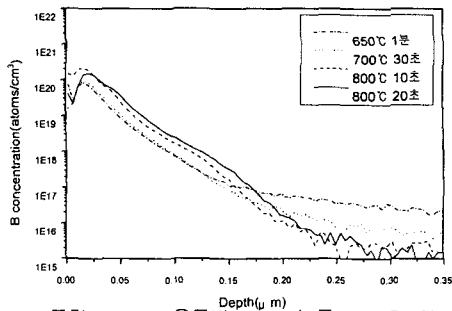


그림 3.1. RTP온도별 Dopant 농도 SIMS Profiles

나. P+ add I/I 공정

SG공정 이후 700°C 이상의 열 공정이 진행됨에 따라 P+ I/I에 의해서 PCNT Rc값을 1000Ω이하로 낮출 수 없었다. 따라서 이를 해결하고자 SCNT 식각 이후에 P+ I/I공정을 (BF₂, 30keV, 1.5E15) 진행하였다. P+ add I/I을 적용한 wafer에서는 낮은 PCNT Rc값을 얻을 수 있었으며, CD에 따른 PCNT Rc값의 급격한 증가현상도 없었다(표3.2).

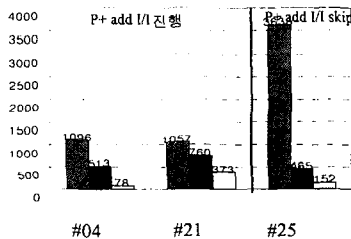


표 3.2. P+ add I/I 적용유무에 따른 SCNT Rc비교

P+ add I/I공정이 Boron농도증가에 대한 효과를 분석하기 위하여 test wafer를 제작하여 SIMS분석을 하였다. P+ add I/I공정을 skip한 wafer는 800°C 9분의 후열처리를 진행한 후 계면에서 1E20/cm²의 농도를 가진 반면에, P+ add I/I공정을 진행한 wafer는 거의 1E21/cm²에 가까운 농도를 가졌다.(그림 3.2)

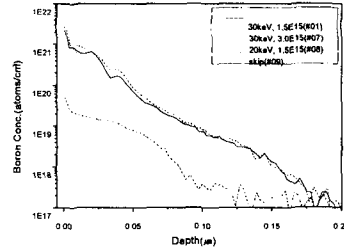


그림 3.2. P+ I/I 조건에 따른 Boron농도분석(SIMS)

IV. 결론

본 논문에서는 여러 가지 RTP Anneal 온도, BF₂ I/I 조건에 따른 bit-line 조건에 대해 실험하였으며 그 결과 RTP는 고온일수록, 그리고 BF₂ I/I를 하였을 경우 가장 좋은 저항특성을 얻을 수 있었다.

참고문헌

- [1] Syd R.Wilson and Clarence J.Tracy., "Handbook of Multilevel Metallization for Integrated Circuits", Noyes Publications., pp32~67, 1993.
- [2] J.M. Drynan, K.Fukui et al., "Shared Tungsten Structures for FEOL/BEOL Compatibility in Logic-Friendly Merged DRAM", IEDM., pp 849-852, 1998.
- [3] Siyoung Choi et al., "Metal Bit-line Common Contact Integration Technology in 0.17um-DRAM & Merged DRAM in Logic Devices", IITC., pp137~139, 1999.
- [4] J.M. Drynan and K.Koyama., "Comparison of CVD and PVD Tungsten for Gigabit-scale DRAM Interconnections in Advanced Metallization for Future ULSI", vol. 427. Material Research Society, pp. 307-316. 1996.
- [5] M.Yoshida, T.Kumauchi, K.Kawakita., "Low Temperature Metal-based Cell Integration Technology for Gigabit and Embeded DRAMs", IEDM., pp41, 1997.