

Quasi-SOI LDMOSFET의 전기적 특성

정 두 연(鄭斗淵), 이 종 호(李宗昊)
원광대학교 전기전자 및 정보공학부
전화 : (0653) 850-6695 / 팩스 : (0653) 850-6695

Electrical Characteristics of Quasi-SOI LDMOSFET

Doo-Yeon Chung, Jong-Ho Lee
School of Electric, Electronic and Information, Wonkwang University
E-mail : dyjung@gaeb yok.wonkwang.ac.kr

Abstract

In this paper, a method to implement new Quasi-SOI LDMOSFET is introduced and the electrical characteristics of the device are studied. Key process steps of the device are explained briefly. By performing process and device simulations, electrical characteristics of the device are investigated, with emphasis on the optimization of the tilt angle of p^0 channel region. The electrical properties of the Quasi-SOI device are compared with those of bulk and SOI devices with the same process parameters. Simulated device characteristics are threshold voltage, off-state leakage current, subthreshold swing, DIBL, output resistance, lattice temperature, I_D - V_{DS} , and cut-off frequency.

I. 서론

최근 급속한 전자 기기 및 정보 산업의 발달은 실리콘을 기반으로 하는 성능 RF CMOS 기술에 많은 관심을 갖도록 하였다. CMOS 기술은 가격뿐만 아니라 성능 면에서 계속 발전을 거듭하고 있어 많은 연구

대상이 되고 있다. CMOS 기술을 이용한 소자 중에서 LDMOSFET는 기존의 CMOS 기술과 쉽게 접목이 가능하고 구현이 쉬우며, 주파수 특성이 좋기 때문에 RF 영역에 응용 가능한 소자로 많이 연구되고 있다 [1]-[3]. 벌크 기판을 이용한 경우는 대부분의 특성에서 우수한 반면 상대적으로 기생용량 성분이 크기 때문에 고주파 영역에서 개선이 필요하다. SOI를 기반으로 하는 기술은 고주파 소자 특성이 좋으나 기판의 가격이나 열전도 현상에서 불리한 요소를 갖고 있다.

본 논문에서는 RF 영역에 응용이 가능한 새로운 LDMOSFET의 제조 방법을 제안하고 제조공정을 단순화하였으며, 시뮬레이션을 통해 전기적인 특성을 보인다. 벌크를 기반으로 하는 소자와 SOI를 기반으로 하는 소자를 같은 공정조건으로 구성하여 제안된 소자의 특성을 시뮬레이션을 통하여 비교한다.

II. 본론

그림 1은 본 논문에서 고려된 3 가지 다른 기판을 사용한 LDMOSFET에 대한 도식적인 단면도를 보여준다. (a)와 (b)는 각각 bulk와 SOI를 기반으로 하는 소자이고 (c)는 본 연구에서 제안한 소자이다. 표 1은 세 가지 구조(bulk, SOI, QSOI)의 비교를 위해 사용한 주요 공정변수를 보여준다. LDMOSFET에서 채널은 소스와 인접한 곳에 tilt 이온주입과 확산에 의해 형성된다. 거의 모든 공정변수가 동일하나 P^0 채널 이온 주입에서 QSOI만 마스크 없이 이루어지고, 따라서 마스크

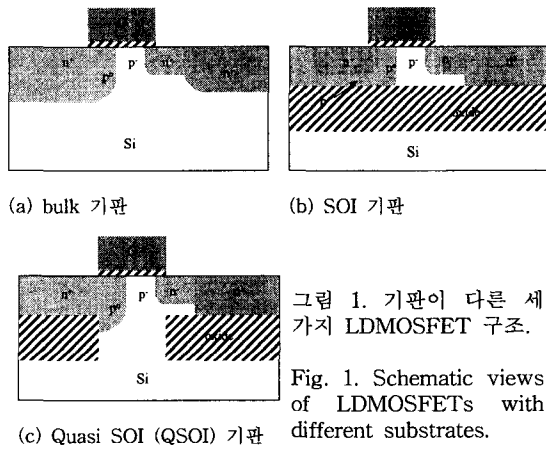


그림 1. 기판이 다른 세 가지 LDMOSFET 구조.
Fig. 1. Schematic views of LDMOSFETs with different substrates.

표 1. 세 가지 소자 구조에 대한 주요 공정 변수
Table 1. Key process parameters of three devices

| | Bulk | SOI | QSOI |
|-----------------------------------|--|-----|------|
| Channel Doping (Source side only) | B, 3E13, 40 keV, tilt: variable | | |
| T _{ox} (nm) | 5 | | |
| n ⁻ implant | As, 1E14, 35 keV, 7 tilt, 180 rotation | | |
| S/D implant | As, 5E15, 80 keV | | |

크가 1장 작다. QSOI 소자를 위한 기판을 어떻게 구현하는지를 그림 2에서 보이며, 이는 MEMS 기술을 이용하여서 실제로 구현이 가능하다[4]. QSOI의 기판 형성에서 <111> 방향의 웨이퍼를 사용해야하며[4], 공정순서는 다음과 같다. 먼저 (a)의 경우에는 Si 기판 산화막과 질화막을 형성시키고 마스크를 사용하여 선택적으로 식각을 행한 그림이다. (b)에서는 산화막 스페이서를 형성하고 비등방성으로 Si를 식각하면 그림 (c)와 같이 된다. 이 상태에서 참고문헌[4]의 방법을 이용하면 측면으로 Si를 식각할 수 있고 그 공간을 산화막으로 채우면 그림 (d)와 같이 된다. 표면에 있는 질화막과 산화막은 제거된 상태이다.

제안된 소자 구조의 주요 제조 공정은 그림 3에서와 같이 주어지며, 그림 1의 (a)와 (b)의 구조도 같은 공정순서를 따른다. 기본적으로 소자 격리 공정은 완료되었다고 가정하고 보였으며, 실리사이드 공정을 도입하여 DC 및 고주파 특성을 개선할 수 있음은 물론이다. 제조 공정에서 마스크 스텝은 active, 게이트, drain spacer 형성, n⁺ S/D, contact, metal로 6장이며, 기존의 LDMOSFET의 공정에 비해 1 스텝 작은 마스크 수이다. 소스 가까이 형성되는 p^o 채널영역의 도우핑 프로파일을 가능한 한 abrupt하게 하기 위해, 그

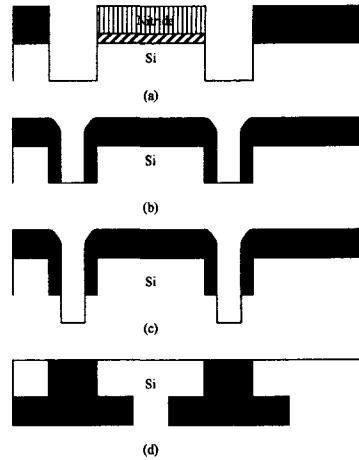


그림 2. 제안된 QSOI LDMOSFET를 위한 기판 제조 과정.

Fig. 2. Process flow of the substrate for the proposed QSOI LDMOSFET.

- poly-Si gate definition (T_{ox}= 5 nm)
- n⁻ LDD implantation
- Oxide spacer formation on only drain side
- n⁺ S/D implantation/anneal
- p^o Channel implantation/anneal
- Contact
- Metal

그림 3. LDMOSFET의 주요 공정 순서

Fig. 3. Process flow of LDMOSFT.

림 3에서 보인바와 같이 그 열처리를 적게 받도록 공정 후반부에 두었다. 제안된 QSOI 소자를 포함하여 그림 1에 보여진 소자에 대한 공정 및 소자 시뮬레이션을 수행하였으며, 그 결과를 보인다. 먼저 QSOI의 소자에서 매우 중요한 소스 가까이 형성되는 p^o 영역 최적화를 위한 기본적인 시뮬레이션을 수행하였다. 이온주입시 웨이퍼의 tilt 각도는 매우 중요한 변수이기 때문에 7도에서 40도로 변화시켜 가면서 문턱전압, DIBL, Subthreshold slope, off-state current (I_{off})를 조사했다. 아래 그림 4에서 보인 바와 같이, 각도가 7도에서 40도로 증가하면서, 문턱전압은 약 -0.065V에서 0.62V까지 증가하였으며, DIBL은 15° 이하에서 급격하게 증가하는 경향을보였는데 이는 표면가까이의 불순물 농도가 낮아지기 때문이다. 20° 이후에서 DIBL이 증가하는 것은 소스 영역의 코너 접합 근처에서 농도가 상대적으로 각도 증가에 따라 낮아지기 때문이다. 그림 5에서는 subthreshold slope와 off-state current에 대해 보여주고 있다. subthreshold slope(SS)

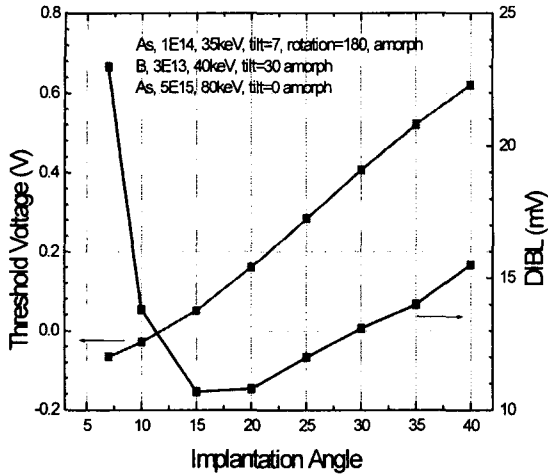


그림 4. QSOI 소자의 p^0 영역 tilt 각도에 따른 문턱전압과 DIBL 특성.
 Fig. 4. Simulated V_T and DIBL characteristics of Quasi-SOI device versus the tilt angle of p^0 region in QSOI device.

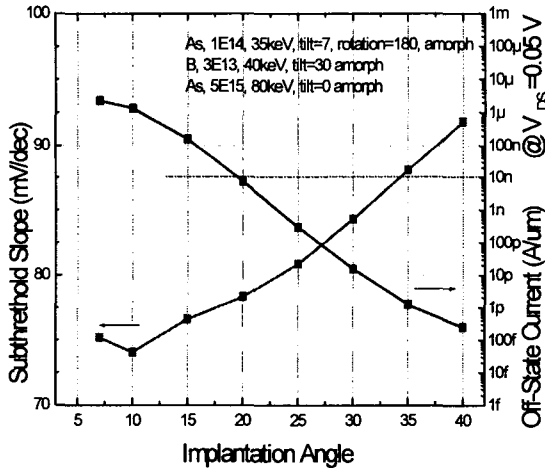


그림 5. p^0 영역 tilt 각도에 따른 subthreshold slope과 I_{off} 특성.
 Fig. 5. Simulated subthreshold slope (SS) and I_{off} characteristics of QSOI device versus the tilt angle of p^0 region.

는 10도에서 40도로 증가하면서 약 75 mV/dec에서 약 91 mV/dec로 증가하였으며, 누설전류는 μm 당 $2 \mu\text{A}$ 에서 $25 \mu\text{A}$ 로 나타난다. 누설전류를 10 nA이하로 유지할 경우와 작은 DIBL을 고려하면, 약 20도에서 30도 사이의 각도가 적당한 것으로 보이며, 특히 누설전류는 20도 정도가 최적으로 보여진다. 이온 주입 각도가 3

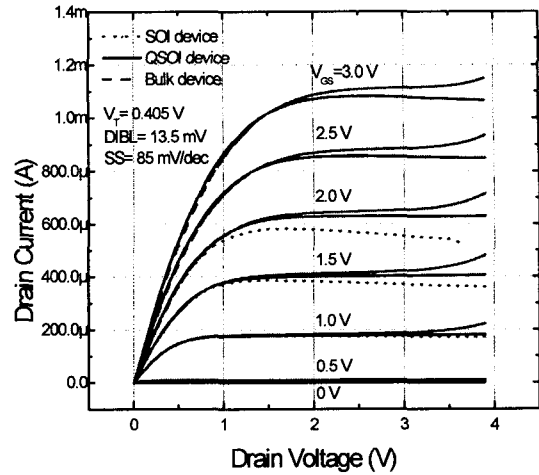


그림 6. 세가지 구조에 대한 I_D - V_{DS} 특성
 Fig. 6. Simulated I_D - V_{DS} characteristics of bulk, QSOI, SOI devices,

0° 인 경우, 그림 1의 3 가지 구조에 대한 문턱전압은 0.405 V이며, SS는 약 85 mV/dec 정도로 비슷하다.

그림 6은 bulk, QSOI, SOI 소자에 대한 I_D - V_{DS} 특성을 나타낸 그림이다. 게이트 전압은 아래에서부터 0, 0.5, 1, 1.5, 2, 2.5, 3 V를 인가한 경우이며, 각각의 tilt angle은 30° 이다. SOI의 경우에는 2 V까지만 수행이 되었는데, 이는 소자 simulation 과정에서 소자 구조상 특성이 좋지 않기 때문이다. 그림에서 알 수 있듯이 게이트 전압이 1 V를 넘어서부터 SOI의 경우 전류 레벨이 떨어지는 것을 볼 수 있으며, 이는 heat transfer 특성이 나쁘기 때문에 생겨난 것이다. SOI의 경우에는 QSOI의 경우보다 훨씬 더 heat transfer의 문제를 갖고 있다. Bulk 소자에서는 V_{DS} 증가에 따라 impact ionization에 의한 전류증가가 보이는데, 이것은 그림 7에서 보인 것과 같이 출력저항 특성을 저하시킨다. 그림 7은 QSOI와 Bulk의 경우의 출력저항 특성을 나타내고 있다. 그림에서 알 수 있듯이 QSOI의 출력저항 특성이 가장 우수한 것으로 얻어졌다.

그림 8은 QSOI 소자와 Bulk 소자의 경우의 heat transfer 특성을 보여주고 있다. 그림에 나타내져 있는 구조의 접선부분을 잘라보았을 때의 열전달 특성이다. QSOI 소자의 경우에는 bulk 소자의 경우보다는 lattice temperature가 비록 크게 나오지만 그림에는 없지만 SOI의 소자의 경우에 비하면 훨씬 작은 값을 나타내고 있다. 그림 9는 2 가지 소자의 고주파 특성을 보기 위해 S-parameter 시뮬레이션을 수행하였을 때의 cut-off frequency 특성을 보인 그림이다. SOI 소자의 경우가 기생성분이 가장 적으므로, 가장 우수한 특성

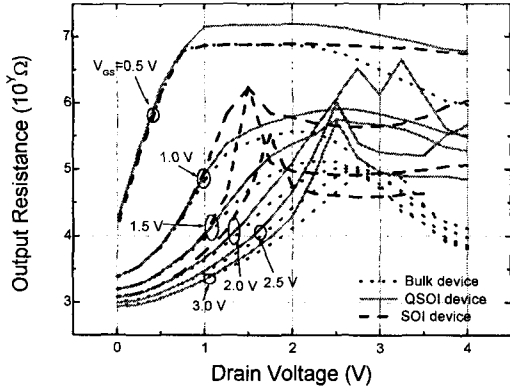


그림 7. QSOI와 Bulk에서의 출력 저항 특성.
Fig. 7. Simulated output resistance characteristics of QSOI device and Bulk device.

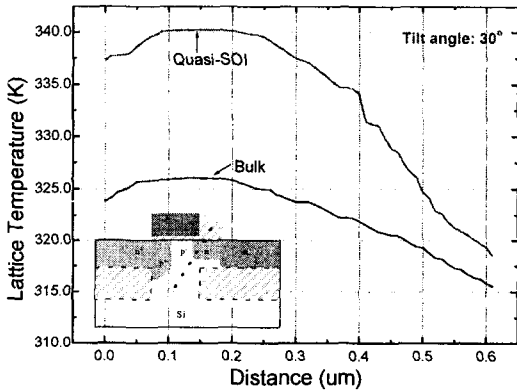


그림 8. QSOI소자와 Bulk 소자의 열 전달 특성
Fig. 8. Simulated lattice temperature of QSOI device and Bulk device

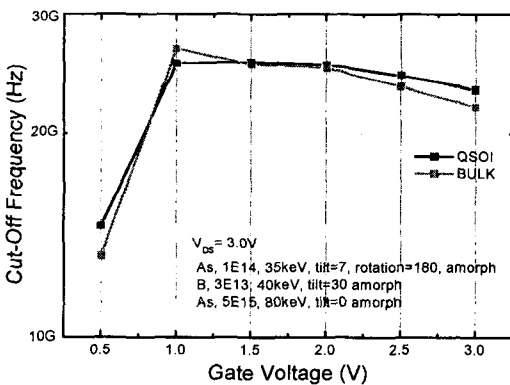


그림 9. QSOI소자와 Bulk 소자의 f_T 특성
Fig. 9. Simulated f_T characteristics of QSOI device and Bulk device.

을 나타낼 것으로 예상되며, 그러나, 수렴 문제 상 같이 표시하지 못했다. 이 때에 각각의 조건은 드레인 전압은 3.0 V로 고정시켰을 경우에 게이트 전압을 0.5, 1, 1.5, 2, 2.5, 3 V로 변화를 주었을 경우이다. 아래의 그림을 보았을 때에는 QSOI 소자의 경우가 bulk 소자의 경우보다 좋은 특성을 나타내고 있다. 일반적으로 bulk 소자의 경우에는 기생성분에 의한 영향으로 나쁜 고주파 특성을 나타내고 있는데, 이번 simulation에서는 여러 기생 성분의 영향을 배제하여 simulation을 수행하였으므로 큰 차이가 보이지 않는 것으로 생각된다. 소자 전체 및 레이아웃을 고려하면, 기생용량성분의 증가에 의해 bulk 소자의 주파수 특성이 저하될 것으로 예측된다.

III. 결론

본 논문에서 새로운 LDMOSFET의 구조를 소개하였으며, 기존의 bulk 소자와 SOI 소자의 경우를 비교하였다. QSOI소자의 경우에 매우 중요한 소스 가까이 형성되는 p⁺ 영역 최적화를 위해 implant angle을 조정하였으며, 실제적으로 20°에서 최적값이 나타나고 있다. 이때의 V_T 는 0.18 V이지만 누설전류는 10 nA로 작은 값이며, SS는 78.34 mV/dec, DIBL은 11 mV 정도이다. I_D - V_{DS} 특성과 heat transfer plot을 보여주었으며, 열전달 특성은 SOI device가 가장 나쁜 것으로 나왔다. f_T 는 드레인 전압이 3 V, 게이트 전압이 2 V일 때 QSOI가 26 GHz, bulk device가 25 GHz로 나왔다. Bulk 소자의 경우에도 QSOI에 비해 비슷한 값을 보였지만, 외부 capacitance등을 고려하지 않은 결과로써, 실제적으로는 QSOI에 비해 상대적으로 더 나쁜 것으로 예측된다.

참고문헌

- [1] S. Matsumoto, et al., "A Novel High-Frequency Quasi-SOI Power MOSFET for Multi Gigahertz Applications", IEDM 98, pp. 945-948
- [2] T. Ohgura, et. al., "High efficiency 2 GHz power Si-MOSFET design under low supply voltage," IEDM 96, pp. 83-86
- [3] A. Wood, et. al., " High performance silicon LDMOS technology for 2GHz RF power amplifier applications", IEDM 96, pp. 87-90
- [4] S. Park, et al., "A New Micromachining Technique with (111) Silicon", Journal of Applied Physics, vol. 38, pp. 2699-2703, 1999