

저전압 아날로그 4상한 멀티플라이어

김종민*, 유영규*, 이근호*, 윤창훈**, 김동용*

*전북대학교 전자정보공학부

**우석대학교 정보통신공학부

전화 : (0652) 270-2395 / 팩스 : (0652) 270-2394

A Low Voltage Analog Four-quadrant Multiplier

Chong-Min Kim*, Young-Gyu Yu*, Geun-Ho Lee*, Chang-Hun Yun**, Dong-Yong Kim*

*Faculty of Electronics and Information Engineering, Chonbuk National University

**Department of Information and Communication Engineering, Woosuk University

E-mail : chongmin@orgio.net

Abstract

In this paper, a low voltage CMOS analog four-quadrant multiplier using two V-I converters is presented. The proposed V-I converter is composed of the series composite transistor and the low voltage composite transistor. The designed analog four-quadrant multiplier has simulated by HSPICE using 0.25 μ m n-well CMOS process parameters with a 2V supply voltage. Simulation results show that the power dissipation is 1.55mW, the cutoff frequency is 489MHz, and the THD can be 0.26% at maximum differential input of 1V_{P-P}.

I. 서론

아날로그 멀티플라이어는 두신호의 곱에 비례하는 출력을 발생시키는 장치로서 통신 시스템에서 신호를 변조, 복조시키는 중요한 블록으로 주파수 합성기 (frequency mixer), 적응 필터(adaptive filter), neural network, 위상 동기 루프(phase-locked loop) 등의 각종 신호 처리에 널리 이용되고 있다.

CMOS 공정을 이용한 아날로그 멀티플라이어는 다양한 방법으로 구현될 수 있는데 첫 번째는 가변 트랜스 컨덕턴스(variable transconductance) 방법으로 Gilbert 셀을 기본으로 구현된 아날로그 멀티플라이어이다[1]. 두 번째는 quarter-square 방법으로 포화 영역에서 동작하는 MOS 트랜지스터의 제곱 관계식을 이용한 것

으로 덧셈과 차동단(sum and difference stage), 제곱 단(squaring stage), 차동단이 필요하다[2, 3]. 세 번째는 선형 영역에서 동작하는 MOS 트랜지스터의 전압 전류 관계식을 이용하여 구현하는 아날로그 멀티플라이어이다[4]. 이 밖에도 펄스 폭 변조(pulse width modulation)[5], 스위치드 커패시터(switced capacitor) 방법이 있다.

CMOS 아날로그 멀티플라이어는 공급 전압이 감소함에 따라 입력 동작 범위에 대한 출력 신호의 폭이 감소되는 선형성의 저하를 갖게 된다. 선형성의 증가를 위해 능동 감쇠기(active attenuator)를 이용한 아날로그 멀티플라이어[1]가 제시되었고 이 외에도 선형성의 향상을 위한 여러 가지 방법들이 연구되고 있다[6].

본 논문에서는 전압-전류 변환기를 이용하여 낮은 공급 전압에서도 높은 선형성을 갖는 아날로그 멀티플라이어를 설계한다.

본 논문의 구성은 제 2장에서는 전압-전류 변환기를 이용하여 멀티플라이어를 설계하고 제 3장에서는 0.25 μ m n-well CMOS 공정 파라미터를 이용하여 제안된 회로를 시뮬레이션하고 제 4장에서 결론을 맺는다.

II. 전압-전류 변환기를 이용한 멀티플라이어 설계

본 논문에서는 게이트에 동일한 신호가 인가되는 직렬 복합 트랜지스터[7]와 저전압 복합 트랜지스터[8]를 이용하여 그림 1과 같은 전압-전류 변환기를 설계하였

다. 그림 1의 직렬 복합 트랜지스터에서 Ma2와 Mb2는 Ma1과 Mb1을 동작시키기 위해 선형 영역에서 동작하게 되고 Ma1과 Mb1은 포화 영역에서 동작하게 된다. 그리고 낮은 게이트 입력 전압에서 Ma2와 Mb2의 드레인 전압은 수십 mV까지 유지할 수 있다.

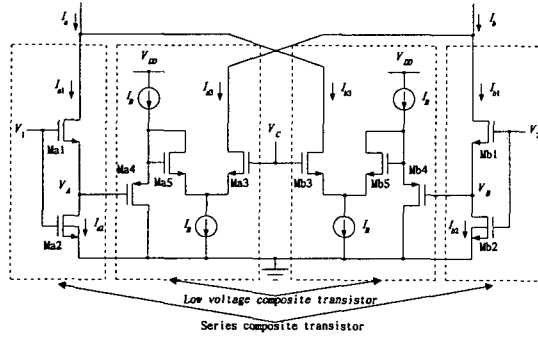


그림 1. 제안된 전압-전류 변환기
Fig. 1. The proposed V-I converter

그림 1에서 트랜지스터 Ma1~Ma5와 Mb1~Mb5를 동일한 조건으로 설계하면 $K_{n11}=K_{n12}=K_{n1}$ 이고 $K_{n21}=K_{n22}=K_{n2}$ 이다. 여기서 $K_n = \mu_n C_{ox}(W/L)$ 이고 μ_n 은 전자의 이동도, C_{ox} 는 산화물 커패시턴스, W 는 채널의 길이, L 은 채널의 폭이다. Ma1과 Mb1의 몸체 효과를 무시할 때 문턱 전압은 $V_{Tn11}=V_{Tn12}=V_{Tn21}=V_{Tn22}=V_{Tn}$ 이라고 가정하면 복합 트랜지스터에 흐르는 전류는 다음과 같이 나타낼 수 있다.

$$I_{a1} = \frac{K_{n1}}{2} (V_1 - V_A - V_{Tn})^2 \quad (1)$$

$$I_{b1} = \frac{K_{n1}}{2} (V_2 - V_B - V_{Tn})^2 \quad (2)$$

$$I_{a2} = \frac{K_{n2}}{2} [(V_1 - V_{Tn})^2 - (V_1 - V_A - V_{Tn})^2] \quad (3)$$

$$I_{b2} = \frac{K_{n2}}{2} [(V_2 - V_{Tn})^2 - (V_2 - V_B - V_{Tn})^2] \quad (4)$$

그리고 I_{a1} 과 I_{a2} 가 일치하기 때문에 식(1)과 (3)을 이용하여 V_A 를 구할 수 있고 V_B 도 식(2)와 (4)를 이용하여 구할 수 있다.

$$V_A = K_T(V_1 - V_{Tn}) \quad (5)$$

$$V_B = K_T(V_2 - V_{Tn}) \quad (6)$$

여기서 $K_T = 1 - \sqrt{K_{n2}/K_{n1} + K_{n2}}$ 로 정의한다.

또한 저전압 복합 트랜지스터[8] Ma3, Ma4와 Mb3, Mb4에 흐르는 전류는 다음과 같다.

$$I_{a3} = \frac{K_{eq}}{2} (V_C - V_A - V_{Teq})^2 \quad (7)$$

$$I_{b3} = \frac{K_{eq}}{2} (V_C - V_B - V_{Teq})^2 \quad (8)$$

여기서 K_{eq} 와 V_{Teq} 는 복합 트랜지스터의 등가 트랜스 컨덕턴스 파라미터와 문턱 전압이고 식(9)와 (10)으로 나타낼 수 있다.

$$\frac{1}{\sqrt{K_{eq}}} = \frac{1}{\sqrt{K_{n3}}} + \frac{1}{\sqrt{K_{M4}}} \quad (9)$$

$$V_{Teq} = V_{Tn3} + |V_{Tn4}| \quad (10)$$

식(9)의 K_{eq} 를 $K_{eq} = K_{n1} = K_n$ 과 같은 조건이 되도록 설계하고 식(7), (8)를 이용하여 출력전류 I_{out} 을 구하면 식(11)과 같다.

$$\begin{aligned} I_{out} &= I_a - I_b = I_{a1} - I_{b1} - I_{a3} + I_{b3} \\ &= \frac{K_n}{2} (V_1 - V_A - V_{Tn})^2 - \frac{K_n}{2} (V_2 - V_B - V_{Tn})^2 \\ &\quad - \frac{K_n}{2} (V_C - V_A - V_{Teq})^2 + \frac{K_n}{2} (V_C - V_B - V_{Teq})^2 \\ &= \frac{K_n}{2} (V_1 - V_2) [(2K_T - 1)(V_1 + V_2) + (1 - K_T)(V_C - V_{Teq})] \end{aligned} \quad (11)$$

식(11)에서 완전 차동 입력이 인가 될 때 ($V_1 = V_{CM} + v_{in}/2$, $V_2 = V_{CM} - v_{in}/2$, 여기에서 V_{CM} 은 공통 모드 입력 전압, v_{in} 은 차동 입력 전압이다.) 출력 전류는 다음과 같다.

$$I_{out} = \frac{K_n}{2} v_{in} [2(2K_T - 1)V_{CM} + (1 - K_T)(V_C - V_{Teq})] \quad (12)$$

식(12)로부터 V_{CM} 과 K_T 는 일정한 값을 갖기 때문에 출력 전류는 제어 전압 V_C 로 조절이 가능하다. 또한 식(11)에서 $K_T = 1/2$ 일 때 $I_{out} = K_n(V_C - V_{Teq})/2$ 로 나타낼 수 있다. 따라서 완전 차동 입력을 요구하지 않게 되어 단일 입력이 인가되어도 전압-전류 변환기로 동작하게 된다.

일반적인 멀티플라이어의 입출력의 관계식은 $I_o = K' \times \Delta v_{12} \times \Delta v_{34}$ 와 같으며 K' 는 크기 값이고 Δv_{12} , Δv_{34} 는 두 개의 서로 다른 차동 입력 값이다.

그림 1의 제안된 전압-전류 변환기에서 조정전압 V_C 에 신호를 인가하여 그림 2와 같은 아날로그 4상한 멀티플라이어를 구성할 수 있으며 출력 전류는 다음과 같다.

$$\begin{aligned} I_o &= I_a - I_b - I_c + I_d \\ &= \frac{K_n}{2} (V_1 - V_2) [(2K_T - 1)(V_1 + V_2) + (1 - K_T)(V_3 - V_{Teq})] \\ &\quad - \frac{K_n}{2} (V_1 - V_2) [(2K_T - 1)(V_1 + V_2) + (1 - K_T)(V_4 - V_{Teq})] \\ &= \frac{K_n}{2} (1 - K_T)(V_1 - V_2)(V_3 - V_4) \end{aligned} \quad (13)$$

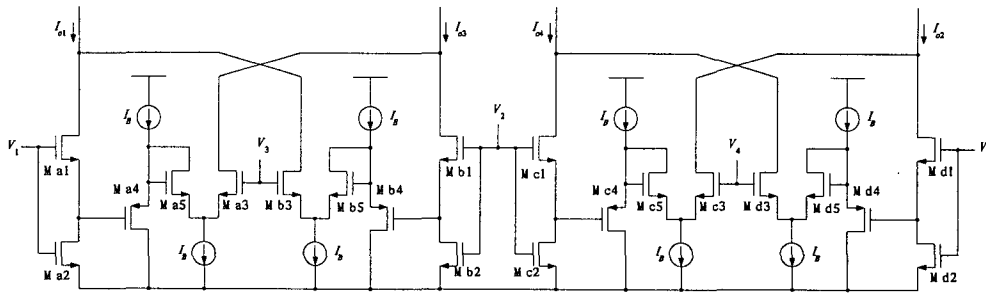


그림 2. 아날로그 4상한 멀티플라이어.

Fig. 2. Analog four-quadrant multiplier

여기서 $V_1 \sim V_4$ 는 입력 전압이며 공통 모드 전압과 차동 전압의 합으로 다음과 같다.

$$V_1 = V_{CM1} + \frac{\Delta v_{12}}{2} \quad V_2 = V_{CM1} - \frac{\Delta v_{12}}{2}$$

$$V_3 = V_{CM2} + \frac{\Delta v_{34}}{2} \quad V_4 = V_{CM2} - \frac{\Delta v_{34}}{2}$$

따라서 $\Delta v_{12} = V_1 - V_2$, $\Delta v_{34} = V_3 - V_4$ 이고 식(13)의 출력 전류에서 Δv_{12} 와 Δv_{34} 의 곱을 갖는 멀티플라이어 식을 얻을 수가 있다.

III. 시뮬레이션 결과

제안된 회로는 2V 공급전압에서 $I_B = 100\mu A$ 로 $0.25\mu m$ CMOS n-well 공정파라미터를 이용하여 HSPICE로 시뮬레이션 하였다. NMOS와 PMOS 트랜지스터의 문턱전압 $V_{Tn} = 0.556V$, $V_{Tp} = 0.609V$ 이다.

식(12)의 출력 전류는 $K_{n1} = K_{eq}$ 조건에서 얻어졌다. 일반적인 방법은 식(9)의 복합트랜지스터에서 $K_{p4} > K_{n3}$ 으로 하여 $K_{n1} = K_{eq} \approx K_{n3}$ 가 되도록 설계한다[9]. 이와 같은 방법은 복합트랜지스터에서 이동도가 낮은 PMOS 트랜지스터 Ma4, Mb4의 외형비(aspect ratio)를 NMOS 트랜지스터 Ma3, Mb3의 외형비보다 크게 해야하므로 넓은 면적을 요구하고 주파수 특성을 저하시키다. 따라서 면적, 주파수 특성과 출력 전류의 선형성 사이에 trade-off 관계가 존재하므로 적절한 트랜지스터의 크기의 선택이 필요하다. 표 1은 제안된 전압-전류 변환기의 트랜지스터 크기이다.

표 1. 전압-전류 변환기의 트랜지스터크기
Table 1. Transistor sizes of V-I converter

Transistor	Type	Dimensions	
		W(μm)	L(μm)
Ma1, Mb1	NMOS	1	2
Ma3, Mb3	NMOS	1	2
Ma2, Mb2	NMOS	1	6
Ma4, Mb4	PMOS	10	0.25
Ma5, Mb5	NMOS	10	0.25

그림 3은 제안된 전압-전류 변환기의 DC 특성으로 입력 전압 $V_1 - V_2$ 를 $-1.0V$ 에서 $+1.0V$ 까지 완전 차동 입력을 인가할 때 제어 전압 V_c 가 $1.5V$ 에서 $1.9V$ 까지 $0.1V$ 간격으로 시뮬레이션한 출력 전류이다.

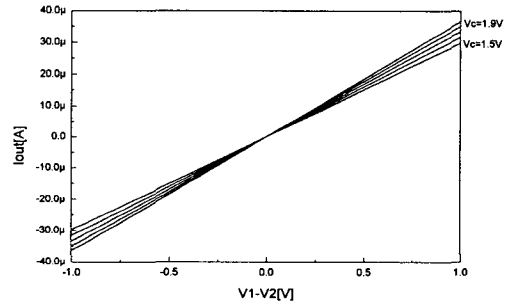


그림 3. 전압-전류 변환기의 DC 특성
Fig. 3. DC characteristics of V-I converter

그림 4는 4상한 멀티플라이어의 DC 특성으로 $V_1 - V_2$ 가 $-1.0V$ 에서 $1.0V$ 까지 변화할 때 $V_3 - V_4$ 는 $-1.0V$ 에서 $1.0V$ 까지 $0.25V$ 간격으로 시뮬레이션 하였다.

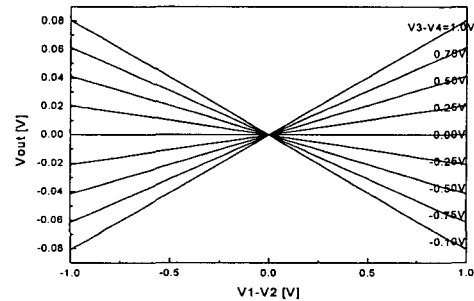


그림 4. 4상한 멀티플라이어의 DC 특성
Fig. 4. DC characteristics of four-quadrant multiplier

그림 5는 V_1-V_2 에 $1.0V_{p-p}$ 를 갖는 10MHz의 사인 입력과 V_3-V_4 에 $1.0V_{p-p}$ 를 갖는 1MHz의 사인 입력을 인가했을 때 곱셈된 파형이다.

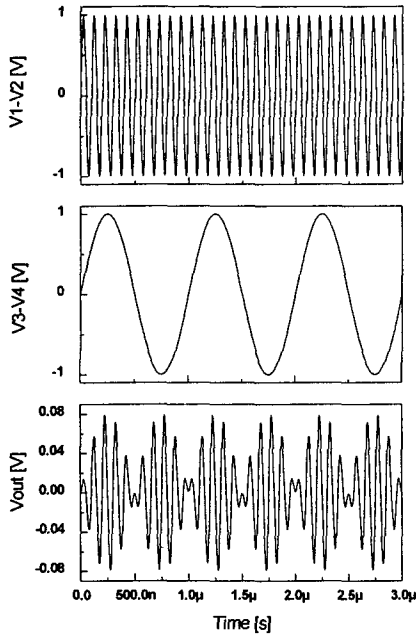


그림 5. 1MHz와 10MHz 신호의 곱
Fig. 5. Multiplication of 1MHz and 10MHz signals

그림 6은 V_3-V_4 가 1V이고 V_1-V_2 에 10MHz의 사인 입력을 인가했을 때 시뮬레이션된 THD 특성이다. V_1-V_2 가 $1V_{p-p}$ 일 때 THD는 0.26%이다.

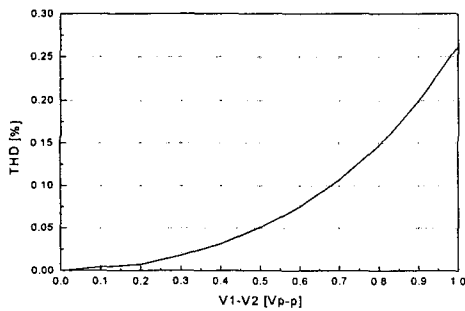


그림 6. $V_1-V_2[V_{p-p}]$ 의 변화에 따른 THD
Fig. 6. THD as a function of $V_1-V_2[V_{p-p}]$

VI. 결론

본 논문에서는 전압 전류 변환기를 이용하여 저전

압에서 동작하는 CMOS 아날로그 4상한 멀티플라이어 를 설계하였다. 전압-전류 변환기를 직렬 복합 트랜지스터와 저전압 복합트랜지스터를 이용하여 저전압 동작이 가능하다. 또한 $K_T=1/2$ 일 때 단일 입력이 인가 되어도 전압-전류 변환기로 동작하는 장점을 갖는다. 설계된 아날로그 멀티플라이어는 2V 공급전압에서 $0.25\mu m$ CMOS n-well 공정 파라미터를 이용하여 HSPICE 시뮬레이션 하였다. 시뮬레이션 결과 전력 소모는 1.55mW, 차단주파수는 489MHz이고 $1V_{p-p}$ 최대 입력에서 THD는 0.26%이다.

따라서 제안된 회로는 저전압, 고주파수 동작이 요구되는 아날로그 회로에 응용 가능할 것이다.

참고문헌

- [1] S. C. Qin and R. L. Geiger, "A $\pm 5V$ CMOS analog multiplier," *IEEE J. Solid-State Circuits*, vol. 22, pp. 1143-1146, Dec. 1987.
- [2] K. Bult and H. Wallinga, "A CMOS analog four-quadrant multiplier," *IEEE J. Solid-State Circuits*, vol. 21, pp. 430-455, Jun. 1986.
- [3] J. S. Pena-Finol and J. A. Connelly, "A CMOS analog four-quadrant multiplier using the quarter-square technique," *IEEE J. Solid-State Circuits*, vol. 22, pp. 1064-1073, Dec. 1986.
- [4] C. W. Kim and S. B. Park, "New four-quadrant CMOS analogue multiplier," *Electron. Lett.*, vol. 24, pp. 1268-1270, Nov. 1987.
- [5] D. Brodarac et al., "Novel sampled-data MOS multiplier," *Electron. Lett.*, vol. 27, pp. 783-785, April 1991.
- [6] C. G. Hwang, A. Hyogo, M. Ismail, H. S. Kim, G. Moon, "LV CMOS high speed analog multiplier," *Proc. IEEE Int. Symp. on Circuits and Systems*, pp. 1189-1192, 1998.
- [7] M. Ismail and Terri Fiez, "Analog VLSI Signal and Information Processing," pp. 49-50, McGraw Hill, 1993.
- [8] A. Hyogo, C. Hwang, M. Ismail, and K. Sekin, "LV/LP CMOS square-law circuits," *Proc. IEEE Midwest. Symp. on Circuits and Systems*, pp. 1181-1184, 1998.
- [9] S. C. Huang and M. Ismail, "Linear tunable COMFET transconductor," *Electron. Lett.*, vol. 29, pp. 459-461, 1993.