

저전력 2-Step 8-bit 10-MHz CMOS A/D 변환기

박 창 선*, 손 주 호*, 김 영 랄*, 김 동 용*

전북대학교 전자정보공학부

전화 : (0652) 270-2395 / 팩스 : (0652) 270-2394

A Low-Power 2-Step 8-bit 10-MHz CMOS A/D Converter

Chang-Sun Park*, Ju-Ho Son*, Young-Lal Kim*, Dong-Yong Kim*

Faculty of Electronic & Information Engineering, Chonbuk National University

E-mail : changsunny@netsgo.com

Abstract

In this paper, an A/D converter is implemented to obtain 8bit resolution at a conversion rate of 10Msample/s. This architecture is proposed using the 2-step architecture for high speed conversion rate. It is consisted of sample/hold circuit, low power comparator, voltage reference circuit and DAC of binary weighted capacitor array. Proposed A/D converter is designed using 0.25 μ m CMOS technology. The SNR is 45.3dB at a sampling rate of 10MHz with 1.95MHz sine input signal. When an 8bit 10Msample/s A/D converter is simulated, the Differential Nonlinearity / Integral Nonlinearity (DNL / INL) error are ± 1 / ± 2 LSB, respectively. The power consumption is 13mW at single +2.5V supply voltage.

I. 서 론

멀티미디어 및 통신 시스템에서 널리 사용되는 디지털 신호처리 기술의 발전으로 인하여 아날로그 신호를 디지털 신호로 바꾸어 주는 아날로그 디지털(A/D, Analog-to-Digital) 변환기의 중요성이 점차 증가하고 있다. 또한 최근 휴대용 기기들에 대한 소비자들의 욕구가 증가하면서 개인 휴대 통신 기기나 노트북과 같이 소용량의 배터리에서 동작하는 전자 기기들이 빠르게 발전하면서 A/D 변환기 또한 저전압 저전력 회로

의 구현이 매우 중요한 요소로 부각되고 있다.

지금까지 구현된 다양한 A/D 변환기 구조 중에서 고속 응용에 적용될 수 있는 변환기 구조로는 플래시 구조, 2-Step 방식, 그리고 파이프라인드 구조 등이 있다.^{[1]-[2]} 그 중에서도 저전압, 저전력 응용 구조 중 플래시 A/D 변환기에 비해 속도는 느리지만 전력 소모와 면적이 적고 또한 입력 캐패시턴스가 적어도 되는 2-Step 구조의 A/D 변환기가 많이 이용되고 있다.^{[3]-[4]}

본 논문에서는 기존에 2-Step 구조에서 많이 쓰이고 있는 플래시 구조의 A/D 변환기의 많은 전력 소모의 단점을 보완하기 위해 축차 비교 구조를 기본으로 하면서 직렬 비교기 배열을 이용하여 저전력 특성을 가질 수 있는 A/D 변환기를 제안하고, 제안한 구조를 이용하여 2-Step 8비트 10MHz A/D 변환기를 설계하였다.

II. 2-Step A/D 변환기 설계

2.1 기존 구조와 비교 및 동작 원리

2-Step 구조는 샘플/홀드 회로, N 비트의 상위 플래시 A/D 변환기, 디지털 아날로그 (D/A, Digital-to-Analog) 변환기, 뿔샘기, N 비트의 하위 플래시 A/D 변환기 구성되어 있다. 2-Step 구조에서 사용되어지는 N 비트의 플래시 A/D 변환기는 N 비트를 얻고자 할 때 2^N-1 개의 비교기를 필요로한다. 따라서 원하는 비트를 얻고자 하는 경우 2-Step 구조에선 $2 \times 2^N-1$ 개의 비교기를 사용하게 되고 이에 비례하여 전체 면적, 전력 또한 증가하게 된다.

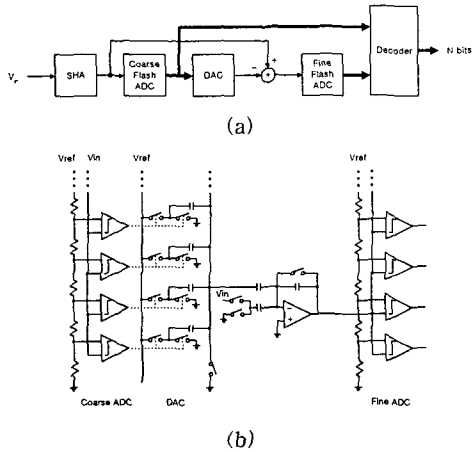


그림 1. (a) 2-Step A/D 변환기의 구조 및
(b) Single-ended의 간략도

Fig. 1. (a) 2-Step ADC Architecture
(b) Simplified Single-ended Diagram of 2-Step ADC

제안한 구조의 N 비트 A/D 변환기로 구성된 2-Step 8비트 A/D 변환기의 블록도를 그림 2에 나타내었다. 기존의 2-Step 구조는 플래시 A/D 변환기를 가지고 있지만 본 논문에서는 플래시 A/D 변환기 대신 제안한 A/D 변환기를 사용하였다.

플래시 구조 대신에 사용된 A/D 변환기를 그림 3에 나타내었다. 비교기를 직렬로 배열하여 비교기의 출력값을 데이터로 사용하도록 하였으며, N비트 해상도를 위해 N개의 비교기를 사용하였다. 기존의 축차 비교 구조에서 한 개의 비교기만으로 동작하는 것에 비해 많은 비교기를 사용하지만 속도를 향상시킬 수 있다. 또한 기존의 플래시 A/D 변환기나 2-Step 구조보다는 같은 해상도에서 훨씬 적은 비교기를 사용하여 전력소비가 적다.

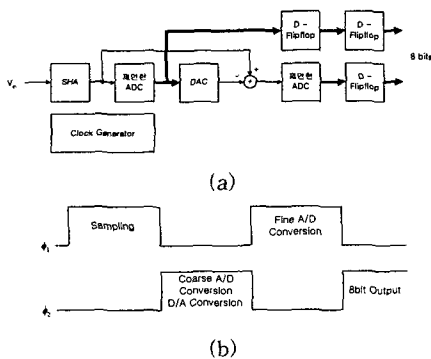


그림 2. (a) 2-Step 8비트 A/D 변환기 블록도 및
(b) 타이밍도

Fig. 2. (a) Block Diagram of 2-Step 8bit ADC
(b) Timing Diagram

그림 3에서 입력 신호가 샘플/홀드 회로에 입력된 후 홀드된 주기 동안에 비교기를 순차적으로 동작하도록 하였다. 비교기 부분은 파이프라인드 구조를 사용하고 비교기의 기준 전위 회로는 축차 비교 구조의 D/A 변환기 부분을 사용하여 스위치 배열을 이용하였다. 이러한 스위치 배열은 로직 회로보다 적은 면적을 가지게 되고, 전력 소모 또한 로직에 비해 훨씬 적게 된다.

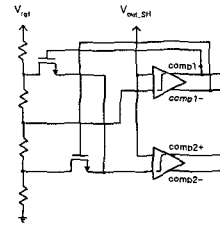


그림 3. 제안한 2비트 A/D 변환기의 블록도
Fig. 3. Block Diagram of Proposed 2bit ADC

변환 동작 원리는 먼저 홀드된 신호가 비교기 1, 2, ...에 모두 입력되고 각각 기준 전위는 아직 입력되어 있지 않은 상태에서 비교기 1은 항상 1/2 기준 전위에 연결되어 비교기 1을 동작시킨다. 이때 비교기 1에서 나온 출력값은 D 플립플롭에 저장되며 또한 비교기 2의 기준 전위를 바꾸어 준다. 이때 비교기 2는 동작을 시행하고 비교기 1과 같은 동작을 반복하게 된다. 비교기 1, 2, ...에 의해 전송된 디지털 출력값은 D 플립플롭에서 동시 동작을 위한 과정을 거치고, 완성된 비트의 디지털 출력값을 얻게 된다. 이 출력값은 또한 D/A 변환기에 전달되어 D/A 변환을 수행하고 D/A 변환기에 의해 양자화된 전압과 입력 전압과의 차이 잔류전압이 증폭되어져 다음 단계 전달되어 Fine A/D 변환기에 의해 하위 비트를 얻게 된다.

2.2 샘플/홀드 회로 설계

continuous time 신호를 discrete time 신호로 변환하는 샘플/홀드 회로는 신호처리 시스템에 있어서 중요한 기본 블록들 중의 하나이다.^[5] 8비트 이상의 해상도를 위해서는 스위치와 캐패시터만으로는 고해상도를 이룰 수 없으므로 증폭기를 갖는 샘플/홀드 회로를 사용해야 된다. 샘플링 주기보다 홀드 주기에서의 부하 캐패시턴스가 크게 되며 홀드 주기에서 샘플/홀드 회로 부하는 DAC의 캐패시터, 스위치의 기생 캐패시터 및 비교기 입력 캐패시터로 구성되며 전체적으로 6pF 정도의 크기를 갖는다. 샘플/홀드 회로는 최소 8비트 이상의 정확도를 가져야하므로, 10MHz의 클럭을 사용한다고 할 때 약 10ns 내에 settling을 완료시키기 위한 -3dB 주파수는 88.3MHz가 된다.^[6]

2.3 비교기 설계

저전압, 저전력의 A/D 변환기를 위해서는 이에 적합한 비교기가 필요하다. 일반적으로 비교기의 특성은 정확성과 비교 속도, 전력 소비로 구별되며, CMOS 공정 기술에서 고속 비교기를 설계할 수 있으나 50MHz 이상의 속도와 6비트 해상도이상의 높은 해상도를 이루기에는 CMOS의 매칭상의 어려움이 있다.

설계된 비교기는 샘플/홀드 구조의 스위치와 차동 입력쌍으로 구성된 증폭기, 차동 구조를 가진 래치회로, RS 플립플롭으로 구성되어 있으며, 큰 이득을 가지는 래치단은 리셋하는 동안의 전류의 흐름을 차단하는 다이내믹 동작을 통하여 전력 소모를 줄일 수 있었으며, 입력단 증폭기를 두 개 사용하여 래치단의 클럭 및 신호 변환에 따른 순간적인 잡음을 감소시켰다.

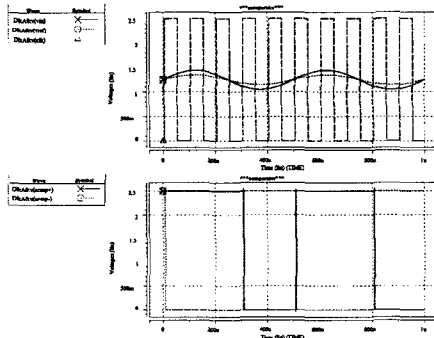


그림 4. 비교기의 출력 파형
Fig. 4. Output Waveform of Comparator

2.4 D/A 변환기

D/A 변환기는 Switched-Capacitor 구조를 이용하여 D/A 변환과 샘플링을 동시에 수행할 수 있도록 설계하였으며 비교기에서 출력되는 디지털 값이 Encoded 된 신호이므로 이중 가중치 캐패시터(Binary Weighted Capacitor)구조로 설계되었다. 또한 D/A 변환기는 잔류 전압을 증폭하여 full-scaling함으로써 Fine A/D 변환기내 비교기의 부담을 감소시켰다. 그림 5는 D/A 변환기의 블록도를 나타내었다.

2.5 클럭 발생기

변환 동작 원리에서 비교기가 순차적으로 동작하기 위한 순차적인 클럭이 필요로 하게 된다. 그림 6은 클럭 발생기의 블록도이다. 클럭 발생기는 주어진 클럭(CLK)을 10분주하며, 각 단위 D플립플롭의 출력은 주어진 클럭의 2주기만큼의 위상차이가 나게 된다. 100MHz 클럭을 입력 클럭으로 사용하였을 때 Q1, Q2, Q3, Q4, Q5는 10MHz의 출력을 갖으며, 각각 20ns 만큼

의 위상차이가 나게 된다. MC신호에 의해 10분주 또는 11분주를 할 수 있으며, 본 회로에선 MC를 0으로 하여 10분주하였다. 그림 7은 클럭 발생기의 출력 파형이다.

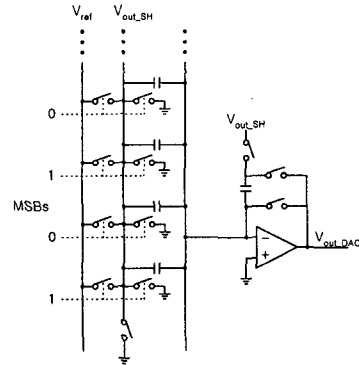


그림 5. D/A 변환기의 블록도
Fig. 5. Block Diagram of DAC

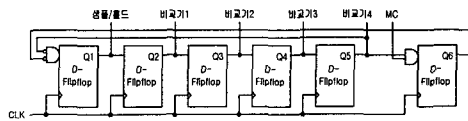


그림 6. 클럭 발생기 블록도
Fig. 6. Block Diagram of Clock Generator

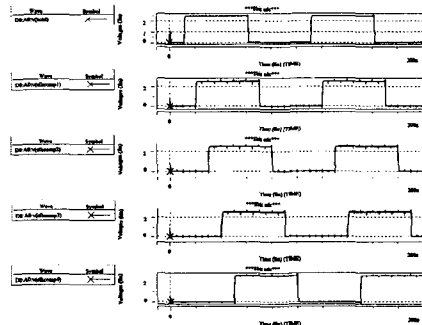


그림 7. 클럭 발생기의 출력 파형
Fig. 7. Clock Generator Output

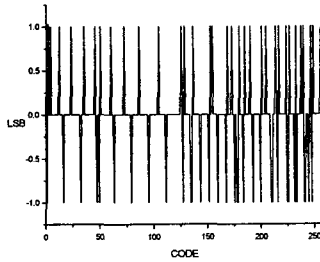
III. 시뮬레이션 결과 및 고찰

설계된 A/D 변환기 시스템은 0.25 μ m CMOS 공정 파라미터를 이용하여 HSPICE로 시뮬레이션하였으며, 아남 0.25 μ m n-well 5-metal 1-poly CMOS 공정으로 설계되었다.

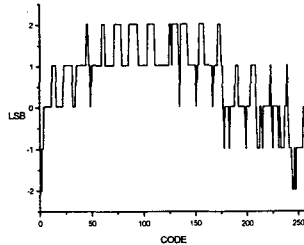
그림 8은 DNL/INL을 나타내고 있으며 각각 ± 1 LSB, ± 2 LSB이다. 또한 1.95MHz의 사인 입력 신호를 10MHz 샘플링 클럭을 사용하였을 때 이를 FFT를 측

정한 결과를 그림 9에 나타내었다. 측정결과 45.3dB의 SNR값을 얻었으며, 이는 식 [1]을 이용하여 7.3비트의 ENOB를 구할 수 있다.

$$ENOB = \frac{SNR - 1.76dB}{6.02} \quad [1]$$



(a) DNL



(b) INL

그림 8. 8비트 A/D 변환기의 DNL, INL 결과
Fig. 8. DNL, INL Result of 8bit A/D Converter

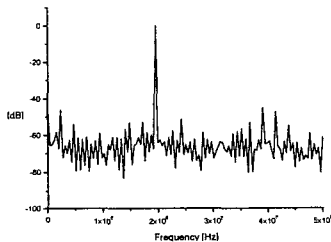


그림 9. 2-Step 8비트 A/D 변환기의 FFT 결과
(1953125Hz 사인 입력파, 10Ms/s, 256points)
Fig. 9. FFT Result of 8bit A/D Converter.
(1953125Hz Sine Input, 10Ms/s, 256points)

IV. 결 론

A/D변환기는 고속, 저전력을 위한 연구가 되고 있으며, 성능 향상을 위해 여러 가지 구조가 도입되고 있으나, 기존 구조가 가지는 문제에 의해 한계를 가진다. 이러한 구조의 문제를 극복하기 위해 본 논문에서

는 전력 소모가 적고 칩 면적을 최소화한 2-Step A/D 변환기 구조에서 기존의 구조에 이용되어지는 플래시 구조의 A/D 변환기를 제안한 구조로하여 2-Step 8비트 10MHz의 A/D 변환기를 설계하였다. 2-Step 8비트 A/D 변환기는 제안한 구조로 된 4비트 Coarse A/D 변환기와 4비트 Fine A/D 변환기, DAC로 구성되어 있다. 설계된 A/D 변환기는 0.25 μ m CMOS 공정 파라미터를 이용하였으며, DNL/INL은 각각 $\pm 1 / \pm 2$ LSB 이고, 1.95MHz 사인 입력파를 10MHz 샘플링 클럭을 사용하여 FFT를 측정하여 45.3dB의 SNR을 얻었으며, 13mW의 전력 소모를 측정하였다. 향후 제안된 A/D 변환기는 INL/DNL 향상 및 스위치의 잡음을 감소를 위한 연구가 좀 더 지속되어야 하며, 8비트 이상의 해상도를 갖는 2-Step 구조나 파이프라인드 구조에 응용이 가능하다.

참 고 문 헌

- [1] Raf Roovers, and Michiel S. J. Steyaet, "A 175MS/s, 6b, 160mW 3.3V CMOS A/D Converter.", *IEEE J. Solid-State Circuits*, vol. 31, no. 7, pp. 938-994, Jul. 1996.
- [2] Gil-Cho Ahn, Hee-Cheol, Shin-II Lim, Seung-Hoon Lee, and Chul-Dong Lee, "A 12-b, 10-MHz, 250-mW CMOS A/D Converter.", *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 2030-2035, Dec. 1996.
- [3] Behzad Razavi, and Bruce A. Wooley, "A 12-b 5-MSample/s Two-Step CMOS A/D Converter.", *IEEE J. Solid-State Circuits*, vol. 27, no. 12, pp. 1667-1678, Dec. 1992.
- [4] Hendrik van der Ploeg, and Robert Remmers, "A 3.3-V, 10-b, 25-MSample/s Two-Step ADC in 0.35- μ m CMOS.", *IEEE J. Solid-State Circuits*, vol. 34, no. 12, pp. 1803-1811, Dec. 1999.
- [5] K. Matsui, T. Matsuura, S. Fukasawa, Y. Izawa, Y. Toba, N. Miyake, and K. Nagasawa, "CMOS Video Filters Using Switched Capacitor 14MHz Circuits.", *IEEE J. Solid-State Circuits*, vol. SC-20, pp. 1096-1102, Dec. 1985.
- [6] 최희철, 안길조, 이승훈, 강근순, 이성호, 최명준, "10-bit 20-MHz CMOS A/D 변환기", 대한전자공학회논문지, 제33권, A편, 제19호, pp. 152-161, Apr. 1996.