

0.35um-CMOS 저잡음 VGA

정규영, 한건희

연세대학교 전기, 컴퓨터 공학과

전화 : (02) 361-4192 / 팩스 : (02) 312-4584

A 0.35um-CMOS low noise VGA

Kyuyoung Chung and Gunhee Han

Dept. of Electrical and computer Engineering, Yonsei University, Seoul 120-749, Korea

E-mail : dknight@cad.yonsei.ac.kr

Abstract

This paper proposes a CMOS low noise VGA. It describes the noise optimization method of the proposed VGA. The designed VGA provides of a 0 to 21.30dB gain variation and its bandwidth of 49MHz. The input reflected noise voltage is 4.84nV/sqrt-hz at 1MHz and noise figure is 14.53dB($R_s=50\Omega$). The VGA was fabricated using a 0.35-um CMOS technology.

I. 서론

Variable Gain Amplifier(VGA)는 이미지 회로, 디스크 드라이브, 무선 통신 시스템 등에서 중요한 빌딩 블록으로 사용된다. 기존에 발표된 대부분의 VGA는 RF application 용으로 설계된 반면에[1][2], 제안된 VGA는 0-40MHz 정도의 비교적 낮은 주파수에서 동작하도록 설계되었다. 특히, 저주파에서 동작하는 초음파 의료 장비에서는 초저잡음 VGA가 요구되고, 잡음 최적화는 중요한 설계 이슈가 된다.

CMOS 공정을 사용한 일반적인 VGA는 op-amp의 피드백에 capacitor/resistor-selective-array를 사용하거나[3], Gilbert's cell을 이용해 구현된다[4]. 반면에, 본 논문에서 제안된 VGA는 새로운 gain control 회로를 사용한다. 제안된 VGA는 flicker noise가 주로 나타나고 있는 비교적 낮은 주파수에서 동작하므로, 저주파에서의 잡음 최적화가 중요하다.

II. 회로의 동작 원리

제안된 VGA의 기본 회로는 그림 1과 같다.

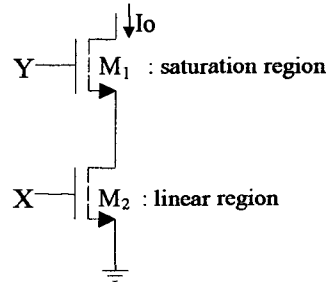


그림 1 저잡음 VGA의 기본 회로

Fig. 1 Basic circuit of the low noise VGA

M_1 은 linear 영역에서 동작하도록 바이어스 되고, M_2 는 saturation 영역에서 동작하도록 바이어스 된다. M_2 의 gate 전압 Y가 신호 입력이 되고, M_1 의 gate 전압 X로 회로의 등가 transconductance를 조절한다. M_2 의 W/L을 M_1 의 그것보다 충분히 크게 하여(3배 이상), M_2 가 source follower로서 동작하게 한다. M_2 가 source follower로서 동작하므로, V_s 는 (1)과 같이 approximation 될 수 있다.

$$V_s \cong Y - V_T \quad (1)$$

여기서, V_T 는 트랜지스터의 threshold 전압이다. M_1 이 linear 영역에서 동작하고, 그것의 $V_{DS} = V_s$ 이므로, I_o 는 (2)와 같다.

$$I_o = \frac{KW_1}{L_1} \left(X - V_T - \frac{Y - V_T}{2} \right) (Y - V_T) \quad (2)$$

여기서, K 는 $\mu_0 C_{ox}$ 이고, W_1 과 L_1 은 각각 M_1 의 width와 length이다. Y로부터 출력단까지의 등가 transconductance $g_{m,eq}$ 는 (3)과 같이 주어진다.

$$g_{m,eq} = \frac{dI_o}{dY} = \frac{KW_1}{L_1}(X - Y) \quad (3)$$

따라서, $g_{m,eq}$ 는 control 전압 X로 조절이 가능하다.

그림 1의 회로에 기초하여 VGA를 완전 차동(fully differential)의 형태로 구현하면, 그림 2와 같다.

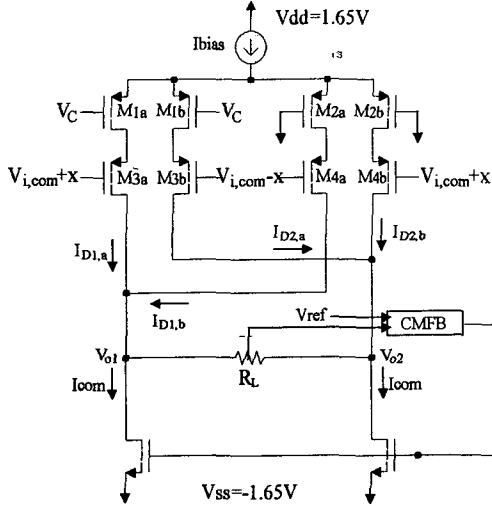


그림 2 완전 차동 저잡음 VGA
Fig. 2 Fully differential low noise VGA

여기서, 트랜지스터 M_{1a} , M_{1b} , M_{2a} 와 M_{2b} 는 linear 영역에서 동작하도록 바이어스 되고, M_{3a} , M_{3b} , M_{4a} 와 M_{4b} 는 saturation 영역에서 동작하도록 바이어스 된다. 따라서, 그림 2의 $I_{D1,a}$, $I_{D2,a}$, $I_{D1,b}$ 와 $I_{D2,b}$ 는 (4)와 같이 주어진다.

$$\begin{aligned} I_{D1,a} &= K_1 \left(V_c - V_s - V_T - \frac{V_{i,com} + x - V_T - V_s}{2} \right) \cdot \\ &\quad (V_{i,com} + x - V_T - V_s) \\ I_{D2,a} &= K_1 \left(V_c - V_s - V_T - \frac{V_{i,com} - x - V_T - V_s}{2} \right) \cdot \\ &\quad (V_{i,com} - x - V_T - V_s) \\ I_{D1,b} &= K_1 \left(V_{ss} - V_s - V_T - \frac{V_{i,com} - x - V_T - V_s}{2} \right) \cdot \\ &\quad (V_{i,com} - x - V_T - V_s) \\ I_{D2,b} &= K_1 \left(V_{ss} - V_s - V_T - \frac{V_{i,com} + x - V_T - V_s}{2} \right) \cdot \\ &\quad (V_{i,com} + x - V_T - V_s) \end{aligned} \quad (4)$$

여기서, $K_1 = \mu_o C_{ox} W_1 / L_1$ 이다. 따라서, 차동 출력 전류(differential output current) I_d 는 (5)와 같다.

$$I_d = (I_{D1,a} + I_{D2,a}) - (I_{D1,b} + I_{D2,b}) = K_1(V_c - V_{ss})x \quad (5)$$

따라서, 전압 이득은 (6)과 같이 주어진다.

$$A_v = K_1(V_c - V_{ss})R_L \quad (6)$$

(6)에서와 같이, 컨트롤 전압 V_c 를 조절함으로써, 전압 이득의 조절이 가능하다.

III. 잡음 해석

MOS 트랜지스터에서의 주요한 잡음원인 thermal noise, flicker noise, shot noise가 표 1에 정리되어 있다.[5][6] Shot noise는 매우 높은 주파수 영역을 제외하고는 MOS에서의 잡음 특성에 거의 영향을 주지 않으며, 특히, 현 공정에서는 무시할 만큼 작다. 제안된 VGA는 수십MHz 이내의 주파수 영역에서 동작하므로, shot noise의 영향은 무시될 수 있다.

표 1: CMOS의 주된 잡음원 정리
Table 1: Summary of the primary CMOS noise source

region noise	linear	saturation
thermal	$V_g(f)^2 = 4kT \frac{g_{ds}}{g_m^2}$	$V_g(f)^2 = 4kT \frac{2}{3} \frac{1}{g_m}$
flicker	$V_g(f)^2 = \alpha \left(\frac{\mu_{eff}}{\mu_1} \right)^2 \frac{q\mu_{eff}^2 ds}{L^2 f}$	$V_g(f)^2 = \frac{K_F}{WLC_{ox}f}$
shot		$I_g(f)^2 = 20kT^2 C_{ox}^2 / g_{m,sat}$

where; $V_g(f)^2$: gate reflected noise voltage,
 $I_g(f)^2$: gate noise current,
 k : Boltzmann's constant,
 T : absolute temperature,
 K_F : flicker noise constant,
 α_1 : experimental constant,
 μ_1 : lattice mobility,
 q : charge of one electron

표 1의 MOS의 잡음 모델을 제안된 VGA에 적용한다. 해석의 단순화를 위해 그림 3과 같이 한 branch에 대해 잡음을 분석하도록 한다.

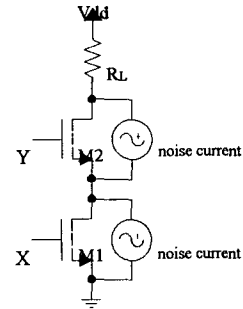


그림 3 저잡음 VGA의 잡음 모델
Fig. 3 Noise model of the low noise VGA

그림 3의 회로의 input reflected thermal noise voltage는 (7)와 같이 주어진다.

$$V_{in,thermal}^2(f) = 4kT \left(\frac{2}{3} g_{m2} + g_{d2} + g_L \right) \left(\frac{1}{g_{m,eq}} \right)^2 \quad (7)$$

여기서, g_{m2} 는 M_2 의 transconductance, g_{d2} 는 M_2 의 channel conductance, $g_{m,eq}$ 는 (3)에 주어져 있고, $g_L = 1/R_L$ 이다. M_1 이 linear 영역에서 동작하고, M_2 는

source follower로서 동작하므로, g_{m2} 와 g_{ds1} 은 (8)과 같이 주어진다.

$$g_{ds1} = 2K_1(X - Y)$$

$$g_{m2} = \sqrt{2K_1K_2(2X - Y - V_T)(Y - V_T)} \quad (8)$$

여기서, K_1 과 K_2 는 각각 $\frac{\mu_o}{2} C_{ox} \frac{W_1}{L_1}$ 과 $\frac{\mu_o}{2} C_{ox} \frac{W_2}{L_2}$ 이다. (3)과 (8)을 (7)에 대입하여 정리하면, (9)와 같다.

$$V_{in, thermal}^2(f) \approx 4kT \left(\frac{2}{3} \frac{\sqrt{2K_1K_2(2X - Y - V_T)(Y - V_T)} + g_L}{4K_1^2(X - Y)^2} + \frac{1}{2K_1(X - Y)} \right) \quad (9)$$

따라서, input reflected thermal noise voltage를 최소화 하기 위해서는, ㉠ 보다 큰 K_1 을 위해 M_1 의 W/L 을 크게 하거나, ㉡ M_1 과 M_2 의 gate 전압차 X-Y를 키우거나, ㉢ 보다 큰 전압 이득을 위해 큰 load 저항이 선택되어야 한다. 위 해석에 대한 SPICE 시뮬레이션 결과는 그림 4, 그림 5 와 그림 6과 같다.

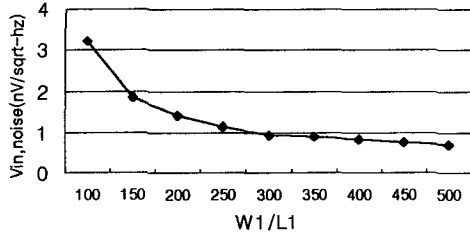


그림 4 W_1/L_1 vs. $V_{in, thermal}^2$ ($K_2/K_1=3$)
Fig. 4. W_1/L_1 vs. $V_{in, thermal}^2$ ($K_2/K_1=3$)

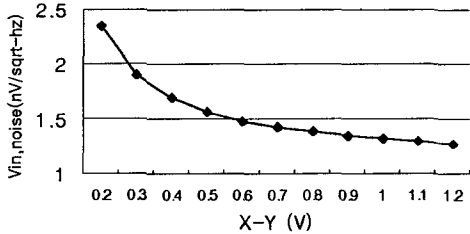


그림 5 X-Y vs. $V_{in, thermal}^2$
Fig. 5. X-Y vs. $V_{in, thermal}^2$

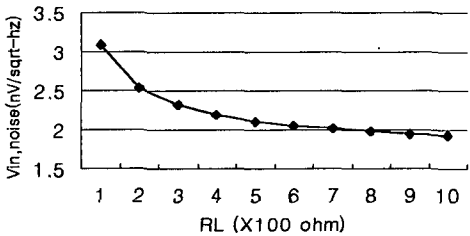


그림 6 R_L vs. $V_{in, thermal}^2$
Fig. 6. R_L vs. $V_{in, thermal}^2$

같은 방법으로, input reflected flicker noise voltage를 구하면 (10)과 같다.

$$V_{in, flicker}^2(f) = (g_{m1}^2 \frac{K_{F1}}{L_1^2 g_{ds1}} + g_{m2}^2 \frac{K_{F2}}{W_2 L_2 C_{ox}}) \left(\frac{1}{g_{m, eq}} \right)^2 \frac{1}{f} \quad (10)$$

여기서, K_{F1} 과 K_{F2} 는 flicker noise 상수, L_1 과 L_2 는 M_1 과 M_2 의 channel length, W_2 는 M_2 의 width, 그리고 g_{m1} 은 M_1 의 transconductance로 (11)과 같다.

$$g_{m1} = K_1(Y - V_T) \quad (11)$$

(3), (8)과 (11)을 (10)에 대입하여 정리하면, (12)와 같다.

$$V_{in, flicker}^2(f) \approx \left(\frac{(Y - V_T)^2 K_{F1}}{L_1^2 K_1^2 (2(X - Y))^{n+2}} + \frac{(2X - Y - V_T)(Y - V_T) K_{F2}}{4L_2^2 C_{ox} K_1 (X - Y)^2} \right) \frac{1}{f} \quad (12)$$

따라서, input reflected flicker noise를 최소화하기 위해서는, ㉠ M_1 이나 M_2 의 length를 크게 하거나, ㉡ X-Y를 키우거나, ㉢ 보다 큰 C_{ox} 를 얻기 위해 advanced technology가 선택되어야 한다. 위 해석에 대한 SPICE 시뮬레이션 결과는 그림 7, 그림 8 와 그림 9와 같다.

그러나, L_1 , L_2 나 K_1 ($K_1/K_2 = constant$)를 크게 하면, M_2 의 source에 존재하는 pole에 의해 bandwidth가 제한되며, X-Y는 power supply 전압에 의해 제한된다. R_L 을 키우면, input reflected noise는 줄어드는 반면, total output noise는 증가하게 된다. 또한, 큰 C_{ox} 를 위해 advanced technology를 선택한다면, power supply 전압이 제한된다. 따라서, 이러한 설계 파라미터 들은 적절하게 선택 되어야 한다.

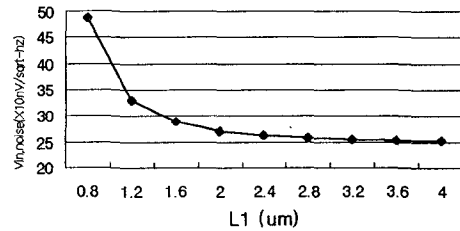


그림 7 L_1 vs. $V_{in, flicker}^2(f)$ (100Hz)
Fig. 7. L_1 vs. $V_{in, flicker}^2(f)$ (at 100Hz)

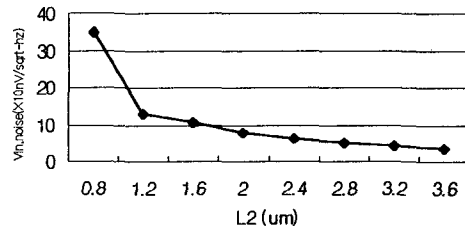


그림 8 L_2 vs. $V_{in, flicker}^2(f)$ (100Hz)
Fig. 8. L_2 vs. $V_{in, flicker}^2(f)$ (at 100Hz)

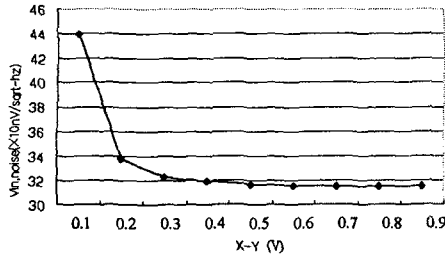


그림 9 X-Y vs. $V_{in,ricker}^2(f)$ (100Hz)
Fig. 9. X-Y vs. $V_{in,ricker}^2(f)$ (at 100Hz)

설계된 VGA의 잡음 성능에 대한 시뮬레이션 결과는 그림 10과 같다. 1Mhz에서의 input reflected noise voltage가 최대 전압 이득에서 6.67nV/sqrt-hz이고, 이때 noise figure($R_s=50\Omega$)는 17.30dB이다.

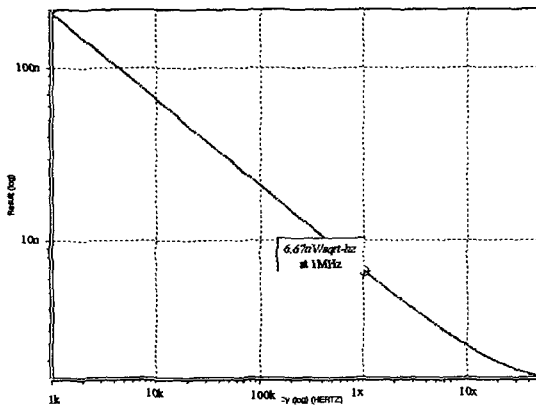


그림 10 VGA의 잡음 시뮬레이션 결과
Fig. 10. Noise simulation result of the VGA

IV. 측정 결과

제안된 VGA는 0.35- μ m CMOS 공정을 사용하여 제작되었다. 제작된 VGA는 수십 Mhz이하의 주파수에서 동작하기 때문에, 잡음 특성의 측정에는 sine wave method가 사용되었다.

제작된 VGA의 측정 결과 요약이 [7], [8]의 결과와 비교하여 표 2에 나타나 있다. 전압 이득 컨트롤 범위는 0-21.3dB이고, 시뮬레이션에서는 49Mhz의 대역폭을 가지는 반면에, 측정된 -3dB bandwidth는 5.55Mhz이다. (우리는 그 원인을 찾고 있다) 1Mhz에서의 input reflected noise voltage는 4.84nV/sqrt-hz이고, $R_s=50\Omega$ 에서의 noise figure는 14.53dB이다. 측정 결과는 대역폭을 제외하고는 시뮬레이션 결과와 잘 부합되고 있다.

표 2: 측정 결과 요약
Table 2: Summary of test results

	제안된 VGA	[7]	[8]
Gain control range(dB)	0-21.3	0-70	-17-54
-3dB bandwidth(MHz)	5.55(49)	20	71
Input reflected noise voltage (nV/sqrt-hz)	4.84	9	5.3
Noise figure $R_s=50\Omega$ (dB)	14.53	19.92	15.32
Output swing(Vpp)	1.2	1.6	N/A

V. 결론

이 논문은 VGA의 잡음 최적화 방법에 대해 설명하고 있다. 잡음 성능은 대역폭과 trade-off 관계를 가진다. 설계된 저잡음 VGA의 input reflected noise voltage는 4.84nV/sqrt-hz로, 표 1에서와 같이 다른 VGA 들 보다 나은 잡음 성능을 보이고 있다.

참고문헌

- [1] Kobayashi, K.W., Oki, A.K., Tran, L. and Streit, D.C., "A novel baseband-1.5 GHz monolithic HBT variable gain amplifier with PIN diode gain control", Microwave and Millimeter-Wave Monolithic Circuits Symposium, Digest of Papers.1995, IEEE pp 181-184, 1995
- [2] Kobayashi, K.W., Ip, K.T., Oki, A.K., Umemoto, D.K., Claxton, S., Pope, M. and Wiltz, J. "GaAs HBT 0.75-5 GHz multifunctional microwave-analog variable gain amplifier" Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 1993. Technical Digest 1993., 15th Annual, pp 239-242, Oct. 1993
- [3] J.N.Babanezhad, R.Gregorian, "A Programmable Gain/Loss Circuit," IEEE J. Solid-State Circuits, vol. SC-22, pp. 1082-1089, Dec. 1987
- [4] J.N.Babanezhad and G.C.Temes, "A 20-V four-quadrant CMOS analog multiplier," IEEE J. Solid-State Circuits, vol.21, pp 72-73, Jan. 1985
- [5] David A. Johns and Ken Martin, "Analog Integrated Circuit Design", pp. 181-217, John Wiley & Sons, Inc., 1997
- [6] L. K. J Vandamme, "Model for 1/f noise in MOS transistors biased in the linear region," Solid-State Electronics, vol. 23, pp. 317-323, 1980
- [7] Tadjpour, S., Behbahani, F., Abidi, A.A., "A CMOS variable gain amplifier for a wideband wireless receiver", VLSI Circuits, 1998. Digest of Technical Papers. 1998 Symposium on, pp. 86-89, 1998
- [8] F.Piazza, P.Orsatti, Q.Huang and H.Miyakana, "A 2mA/3V 71Mhz IF amplifier in 0.4um CMOS programmable over 80dB range," in Int'l Solid-State Conf. San Francisco, pp 78-79, 1997