

오프셋과 고주파수를 이용한 연산증폭기의 새로운 테스트 방식

송근호*, 백한석*, 문성룡*, 서정훈**, 김강철***, 한석봉*

*경상대학교 전자공학과, **창원전문대 전자통신과, ***여수대학교 컴퓨터공학과

전화 : (0591) 751-5354 / 팩스 : (0591) 759-7814

A Novel Testing Method for Operational Amplifier Using Offset and High Frequency

G. H. Song, H. S. Baek, S. R. Moon, J. H. Seo, K. C. Kim, S. B. Han

Dept. of Electronic Engineering, Gyeongsang National University

E-mail : ghsong@vlsi.gsnu.ac.kr

Abstract

In this paper, we propose the novel test method to detect short and open faults in CMOS Op-amp. The proposed method is composed of two test steps - the offset and the high frequency test. Using HSPICE simulation, we get a 100% fault coverage. To verify the proposed method, we design and fabricate the CMOS op-amp that contains various short and open faults through Hyundai 0.65 μ m 2-poly 2-metal CMOS process. Experimental results of fabricated chip demonstrate that the proposed test method can detect short and open faults in CMOS Op-amp.

I. 서론

IC 설계 기술의 발달과 시장의 요구로 인하여 아날로그와 혼성모드(Mixed-Mode) IC에 대한 설계가 증가하고 있다. 이러한 아날로그 회로에 대한 테스트는 아날로그와 혼성모드 IC 설계에 있어서 가장 중요한 문제들 중의 하나로 대두되고 있다.

아날로그 회로에 대한 고장 모델은 강고장(Hard 또는 Catastrophic Fault)과 약고장(Soft 또는 Parametric Fault)으로 분류하는데, 연산증폭기에 발생하는 고장 중 약 80~90%가 단락(short)이나 개방(open) 고장과 같은 강고장이 발생한다[1]. 아날로그 회로에서 가장 널리 사용되는 디바이스는 연산증폭기이므로 연산증폭기에 존재하는 고장을 효과적으로 검출할 수 있다면

아날로그 회로를 쉽게 테스트 할 수 있다[2].

기존의 연산증폭기 회로 테스트의 가장 일반적인 테스트 방법은 사양 테스트(Specification Test) 방법으로, 고장 모델을 사용하지 않고 모든 설계 사양에 대해서 가능한 모든 입력을 인가하여 테스트하므로 매우 광범위하다. 또한 많은 테스트 시간과 설계 사양에 따른 적절한 테스트 장비가 필요하므로 테스트 비용이 많이 든다. 이러한 단점을 개선하기 위하여 고장 모델을 사용한 테스트 방식으로는, 공급원 제어(Power-Supply Control) 방식[3], IDDQ 테스트 방식[4], DC 전압 테스트(DC Voltage Test) 방식[5], 발진 테스트(Oscillation Test) 방식[2] 등이 제안되었다. 그러나 기존의 테스트 방식들은 테스트 패턴의 생성이 복잡하거나 DFT(Design for Testability)를 위한 추가되는 하드웨어가 많으며 고장검출율이 낮은 단점이 있다.

본 논문에서는 CMOS 2단 연산 증폭기 내에 발생 가능한 단락고장과 개방고장을 검출 가능한 새로운 테스트 방법을 제안한다. 제안하는 테스트 방식은 오프셋 전압 테스트 방식과 고주파수 테스트 방식의 2단계로 수행된다. 테스트 대상 회로를 단일 이득 증폭기로 변환하므로 DFT에 대한 비용이 적고, 테스트 패턴 생성이 용이하다. 연산증폭기에 대하여 HSPICE 모의실험 및 제작된 칩에 적용한 결과 100%의 높은 고장 검출율을 얻었다. 제안하는 테스트 방식을 검증하기 위하여 현대 0.65 μ m 2-poly 2-metal CMOS 공정으로 다양한 형태의 단락 및 개방고장을 삽입한 CMOS 연산 증폭기를 제작하였다. 제작된 칩에 대하여 제안하는 테스트 방식을 적용한 결과 삽입된 단락 및 개방고장을 효과적으로 검출하였다.

II. Offset 전압 및 고주파수 테스트 방식

본 논문에서는 단일 연산 증폭기에 존재하는 강고장을 검출하기 위한 새로운 테스트 방식을 제안한다. 테스트 대상 회로는 그림 1에서 보는 바와 같이 CMOS 2단 연산증폭기 회로이다.

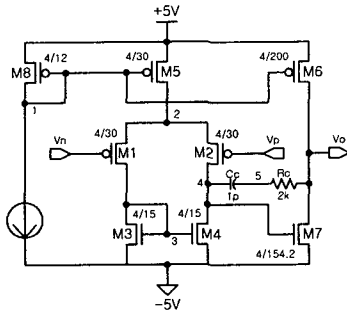


그림 1 CMOS 2단 연산증폭기의 회로도
Fig. 1 Schematic diagram of CMOS 2-stage op-amp

1. Offset 전압 테스트[6]

이상적인 연산증폭기의 출력 오프셋 전압은 0V이지만 실제 정상회로의 오프셋 전압은 0V가 아닌 매우 작은 전압이 나타난다. 그러나 회로 내에 단락이나 개방고장이 존재할 경우, 바이어스 전압이나 차동증폭단 또는 출력단의 동작전압들이 변화하여, 출력에 큰 고장 오프셋 전압이 발생하게 된다. 이러한 오프셋의 성질을 이용하여 연산증폭기 회로를 테스트한다. 테스트 시 출력에서 고장으로 인한 오프셋 전압 변동을 쉽게 관측하기 위해서 연산증폭기를 그림 2와 같이 단일 이득 증폭기로 DFT한다.

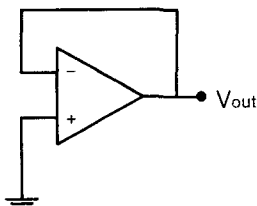


그림 2 단일 이득 증폭기
Fig. 2 Unit-gain amplifier

2. 고주파수 테스트[7]

연산증폭기의 주파수 특성을 분석하기 위하여 그림 1 회로의 소신호 등가회로는 그림 3과 같다. 만약 회로에 단락이나 개방고장이 존재할 경우 R_i 이나 C_i 값들이 변하게 되거나, 등가회로가 다르게 나타남으로써 1, 2에 나타난 pole1과 pole2 값이 변화하게 된다. 이러한 주파수 특성을 이용하여 정현파 입력을 인가할

경우 출력에서 정상출력과 다른 고장출력이 나타나 고장을 검출할 수 있다.

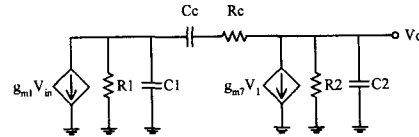


그림 3 2단 연산증폭기의 소신호 등가회로
Fig. 3 The small-signal model for 2-stage op-amp

$$\omega_{p1} \approx \frac{1}{R_1[C_1 + C_c(1 + g_{m7}R_2)] + R_2(C_2 + C_c)} \quad (1)$$

$$\omega_{p2} \approx \frac{g_{m7}C_c}{C_1C_2 + C_2C_c + C_1C_c} \quad (2)$$

그러나 고장의 발생 위치나 형태에 따라 고장효과가 적을 경우 유사한 주파수 특성을 가지게 되어 대역폭(Bandwidth) 내의 주파수를 가지는 정현파를 인가하면 정상과 고장출력이 비슷하게 나타난다. 그러므로 정상과 고장출력의 차를 최대화하기 위하여 정현파 입력의 주파수를 pole2 보다 높은 고주파수를 인가하여 테스트한다.

III. 테스트 칩의 설계

본 논문에서 제안하는 테스트 방식을 검증하기 위하여 현대 0.65 μ m 2-poly, 2-metal CMOS 공정으로 그림 1의 CMOS 연산증폭기를 설계하였다. 이 연산증폭기는 Mixed-Signal Testing Committee에서 정한 벤치마크 회로(Benchmark Circuit)[8]로 그림 4는 그림 1에 대한 레이아웃을 나타낸다. 칩 설계 시 다양한 고장을 테스트하기 위하여 정상회로 이외에 여러 가지 단락 및 개방고장을 삽입한 연산증폭기를 설계하였다.

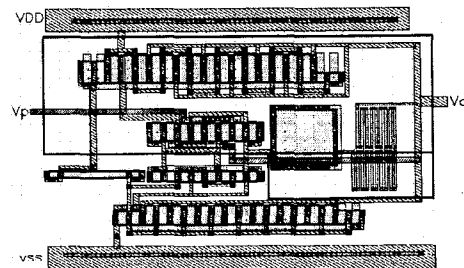


그림 4 CMOS 연산증폭기의 레이아웃
Fig. 4 Layout for CMOS op-amp

그림 5는 pMOS를 이용한 M5 트랜지스터 드레인 개방고장을 삽입한 레이아웃으로 pMOS의 소오스는 M5 트랜지스터의 드레인과 연결되어있고 드레인은 M1과 M2 트랜지스터의 소오스와 연결하였다. 그리고

게이트 단자(V_{fault} 노드)를 외부에서 제어할 수 있도록 하여, 이 pMOS를 ON 시키면 정상회로로 동작하고 pMOS를 OFF 시키면 M5 트랜지스터의 드레인과 M1과 M2 트랜지스터의 소오스 사이에 개방고장이 발생한다. 이와 같이 MOS를 이용하여 고장을 삽입함으로써 정상상태와 고장상태의 차이를 실험할 수 있도록 하였다.

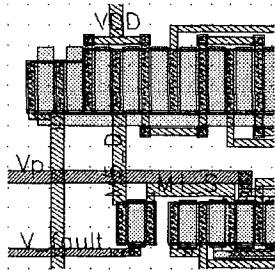


그림 5 pMOS를 이용한 M5 트랜지스터 드레인 개방 고장의 레이아웃

Fig. 5 Layout for drain open fault of M5 transistor using pMOS

그림 6은 M1 트랜지스터의 드레인-소오스에 단락고장을 구현한 레이아웃으로, MOS를 삽입하지 않고 실제 고장이 발생할 수 있는 형태인 금속 레이어(Metal Layer)를 이용하여 단락고장을 삽입하였다.

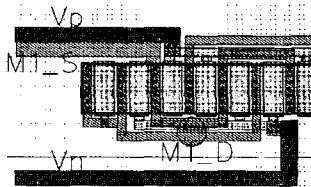


그림 6 M1 트랜지스터 드레인-소오스 단락고장의 레이아웃

Fig. 6 Layout for drain-source short fault of M1 transistor

위와 같은 방법을 이용하여 연산증폭기 내의 각 트랜지스터에 다양한 형태의 고장을 삽입하여 본 논문에서 제안하는 테스트 방식을 검증할 수 있도록 설계하였다.

IV. 모의실험 및 측정결과

본 논문에서 제안하는 테스트 방식은 HSPICE로 모의실험하였고, IDEC MPW를 통하여 현대 0.65 μ m, 2-poly, 2-metal 공정으로 연산증폭기를 제작하였다. 연산증폭기 설계 시 테스트 방식을 검증하기 위하여 다양한 단락고장과 개방고장을 삽입하였다.

1. HSPICE 모의실험

테스트 대상회로의 오프셋 전압 허용범위는 ± 10 mV로 설정하였다. 표 1은 단락 및 개방고장에 대한 모의실험 결과로써 표에 나타난 6개의 고장을 제외한 나머지 모든 고장들이 큰 오프셋 전압을 나타내어 쉽게 고장을 검출가능 하였다.

표 1 단락 및 개방고장에 대한 모의실험 결과
Table 1 Simulation result for short and open faults

고 장	오프셋 전압	고 장	오프셋 전압
M5 GD-S	1.5 mV	M8 G-O	- 0.1 mV
M6 GD-S	9.7 mV	M5 D-O	4.1 mV
M6 G-O	1.7 mV	M5 S-O	5.5 mV
나머지 40개 고장		허용범위를 벗어나 검출	

M5 GD-S : M5 게이트-드레인 단락고장

오프셋 테스트 방식에서 고장검출에 실패한 6개의 고장에 대하여 고주파수 테스트를 적용하였다. 입력 테스트 패턴은 V_{pp} 가 ± 2 V이고 주파수가 25MHz인 단일 정현파이다. 그림 7은 고주파수 테스트 결과로써 보는 바와 같이 고장이 존재할 경우 DC 전압 형태나 정상상태와 큰 전압차를 나타내어 쉽게 고장이 검출됨을 알 수 있다.

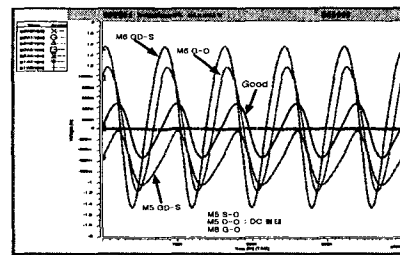


그림 7 오프셋 테스트를 통과한 고장에 대한 고주파수 테스트 결과

Fig. 7 High frequency test result for faults that passed offset test

표 2는 단락 및 개방고장에 대한 고장검출율을 나타내는데 오프셋 테스트만을 적용했을 경우 87%, 오프셋 테스트에 검출 실패한 고장에 대하여 고주파수 테스트 적용했을 경우에는 모든 고장을 검출하여 100%의 고장 검출율을 얻어, 본 논문에서 제안하는 방식이 효과적임을 알 수 있다.

표 2 단락 및 개방고장에 대한 고장 검출율
Table 2 Fault coverage for short and open faults

	# of total fault	# of detected	fault coverage
오프셋 테스트	46	40	87 %
오프셋 + 고주파수	46	46	100 %

2. 제작된 칩에 대한 실험

그림 8은 제작된 칩의 사진으로, IDEC 6차 MPW를 통하여 현대 0.65 μ m 공정으로 제작되었다.

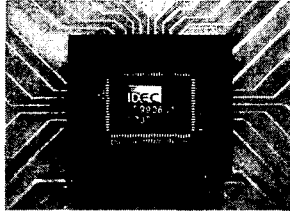


그림 8 제작된 칩의 사진
Fig. 8 Photo of fabricated chip

표 3은 모의실험과 제작된 칩의 오프셋 전압을 비교한 것으로 모의실험과 유사한 오프셋 전압을 나타내었다. M5 게이트-드레인 단락고장의 경우 모의실험과 같이 적은 오프셋 전압이 나타나 고장검출에 실패하였고, 나머지 고장들의 경우 높은 오프셋 전압이 나타나 검출이 가능하였다. 그러므로 본 논문에서 제안하는 오프셋 테스트 방식이 타당함을 알 수 있다.

표 3 제작된 칩의 고장 오프셋 전압
Table 3 Faulty offset voltage of fabricated chip

고 장	M1 D-O	M5 DS-S	M5 GD-S	M6 D-O
모의실험	- 4.8 V	- 233 mV	1.5 mV	- 211 mV
측정결과	- 4.3 V	- 248 mV	1.2 mV	- 200 mV

그림 9는 M5 트랜지스터의 게이트-드레인 단락고장에 대한 제작된 칩의 측정결과로서 그림에서 보는바와 같이 정상출력과 고장출력의 파형이 모의실험과 유사하게 나타나 본 논문에서 제안하는 테스트 방식이 유효함을 알 수 있다.

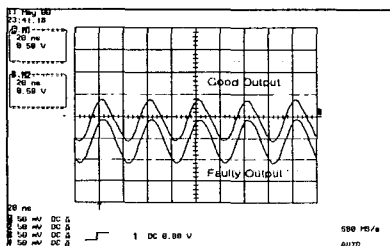


그림 9 M5 게이트-드레인 단락고장에 대한 고주파수 테스트 결과
Fig. 9 High frequency test result for M5 gate-drain short fault

V. 결론

본 논문에서는 연산증폭기에 존재하는 단락고장과

개방고장을 검출할 수 있는 새로운 테스트 방식을 제안하였다. 제안하는 테스트 방식은 오프셋 테스트와 고주파수 테스트의 2단계로 수행되며, 테스트 패턴 생성이 용이하고 고장 판별이 쉬우며 단일 이득 증폭기로 DFT 함으로써 테스트 비용이 적다. HSPICE 모의 실험 결과 오프셋만을 적용한 경우 87%, 오프셋과 고주파수 테스트를 같이 적용한 경우 100%의 고장 검출율을 얻었다. 제안하는 테스트 방식을 검증하기 위하여 IDEC MPW를 통하여 고장을 삽입한 연산증폭기를 제작하였다. 제작된 칩에 대하여 테스트 방식을 적용한 결과 연산증폭기 내의 단락 및 개방고장을 효과적으로 검출하여, 본 논문에서 제안하는 테스트 방식이 연산증폭기의 테스트에 효과적임을 알 수 있었다.

참고문헌

- [1] Wilson, Q. F., and D. B. Day, "Practical Automatic Test Program Generation Constraints," Proc. Automatic Test Conf. and Workshop, 1987.
- [2] Arabi, K., and B. Kaminska, "Testing Analog and Mixed-Signal Integrated Circuits Using Oscillation-Test Method", IEEE Trans. on CAD., vol. 16, no. 7, pp. 745-753, 1997.
- [3] A'ain, A. K. B., A. H. Bratt, and A. P. Dorey, "Testing Analog Circuits by Power Supply Voltage Control," Electronic Letters, vol. 30, no. 3, pp. 214-215, 1994.
- [4] Gielen, G., Wang, Z., and Sansen, W., "Fault Detecting and Input Stimulus Determination for the Testing of Analog Integrated Circuits Based on Power-Supply Current Monitoring," Proc, IEEE ICCAD, pp. 495-498. 1994.
- [5] Chang, S. J., C. L. Lee, and J. E. Chen, "Functional Test Pattern Generation for CMOS Operational Amplifier," Proc. VTS, pp. 267-272, 1997.
- [6] 한석봉, 윤원효, 김윤도, 송근호, 이효상, "오프셋 전압을 이용한 CMOS 연산 증폭기의 새로운 테스트 기법" 대한전자공학회 추계종합학술대회논문지, pp. 507-510, 1998.
- [7] 한석봉, 송근호, 김윤도, 김강철, "주파수 특성을 이용한 CMOS 연산증폭기의 새로운 테스트 방식", 대한전자공학회 한국통신학회 부산경남지부 추계 종합학술대회논문지, pp. 84-88, 1999.
- [8] B. Kaminska, K. Arabi, I. Bell, P. Goteti, J. L. Huertas, B. Kim, A. Rueda, and M. Soma, "Analog and Mixed-Signal Benchmark Circuits - First Release", Proc. IEEE ITC, pp. 183-190, 1997.