

## 단정도/배정도 승산을 위한 200-MHz@2.5-V 이중 모드 승산기

\*이 종남, \*박 중화, \*\*신 경욱

\* 금오공과대학교 대학원 전자공학과 석사과정, \*\* 전자공학부 부교수

전화 : (0546) 467-4328 / 팩스 : (0546) 467-4321

### A 200-MHz@2.5-V Dual-Mode Multiplier for Single/Double-Precision Multiplications

\*Jong-Nam Lee, \*Jong-Hwa Park, \*\*Kyung-Wook Shin

\*, \*\* Graduate Student, Associate Professor

School of Electronic Engineering Kumoh National University of Technology

#### Abstract

A dual-mode multiplier (DMM) that performs single- and double-precision multiplications has been designed. An algorithm for efficiently implementing double-precision multiplication with a single-precision multiplier was proposed, which is based on partitioning double-precision multiplication into four single-precision sub-multiplications and computing them with sequential accumulations. When compared with conventional double-precision multipliers, our approach reduces the hardware complexity by about one third resulting in small silicon area and low-power dissipation at the expense of increased latency and throughput cycles.

#### I. 서론

IEEE Standard 754-1985 [1]에 따르면, 단정도 (single-precision) 승산을 위해서는  $24-b \times 24-b$  승산기가 필요하며, 배정도 (double-precision) 승산을 위해서는  $53-b \times 53-b$  승산기가 필요하다. 배정도 승산기는 단정도 승산기에 비해 약 4배의 복잡도를 가지므로, 칩 면적과 전력소모 측면에서 큰 부담이 된다. 따라서, 일부 DSP나 FPU에서는 고집적/저전력/저가의 배정도 승산기 구현을 위해 배정도를 2~4개의 부분 승산으로 분할한 후 1개의 부분 승산을 처리하는 하드웨

어를 사용하여 승산-누적하는 방법을 사용하고 있다 [2,3,4]. 그러나 이러한 방법들은 피승수 (multiplicand)는 그대로 유지하면서 승수 (multiplier)만을 분할하고 부분 승산된 값을 두개의 벡터 즉, carry 벡터와 sum 벡터로 저장하기 때문에 부분 승산된 값을 더하는 과정에서 적지 않은 하드웨어를 필요로 하고, 단정도 승산이 필요한 경우, 배정도 승산기를 그대로 사용하여야 하기 때문에 불필요한 전력 소모나 동작 속도의 지연을 가져온다.

본 논문에서는 이와 같은 기존의 방법이 갖는 단점을 개선하기 위해 칩 면적과 전력소모를 줄이면서  $24-b \times 24-b$  단정도와  $53-b \times 53-b$  배정도 승산을 선택적으로 연산할 수 있는 새로운 이중 모드 승산 알고리즘을 제안하고, 이를 적용한 회로설계를 기술하고자 한다. 본 논문에서 제안하는 이중 모드 승산기 (Dual-Mode Multiplier; DMM)는 radix-4 Booth 알고리즘, redundant binary (RB) 수치계와 Wallace tree 구조를 이용하여 설계된  $28-b \times 28-b$  단정도 승산기를 기본으로 하여 구성된다. 또한, 분할된 4개의 단정도 부분 승산 (sub-multiplication) 결과들을 순차적으로 가산하기 위한 누적기 (accumulator)와 shifter 등의 부가적인 회로를 포함하고 있으며, 외부에서 인가되는 단정도/배정도 승산 선택신호에 의해 내부 구조가 재구성되도록 설계되었다.

#### II. 이중 모드 승산 알고리즘

각각 2n 비트인 두 이진수 A와 B는 식(1)과 같이 표현될 수 있으며,

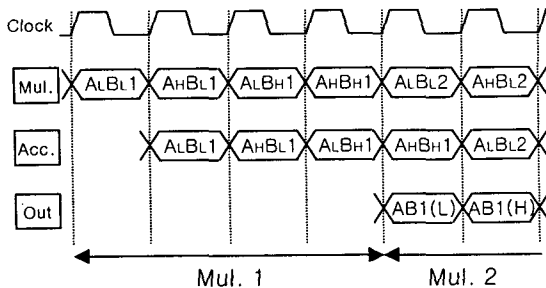
$$\begin{aligned}
 A &= \sum_{i=0}^{2n-1} a_i \cdot 2^i = \sum_{i=n}^{2n-1} a_i \cdot 2^i + \sum_{i=0}^{n-1} a_i \cdot 2^i \\
 &= A_H \cdot 2^n + A_L \\
 B &= \sum_{i=0}^{2n-1} b_i \cdot 2^i = \sum_{i=n}^{2n-1} b_i \cdot 2^i + \sum_{i=0}^{n-1} b_i \cdot 2^i \\
 &= B_H \cdot 2^n + B_L
 \end{aligned}
 \tag{1}$$

A와 B의 승산은 식(2)와 같이 부분 승산 4개의 합으로 표현될 수 있다.

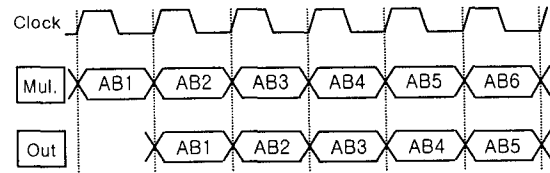
$$\begin{aligned}
 A \times B &= (A_H \cdot 2^n + A_L) \times (B_H \cdot 2^n + B_L) \\
 &= A_H \cdot B_H \cdot 2^{2n} + A_H \cdot B_L \cdot 2^n \\
 &\quad + A_L \cdot B_H \cdot 2^n + A_L \cdot B_L
 \end{aligned}
 \tag{2}$$

식(2)를 배정도 승산에 적용하면 각각 2n 비트인 두 이진수의 승산을 각각 n 비트인 두 이진수의 승산 4개의 합으로 표현할 수 있으며, 각각 n 비트보다 작은 비트 수를 갖는 단정도 승산을 1개의 부분 승산으로 표현할 수 있다. 그러므로 부분 승산된 값의 출력방법에 따라 배정도 승산 모드, 단정도 승산 모드로 구분될 수 있다.

본 논문에서 제안되는 이중 모드 승산기는 배정도 승산과 단정도 승산을 효과적으로 선택할 수 있기 때문에 단정도 승산시, 배정도 승산기를 그대로 사용하는 기존의 방식 [2,3,4]보다 효율적인 연산이 가능하며 적은 전력소모 특성을 갖는다. 그림 1은 배정도 승산과 단정도 승산의 동작순서를 나타내고 있다. 배정도 승산인 경우, latency와 throughput은 각각 4-cycle이며, 단정도 승산인 경우는 latency와 throughput이 각각 1-cycle이다.



(a) Double-precision multiplication



(b) Single-precision multiplication

그림 1. 이중 모드 승산기의 동작순서

### III. 회로 설계

#### 3.1 아키텍처 개요

제안된 방식을 적용한 이중 모드 승산기의 전체적인 구조는 그림 2와 같으며, 설계시 가능한 pin수의 제한으로 모든 입/출력을 동시에 처리할 수 없어 부가적인 회로를 추가하여 순차적으로 처리되도록 하였다.

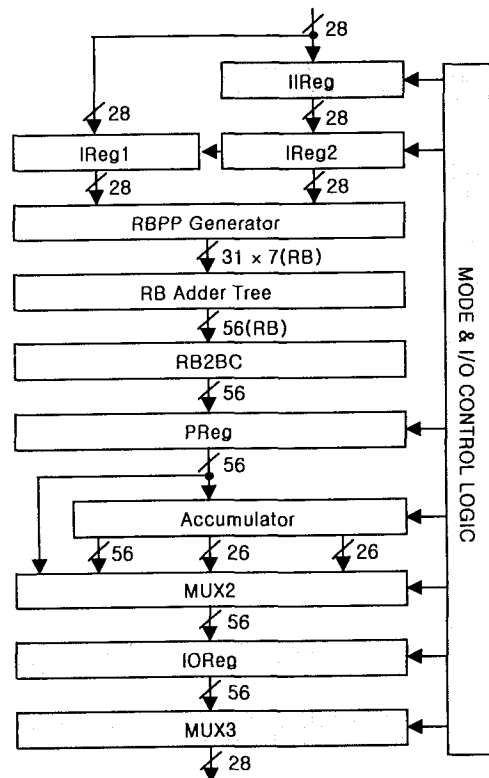


그림 2. 이중 모드 승산기의 구조

이중 모드 승산기는 다음과 같이 크게 6개의 기능 블록으로 구성된다. radix-4 Booth 리코딩을 통해 7개

의 RB 부분곱을 생성하는 블록, 생성된 RB 부분곱을 가산하는 부분곱 가산블록, 가산된 최종결과를 2진 수치계로 변환하기 위한 수치계변환 (RB-to-Binary Convector; RB2BC) 블록, 배정도 승산시 4개의 부분 승산된 값을 더하기 위한 누적기 블록, 모드에 따른 출력을 내보내기 위한 MUX 블록 및 외부에서 인가된 모드 선택 신호에 의해 내부회로를 재구성하고, 배정도 승산시, 부분 승산 결과의 가산을 제어하기 위한 제어 블록으로 구성된다.

본 논문에서는 RB2BC가 부분 승산시마다 연산되도록 설계되어 기존의 방식에 비해 동작속도가 다소 느려지나, 부분 승산된 값을 누적하기 위해 필요한 하드웨어를 1/2이상 감소시킬 수 있었으며, 단정도 승산은 매 클럭마다 연산이 가능하게 되었고, 단정도 승산시 누적기 블록을 차단하여 불필요한 전력소모를 줄일 수 있었다.

### 3.2 모드 및 입/출력 제어 회로

모드 및 입/출력 제어 회로는 외부에서 인가된 모드 선택 신호에 의해 단정도 및 배정도 승산 모드를 결정하고, 승산 모드에 따라 register, shifter 및 MUX등의 제어신호를 발생시키는 블록으로, 배정도 승산인 경우, 그림 3과 같이 제어신호를 발생한다.

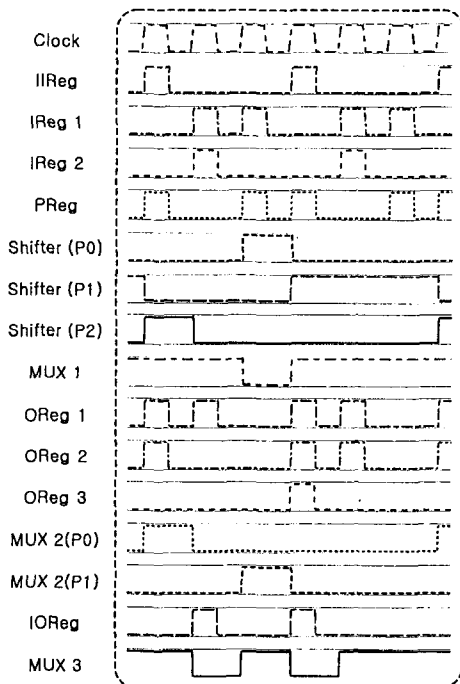


그림 3. 모드 및 입/출력 제어 회로의 출력 신호

그림 1의 배정도 승산 동작순서에서는 4-cycle 단위로 제어신호를 발생하지만 설계된 칩의 가용 pin수의 제한으로 모든 입/출력을 동시에 처리할 수 없어 외부에서 주어진 clock 신호에 따라 6-cycle 단위로 발생하며, 주로 입/출력의 순서 및 부분 승산된 결과의 누적 연산을 제어한다. 또한, 단정도 승산 모드인 경우에는 부분 승산 누적회로가 불필요하므로 모든 제어 신호를 차단하여 불필요한 전력소모가 없도록 설계되었다.

## IV. 시뮬레이션 및 레이아웃 설계

설계된 회로는 Mentor에서 VHDL로 모델링하여 블록 설계 및 1차 논리 검증을 수행하였고, 0.25- $\mu$ m 5-metal CMOS 공정 파라미터와 timemill을 사용하여 2차 논리 검증을 수행하였다. 전체 회로의 최미시연경로는 HSPICE를 이용하여 시뮬레이션하였고 그 결과는 부분 승산 블록이 4.2-ns, 부분 승산 누적블록이 3.9-ns로써 부분 승산 블록에 의해 동작속도가 결정됨을 알 수 있었다. 시뮬레이션 결과에 의하면, 설계된 이중모드 승산기는 2.5-V 전원전압에서 약 200-MHz 속도로 동작할 수 있을 것으로 예상되며, powermill을 사용하여 측정된 전력소모는 배정도 승산 모드에서 약 130-mW로 추정되었다.

레이아웃 설계는 Cadence 레이아웃 편집기를 사용하여 full custom 방식으로 수행하였으며, 설계 규칙 검사 (Design Rule Checking : DRC) 및 LVS (Layout Versus Schematic) 검사 등을 통하여 설계의 정확성을 검증하였다. 그림 4는 설계된 이중 모드 승산기의 레이아웃 사진이며, 표 1에 설계 결과를 요약하였다.

표 1. 이중 모드 승산기의 주요 특성

Technology	0.25- $\mu$ m 5-metal CMOS
Transistor count	25,300
Active area	0.77 x 0.40 mm <sup>2</sup>
Operating clock frequency	200-MHz @2.5-V
Power dissipation	130mW @2.5V, 200MHz
Layout density	82.2k Transistors/mm <sup>2</sup>
Supply voltage	Core : 2.5-V, I/O : 3.3-V
I/O pins	Input : 28, Output : 28 clock, reset, mode : 3 Power : 5

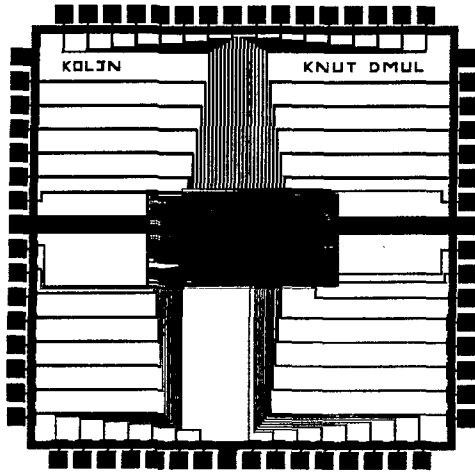


그림 4. 이중 모드 승산기의 레이아웃

### V. 결론

본 논문에서는 고집적/저전력/저가 부동소숫점 승산기의 구현을 위한 새로운 이중 모드 승산 알고리즘을 제안하였다. 배정도 승산을 4개의 부분 승산으로 분할하여 순차적으로 승산-누적하며, 단정도 승산을 부분 승산 하나로 처리하는 이 방법은 다음과 같은 장점을 갖는다. 첫째, 배정도 승산을 한 번에 처리하는 방식 [5,6,7]과 비교할 때 회로의 복잡도를 약 1/3~1/4로 줄일 수 있으므로, 칩 면적과 전력소모 측면에서 매우 유리하다. 표 2는 배정도 승산을 한 번에 처리하는 방식 [5,6,7]과 본 논문에서 제안된 이중 모드 승산기를 비교한 것이다.

표 2. 기존 승산 방식과의 비교

	[5]	[6]	[7]	DMM*
Function	D	D	D	D, S
Tr. count	100,200	78,800	60,797	25,300
Delay	4.4-ns	8.8-ns	4.1-ns	4.2-ns
Area	12.86- $\text{mm}^2$	9.39- $\text{mm}^2$	1.32- $\text{mm}^2$	0.31- $\text{mm}^2$
Latency	1	1	1	4(D), 1(S)
Throughput	1	1	1	4(D), 1(S)
Technology	0.25- $\mu\text{m}$ 3-metal 2.5-V	0.5- $\mu\text{m}$ 3-metal 3.3-V	0.25- $\mu\text{m}$ 3-metal 2.5-V	0.25- $\mu\text{m}$ 5-metal 2.5-V

\* D=Double-precision multiplication  
S=Single-precision multiplication

둘째, 피승수는 그대로 유지하면서 승수만을 분할하여 부분 승산하는 방식 [2,3,4]보다 부분 승산된 값을 더하기 위해 필요한 하드웨어가 적고, 단정도 승산시 불필요한 하드웨어의 사용을 제거할 수 있어 빠른 동작 특성과 적은 전력 소모를 갖는다.

※ 본 논문은 금오공과대학교 학술연구비와 반도체 설계 교육센터(IDEC)의 CAD tool 지원에 의한 연구 결과의 일부임.

### 참고문헌

- [1]. IEEE Standard Committee, "IEEE Standard for Binary Floating-Point Arithmetic", New York : IEEE, 1995.
- [2]. H. Murakami, N. Yano, Y. Ootaguro, et al, "A Multiplier-Accumulator Macro for a 45 MIPS Embedded RISC Processor", *IEEE J. of Solid-State Circuits*, IEEE, vol. 31, no. 7, pp. 1067-1071. July 1996.
- [3]. R. M. Jessani and M. Putrino, "Comparison of Single- and Dual-Pass Multiply-Add Fused Floating-Point Units", *IEEE Trans. on Computers*, IEEE, vol. 47, no. 9, pp. 927-937. Sep. 1998.
- [4]. W.S. Briggs and D.W. Matula, "A 17×69 Bit Multiply and Add Unit with Redundant Binary Feedback and Single Cycle Latency", *Proc. 11th IEEE Symp. Computer Arithmetic*, IEEE, pp. 163-170. June 1993.
- [5]. N. Ohkubo, M. Suzuki, T. Shinbo, et al, "A 4.4 ns CMOS 54×54-b Multiplier Using Pass-Transistor Multiplexer", *IEEE J. of Solid-State Circuits*, IEEE, vol. 30, no. 3, pp. 251-256. March. 1995.
- [6]. H. Makino, Y. Nakase, H. Suzuki, et al, "A 8.8 ns 54×54-Bit Multiplier with High Speed Redundant Binary Architecture", *IEEE J. of Solid-State Circuits*, IEEE, vol. 31, no. 6, pp. 773-782. June. 1996.
- [7]. G. Goto, A. Inoue, R. Ohe, et al, "A 4.1 ns Compact 54×54-b Multiplier Utilizing Sign-Select Booth Encoders", *IEEE J. of Solid-State Circuits*, IEEE, vol. 32, no. 11, pp. 1676-1682. Nov. 1997.