신호전이그래프를 이용한 비동기회로의 상위수준 테스트 생성

오은정*, 김수현*, 최호용**, 이동익*
*광주과학기술원 정보통신공학과 병행시스템연구실
**충북대학교 전기전자공학부
전화 : (062) 970-2267/ 팩스 : (062) 970-2204

High-Level Test Generation for Asynchronous Circuits Using Signal Transition Graph

Eunjung Oh*, Soo-Hyun Kim*, Ho-Yong Choi**, and Dong-Ik Lee*,
*Concurrent System Research Lab. Dept. of Info. & Comm., K-JIST
E-mail: {eunjung, shkim, dilee}@csrl.kjist.ac.kr
**School of Electrical & Electronics Engineering, Chungbuk National University
E-mail: hychoi@cbucc.chungbuk.ac.kr

Abstract

In this paper, we have proposed an efficient test generation method for asynchronous circuits. The test generation is based on specification level, especially on Signal Transition Graph(STG)[1] which is a kind of specification method for asynchronous circuits. To conduct a high-level test generation, we have defined a high-level fault model, called single State Transition Fault(STF) model on STG and proposed a test generation algorithm for STF model. The effectiveness of the proposed fault model and its test generation algorithm is shown by experimental results on a set of benchmarks given in the form of STG. Experimental results show that the generated test for the proposed fault model achieves high fault coverage over single input stuck-at fault model with low cost. We have also proposed extended STF model with additional gate-level information to achieve higher fault coverage in cost of longer execution time.

I. 서론

최근 반도체 업계에서는 급속도로 증가하는 저전력과 고속성에 대한 요구를 수용하기 위한 설계방식으로써 전역클럭을 사용하지 않는 비동기식 설계방법에 대한 관심이 점차 고조되고 있다. 이러한 요구에 부합하여 비동기회로를 합성하기 위한 연구들이 활발하게 수행되고 있다[1,2,7,8]. 이러한 연구들을 바탕으로 한 설계 기법들이 반도체 업체의 생산에 적용되고 그 제품들이 상품화되기 위해서는 제품의 신뢰도를 보장할 수 있는 테스팅 과정을 거쳐야만 한다.

그러나 현재까지 비동기 회로의 테스팅을 위한 테스팅 방법론 및 테스트 생성기술에 대한 연구는 미비한 실정이다. 그 주요한 원인으로 다음과 같은 사항들을 꼽을 수 있다.

- 전역클럭의 부재
- 논리합성 시에 의도적으로 삽입된 중복성
- 병행성으로 인한 큰 상태공간

위와 같은 문제로 인하여 동기회로를 대상으로 연구된 테스트 생성기법을 비동기회로에 직접 적용할 수 없다. 현재까지 진행되고 있는 비동기회로 테스팅에 관한 연구는 크게 두 종류로 분류할 수 있다. 그 한 부류는 기존에 연구된 동기회로 테스팅 방법들을 비동기회로의 특성을 감안하여 적절하게 변형하여 적용하는 것이다[3-7]. 그 이외의 연구로는 비동기회로의 테스트용이도 (testability)를 이용한 테스팅에 관한 연구를 들 수 있다[8].

본 논문에서는 위에 언급한 사항 중에서 상태공간에 대한 문제를 겪지 않는 테스트 생성을 제안한다. 테스트를 생성하기 위해서는 대상회로의 상태공간을 모두 표현하여야 한다. 그러나 비동기회로는 그 고유의 병행성 때문에 상태공간폭발현상(state space explosion)이 발생한다. 따라서 전체상태공간을 표현하지 않고 테스트를 생성할 수 있는 방법의 개발이 필요하다. 이를 위하여 본 논문에서는 대상회로의 명세를 이용하여 상위수준에서 테스트를 생성하는 방법을 제안한다. 제안된 방법론은 1) 회로의 명세로 주어진 신호전이그래프를 이용한 상태전이그래프의 정의, 2) 상태전이그래프 모델에 대한 테스트 생성, 3) 확장된 상태전이그래프 테스트 생성으로 구성되어 있다.

II. 상태전이그래프

상태전이그 장은 회로의 명세로 주어진 신호전이그 래프를 이용하여 정의한다. 비동기회로는 입력을 인가하고 출력을 관측할 수 있는 기준이 될 수 있는 전역클럭이 존재하지 않기 때문에, 외부의 입력이 인가되지 않으면 상태변화가 없는 안정상태 즉 기본 모드(fundamental mode)[9]를 가정하고 테스트를 인가하고 그 출력을 관측하기로 한다. 그림 1은 회로의 명세로 주어진 신호전이그 래프와 그로부터 유도되는 안정상태만으로 구성된 안정상태그 래프이다. 상태전이그 장은 안정상태그 래프에 나타난 상태전이, 즉 <상태, 신호전이, 상태>에 대하여 정의한다. 어떤 상태전이에 그 장이 발생하였다는 것은 그 상태전이가 정상적으로 수행되었을 때 명세에서 도달하는 상태와 다른 상태에 도달함을 의미한다.

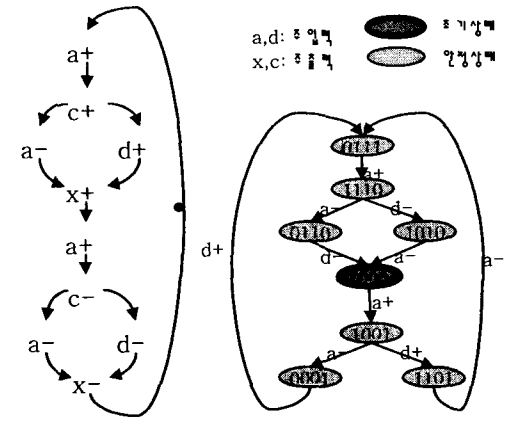
그림 1-(a)의 신호전이그 래프에서 정의될 수 있는 상태전이그 장을 표 1에 나타내었다. 각각의 그 장은 안정상태그 래프의 각 <상태, 신호전이, 상태>에 해당되며 본 논문에서는 단일 상태전이그 장만을 고려한다. 주어진 신호전이그 래프의 초기마킹은 안정상태라고 가정한다. 신호전이그 래프의 초기마킹이 불안정상태에 해당될 경우에는 비입력신호들의 전이를 통해서 그에 해당되는 유일한 안정상태를 결정할 수 있다. 따라서 본 논문의 초기상태에 대한 가정은 주어진 신호전이그 래프로부터 안정상태그 래프를 유도하는 데 아무런 제약이 되지 않는다. 다음은 신호전이그 래프를 이용한 안정상태그 래프와 상태전이그 장의 정의이다.

[정의 1. 안정상태그 래프 (SSG: Stable State Graph)] 어떤 신호전이그 래프의 모든 신호의 집합과 그 부분집합인 입력신호의 집합을 각각 $J=\{j_1, j_2, \ldots, j_n\}$와 $I=\{i_1, i_2, \ldots, i_m\}$라 하자. J에 대해 정의되는 안정상태그 래프 Φ_{SG}는 (S, T, δ, S_0)의 튜플로 정의한다.

- $S=\{s \mid s: J \rightarrow \{0,1\}\}$는 안정상태의 집합이다.
- S_0는 STG의 초기마킹에 해당되는 안정상태이다.
- $T=I_i \times \{+,-\}$는 모든 입력신호 전이들의 집합이다.
- $\delta: S \times T \rightarrow S$는 $\forall s, s' \in S$, $\forall t \in T$에 대하여 $\delta(s,t)=s'$일 때 다음과 같은 성질을 갖는 부분함수이다.
  - $t=j+$ 이면 $s(j)=0$, $s'(j)=1$
  - $t=j-$ 이면 $s(j)=1$, $s'(j)=0$

[정의 2. 상태전이그 장(STF: State Transition Fault)] 상태전이그 장 F는 안정상태그 래프 Φ_I의 $\delta: S \times T \rightarrow S'$에 대하여 정의한다. 임의의 상태전이 $\delta_0(s,t)=s_g'$에 상태전이그 장 $f \in F$가 발생하면 $\delta_f(s,t)=s_f'$인 그 장상태전이가 생성된다. 이때 $s_g' \neq s_f'$이며 s_g'와 s_f'를 구성하는 신호들의 값은 비입력신호의 값만 다르다.

정의 2로부터 임의의 신호전이그 래프에서 고려할 수 있는 상태전이그 장의 최대는 $|S| * |I|$임을 알 수 있다. 또한 고려대상이 되는 상태공간의 수는 $|S|$이다. 이는 gate-level에서 고려되는 상태공간과 그 장수와 비교할 때 현저히 적은 수임을 알 수 있다.



(a) 신호전이그 래프 (b) 안정상태그 래프

그림 1. 신호전이그 래프와 안정상태그 래프

III. 테스트 생성

안정상태그 래프의 임의의 상태는 주입력과 비입력으로 구성되어 있다. 따라서, 임의의 상태전이 <s1, t, s2>에 그 장이 발생하면 안정상태 s1으로부터 유일하게 결정되는 다음 안정상태 s2로의 전이가 올바르게 발생하지 않고 s2와 다른 상태 s3에 도달하게 된다. 이러한 경우에는 상태 s2와 s3의 입력변수들은 동일하고 비입력변수들만 다르다. 따라서 주어진 초기상태 r로부터 s2에 이르는 입력계열은 상태전이 <s1, t, s2>의 그 장 유무를 판별할 수 있는 테스트가 된다. 테스트를 구하는 알고리즘은 안정상태그 래프 상에서 깊이 우선탐색방법으로 r로부터 s2에 도달하는 경로를 구하는 것과 동일하다.

표 1은 그림 1-(a)의 신호전이그 래프의 경우에 정의되는 상태전이그 장과 각각의 상태전이그 장을 검출할 수 있는 테스트와 그러한 테스트를 인가했을 때 정상회로에서 예상되는 출력을 나타내었다.

표 1. 상태전이와 테스트

상태전이		출력
<0000, a+, 1001>		01
<1001, a−, 0001>		01
<1001, d+, 1101>		01
<0001, d+, 0111>		11
<1101, a−, 0111>		11
<0111, a+, 1110>		10
<1110, a−, 0110>		10
<1110, d−, 1010>		10
<0110, d−, 0000>		00
<1010, a−, 0000>		00

IV. 확장된 상태전이그 장

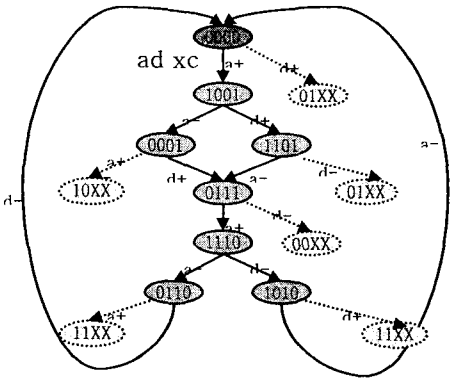


그림 2. 확장된 안정상태그래프

III절에서 정의된 상태전이그장은 주어진 회로와 그 회로가 동작하는 환경을 정의한 신호전이그래프의 정보만을 이용한다. 따라서, 명세에 정의된 상태 이외의 상태공간에서만 검출 가능한 고장은 III절에서 제안된 테스트 생성방법을 이용하여 검출할 수 없다. 이러한 고장들을 검출하기 위해서는 논리 합성된 회로의 gate-level net-list의 정보가 필요하다. 이를 위하여 확장된 상태전이그장을 정의한다. 기존의 신호전이그래프로부터 유도된 안정상태그래프의 각 상태에서 가능한 모든 상태전이를 고려하면 그림 2와 같은 확장된 안정상태그래프를 얻을 수 있다. 새로이 생성되는 상태들에 대한 정보는 gate-level net-list 시뮬레이션을 이용하여 얻을 수 있다. 이러한 방법으로 확장된 상태전이그래프 상에서 새로이 추가된 상태전이에 대하여 정의할 수 있는 고장들을 확장된 상태전이그장이라 한다. 이러한 고장을 검출하는 테스트 생성방법은 III절과 동일하다. 이러한 확장을 새로운 상태가 생성되지 않을 때까지 재귀적으로 반복할 수 있다. 다음은 확장된 안정상태그래프의 정의이다.

[정의 3. 확장된 안정상태그래프 (ESSG: Extended SSG)] 확장된 안정상태그래프 $\Theta_i=(S_\Theta, T, \delta_\Theta, S_0)$는 안정상태그래프 $\Phi_i=(S, T, \delta, S_0)$의 S와 δ를 확장한 S_Θ과 δ_Θ를 이용하여 정의한다. 단, T와 S_0는 Φ_i와 동일하다.

- S_Θ는 δ_Θ에 의해 정의되는 안정상태의 집합이다.
- $\delta_\Theta: S_\Theta \times T \rightarrow S_\Theta$는 $\forall s \in S_\Theta, \forall t \in T$에 대하여 다음을 만족하는 함수이다.
  - $s(j_i)=0$ 이면 $s \times j_i^+ \rightarrow s' = \phi(s, j_i^+)$
  - $s(j_i)=1$ 이면 $s \times j_i^- \rightarrow s' = \phi(s, j_i^-)$

$\phi(s, t)$는 안정상태 s에 전이 t가 발생하여 생성되는 다음 안정상태이다. 이는 gate-level 시뮬레이션에 의하여 구할 수 있다.

확장된 상태전이그장 F_Θ는 확장된 안정상태그래프 Θ_i의 $\delta_\Theta: S_\Theta \times T \rightarrow S_\Theta$에 대하여 정의한다. 또한 최대 고장수는 $|S_\Theta| \times |I_i|$이고 테스트 생성을 위해 고려하는 상태공간은 $|S_\Theta|$이다.

V. 실험 결과

본 논문에서 제안된 테스트 생성방법을 실험한 결과를 표 2에 나타내었다. 실험에 사용된 예제들은 속도독립 비동기회로의 명세로 주어지는 상태전이그래프들이다. 예제의 회로들을 비동기 논리합성 도구인 Petrify[2]를 이용하여 합성한 후 생성된 회로들의 고착고장수를 표 2에 나타내었다.

표 2의 상태전이그장 부분은 초기에 주어진 명세만을 이용한 실험 결과이고, 확장된 상태전이그장 부분은 더 높은 검출률을 얻기 위하여 한단계 확장된 안정상태그래프를 이용한 실험 결과이다. 각각의 고장수, 테스트길이, CPU는 상태전이그장수와 그를 검출하는 테스트의 길이와 테스트를 생성하는데 걸린 시간을 나타낸다. 테스트길이는 표 1의 예제에서 나타난 바와 같이 고장 시뮬레이션이나 압축방법을 이용하지 않은 결과이다. 검출률은 주어진 명세를 이용하여 논리 합성된 회로에 고착고장을 가정하고 생성된 테스트를 인가한 결과이다.

결과에서 보는 바와 같이 대부분의 회로가 초기에 주어진 명세만을 이용한 방법으로도 높은 검출률을 보인다. 또한 상태전이그래프만의 정보를 이용하기 때문에 전체 상태공간의 수가 gate-level의 net-list를 이용할 경우보다 압도적으로 적기 때문에 아주 짧은 수행시간에 테스트를 구할 수 있다. 확장된 상태전이그장에 대한 경우에는 보다 높은 검출률을 얻기 위해 gate-level 시뮬레이션을 수행하는 시간이 추가되었다.

VI. 결론

본 논문에서는 비동기회로 고유의 병행성으로 인한 상태공간폭발현상을 겪지 않고 테스트를 생성하기 위하여 상위수준에서 테스트를 생성하는 방법을 제안하였다. 제안된 방법은 효율적인 비동기회로 테스팅을 위하여 신호전이그래프로 주어진 명세의 정보만을 이용하여 단일상태전이그장을 모델링하고 이 고장을 검출하는 테스트를 생성한다.

제안된 고장모델링과 그에 따라 생성된 테스트의 유효성을 검증하기 위하여 동일한 명세로부터 논리 합성된 회로에 고착고장을 가정하고 생성된 테스트를 인가한 결과를 제시하였다. 제시된 실험결과로부터 제안된 방법으로 생성된 테스트가 고착고장을 효과적으로 검출할 수 있으며 적은 상태공간정보를 이용하기 때문에 빠른 시간에 생성할 수 있음을 알 수 있었다.

또한 부분적으로 gate-level 시뮬레이션을 이용한 확장된 상태전이그장모델링과 그에 따른 실험결과를 제시하여 보다 높은 검출률을 얻을 수 있음을 보였다.

감사의 글

본 연구는 교육부 두뇌한국21 정보기술사업단의 지원금에 의한 것입니다.

참고문헌

[1] T.-A. Chu, "Synthesis of Self-timed VLSI Circuits from Graph-theoretic Specification", Ph.D thesis, Massachusetts Institute of Technology, 1987.

[2] J. Cortadella et. al., "Petrify: a Tool for Manipulating Concurrent Specifications and Synthesis of Asynchronous Controllers", In Proc. of the 11th Conf. Design of Integrated Circuits and Systems, pp. 205-210, Barcelona, Spain, Nov. 1996.

[3] Oriol Roig i Mansilla, "Formal verification and testing of asynchronous circuits," PhD thesis, Universitat Politecnica de Catalunya, 1997.

[4] Marco A. Pẽna, Enric Pastor, and Jordi Cortadella, "Symbolic techniques for the automatic test pattern generation for Speed-Independent circuits," Technical Report RR-97-04, UPC/DAC, 1997.

[5] Oleg Alexandrovich Petlin, "Design for testability of asynchronous VLSI circuits," PhD thesis, Univ. of Manchester, 1996.

[6] Savita Banerjee, Srimat T. Chakradhar, and Rabindra K. Roy, "Synchronous test generation model for asynchronous circuits," In the 9th International Conference on VLSI Design, 1996.

[7] Ming-Der Shieh, "Design and synthesis of testable asynchronous sequential logic circuits," PhD thesis, Michigan State Univ., 1993.

[8] Peter A. Beerel, "CAD tools for the synthesis, verification, and testability of robust asynchronous circuits," PhD thesis, Stanford Univ., 1994.

[9] Stephen H. Unger, "Asynchronous sequential switching circuits," Wiley-Interscience, 1969.

표 2. 실험결과

	상태전이고장			
	고장수	백스트길이	CPU(Sec)	검출률(%)
	10	47	0.02	96.15
	10	47	0.02	98.27
	10	47	0.02	96.29
	10	47	0.02	95.45 †
	17	86	0.03	94
	12	54	0.02	100

† full회로의 경우에는 상태전이고장모델링을 이용하여 100%의 고장검출률을 나타내었기 때문에 확장된 상태전이고장모델링을 적용할 필요가 없다.