

## 대면적 LCD 패널 구동을 위한 새로운 Op-Amp 설계

이 동 옥(李東郁), 권 오 경(權五敬)

한양대학교 전자전기공학부

전화 : (02) 2290-0359 / 팩스 : (02) 2297-7701

### Design of a New Op-Amp for Driving Large-Size LCD Panels

Dong Uk Lee and Oh-Kyong Kwon

Div. of Electronics and Electrical Engineering, Hanyang University

E-mail : okwon7@chollian.net

#### Abstract

A new Op-Amp output buffer is presented for driving large-size LCD panels. The proposed Op-Amp is designed by combining a common source and a common drain amplifier to have a high slew rate and to minimize the quiescent current. The proposed circuits are simulated in a high-voltage  $0.6\mu\text{m}$  CMOS process, dissipates only  $20\mu\text{A}$  static current, and have 83dB open-loop DC gain and  $60^\circ$  phase margin.

phase margin을 가져야 한다. 마지막으로, 한 라인 시간 내에 200pF 이상의 대용량의 커패시터를 구동할 수 있도록 slew rate이 커야한다. 본 논문에서는 위의 모든 특성을 만족시키기 위해 folded cascode와 새로운 방식의 출력단을 결합한 구조의 Op-Amp를 제안하였다. 다양한 대면적 LCD 패널 구동을 확인하기 위해 데이터 라인 부하 조건을 여러 가지로 변화시켰으며, 고전압  $0.6\mu\text{m}$  CMOS 공정을 사용하여 시뮬레이션 하여 동작을 검증하였다.

#### I. 서론

최근의 LCD의 개발 추세는 대면적화, 저소비전력형, 고화질을 지향하고 있다. 특히 30인치 이상의 대면적 LCD 패널을 구동하기 위해서는 대용량의 커패시터 구동을 필요로 하기 때문에 전류 구동 능력이 뛰어난 Op-Amp가 필수적이다. 이 때에 사용되는 Op-Amp는 우선 LCD 패널이 공통 전압을 기준으로 주기적으로 극성이 반대인 전압을 인가해야 하기 때문에, 10V 이상의 전원을 사용하는 고전압 구동이 가능해야 한다.[1] 그리고, 각 컬럼 수만큼의 출력 버퍼단이 존재하므로, Op-Amp 출력단에서의 소비 전력을 최소화해야 한다. 또한, 고계조를 구현하기 위해서는 이상적인 Op-Amp에 가까운 특성을 가지도록 open-loop DC gain과 전압 스윙 폭이 커야하고, 안정적 동작을 위한 충분한

#### II. Op-Amp 설계

Op-Amp 출력단의 quiescent current를 억제하기 위하여 다양한 방법의 출력단 구조가 제안되었으며, 주로 많이 사용되는 구조는 공통 소스 구조를 사용하는 방법으로, 이 방법은 출력단 quiescent current를 제어하기 위해서는 slew rate를 낮춰야 하는 단점이 있다. 두번째로 소스 팔로워 구조를 사용하는 방법은[2], Class-B 동작을 하기 때문에 quiescent current를 제어할 수 있지만, transconductance가 낮고 특히 고전압 구동에서는 NMOS의 body-effect로 인해 출력 전압 스윙 폭이 제한되기 때문에 일반적인 single p-well 공정에서 사용이 곤란하다. 또 다른 구조로는 pseudo-source follower로서 error amplifier를 사용하여 두가지의 단점을 효과적으로 보완한 구조이며, 이미 오래 전에 제안되었지만 회로가 복잡하여 많이 활용되지

않고 있으며, comparator를 사용한 간단한 구조와[3], quiescent current 안정 회로를 포함한 구조[4]가 제안되었다. 본 논문에서는 공통 소스 구조와 공통 드레인 구조를 효과적으로 결합함으로써 대면적 구동을 위한 높은 slew rate를 유지하면서, 출력단의 quiescent current를 최소화하였다. 그림 1은 제안된 Op-Amp의 회로도이다. 그림 1에서 보면, folded cascode 회로의 출력 전압인  $V_{o1}$  신호가 공통 드레인 증폭기인 M13과 공통 소스 증폭기인 M18을 거쳐 pull up 전류를 발생시키고, 공통 소스 증폭기인 M14와 공통 드레인 증폭기인 M17을 거쳐 pull down 전류를 발생시킨다. 바이어스 기준 전압은 각각  $V_{B1}$ ,  $V_{B2}$ ,  $V_{B3}$ 이고, 각 기준 전압을 발생시키는 회로를 그림 2에 도시하였다.  $V_{DD}$  전압 변화와 온도 변화에 안정적으로 바이어스 전류와 기준 전압을 공급하기 위해, beta multiplier referenced self-bias를 이용한 CMOS reference 회로를 사용하였다.

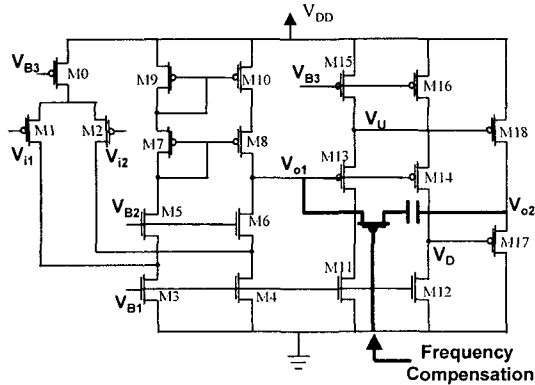


그림 1 제안된 Op-Amp의 구조  
Fig. 1 Proposed Structure of Op-Amp

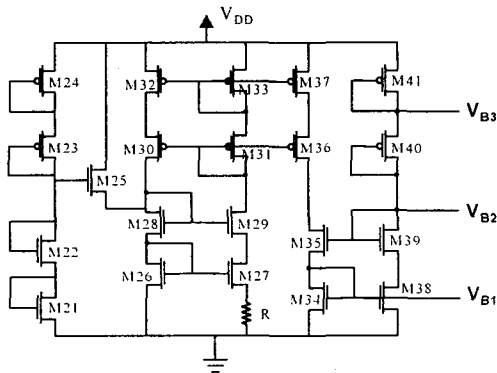


그림 2 Beta Multiplier Referenced Self-bias를 이용한 바이어스 회로.  
Fig. 2 Bias Circuit Using Beta Multiplier Referenced Self-bias

### III. 동작 해석과 주파수보상

출력 버퍼단의 대신호 동작을 살펴보면 다음과 같다. 그림 1의  $V_{o1}$ 에 high 신호가 입력되면, 공통 드레인 증폭기의 소스단인  $V_U$  노드에는 high 신호가 발생하여 M18은  $|V_{GS}|$ 가 감소해서 cutoff에 가깝게 되고, 공통 소스 증폭기의 드레인단인  $V_D$  노드에는 low 신호가 발생해서 M17은  $|V_{GS}|$ 가 증가하여 saturation된다. 또한,  $V_{o1}$ 에 low 신호가 입력되면, 공통 드레인 증폭기의 소스단인  $V_U$  노드에는 low 신호가 발생하여 M18은 saturation되고,  $V_D$  노드에 high 신호가 발생하여 M17이 cutoff된다. 바이어스 전압을 조절하여 Class-B 동작을 하게 만들 수 있고, 출력 버퍼단은 누설 전류 없이 부하 커패시터의 충·방전을 수행하게 된다. 다시 말하면 대신호 동작시에는 M11~M16은 phase splitter 역할을 하면서 비선형적인 동작을 한다. 그런데, 회로가 소신호 동작을 할 때는 M11~M18은 공통 소스 증폭기와 공통 드레인 증폭기가 결합된 multi-pole 시스템이 되기 때문에 피드백 동작시 회로가 불안정해진다. 주파수 보상을 위해 커패시턴스  $C_p$ 를 추가한 후  $V_{o1}$ 과  $V_{o2}$  사이의 회로 시스템을 등가회로 모델로 변형하면 그림 3과 같다. open-loop DC gain을  $-A_0$  라고하면 그림 3의 입력쪽에서 바라본 Miller 커패시턴스는  $C_p(1+A_0)$ 가 된다.  $R_{o1}$  역시 folded cascode의 출력 저항이므로 매우 큰 값이 되기 때문에 dominant pole이 발생해서, 근사적으로 식(1)과 같이 볼 수 있다.[5][6]

$$\omega_p \approx \frac{1}{(1+A_0)C_p R_{o1}}$$

$$\frac{V_{o2}(j\omega)}{V_{o1}(j\omega)} \approx \frac{-A_0}{1+j\omega(1+A_0)C_p R_{o1}} \quad (1)$$

식(1)에서 보는 바와 같이 출력 버퍼 시스템은 근사적으로 일차 시스템으로 볼 수 있기 때문에, 부하 저항에 관계없이 피드백 회로에서도 안정적으로 동작한다. 그림 4는 MOS 저항을 추가한 후 주파수 영역에서 시뮬레이션 한 결과이며, 1.1MHz의 단위 이득 주파수와 60° 정도의 phase margin을 보여주고 있다.

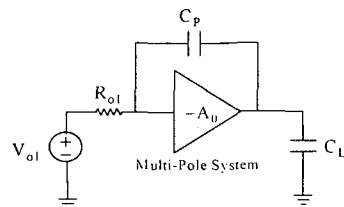


그림 3 간략화된 버퍼단의 구조.  
Fig. 3 Simplified Structure of Buffer

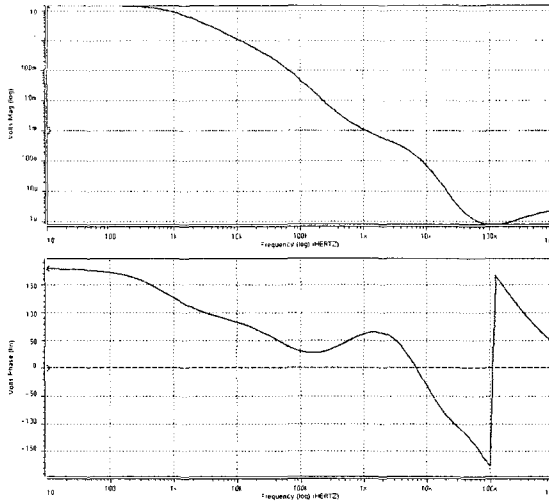


그림 4 주파수 보상 후 Op-Amp의 개방회로 주파수 응답

Fig. 4 Open Loop Frequency Response of Op-Amp After Compensation

#### IV. 시뮬레이션 및 성능

그림 5는 구동 부하인 LCD 패널의 데이터 라인을 모델링한 schematic diagram이며, 데이터 라인의 저항 성분과, 커패시턴스 성분을 분포 회로 모델로 표현한 것이다. 실제 시뮬레이션 과정에서는  $N=5$ 로 가정하고 시뮬레이션 하였다. 시간 영역에서 제한한 Op-Amp의 동작을 확인하기 위해, 30인치 LCD 패널의 분할 구동시의 부하 조건으로 127pF, 5k $\Omega$ 를 출력단에 구성하였다. 그림 6(a)에서는 입력 측에 1.2~8.8V의 구형 펄스(black image를 표시할 경우), 그림 6(b)에서는 3.5~6.5V의 구형 펄스(white image를 표시할 경우)를 인가한 후 시간영역 시뮬레이션한 결과이며, 6.8 V/ $\mu$ sec의 slew rate를 보여주고 있으며, 0.1% settling time이 3 $\mu$ sec미만이 되는 것이 확인되었다. 각 그림의 과도 전류 파형을 보면 어느 image를 표시할 때나 Class-B 동작을 하는 것을 확인 할 수 있다.

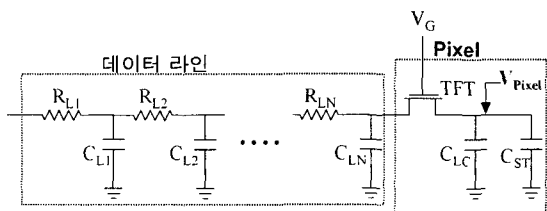
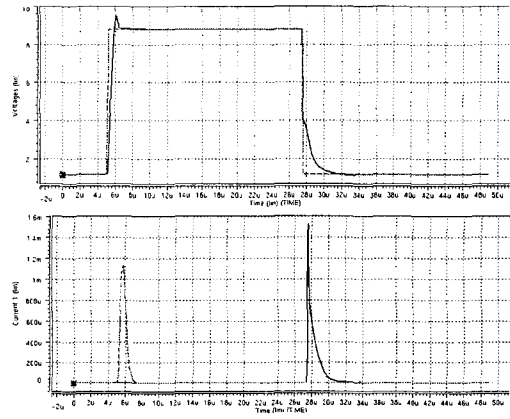
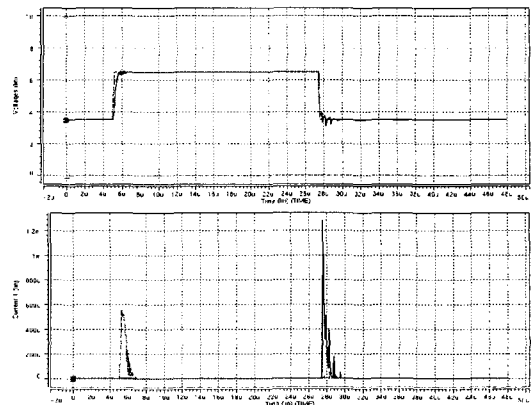


그림 5 LCD 패널 데이터 라인 모델링  
Fig. 5 Modeling of LCD Panel Data Line



(a)



(b)

그림 6 전압과 전류의 응답 특성

(a) Black Image (b) White Image를 표시할 경우

Fig. 6 Transient Response of Voltage and Current  
(a) Black Image (b) White Image

대면적 LCD의 경우, 패널의 제조 물질과 공정에 따라 부하 조건의 변화가 크기 때문에, 저항 값과 커패시턴스 값을 변화시켜서 출력단에서의 전압  $V_{pixel}$ 의 최종 라인 시간에 tracking error(입력 전압과 출력 전압의 차이)를 시뮬레이션 하여 그림 7과 표 1에 나타났다. 여기서, 프레임 주파수는 75Hz이고, 1600 $\times$ 1200 UXGA인 경우 한 라인 시간은  $1/(75 \times 1200) \approx 11.1 \mu$ sec 이고 분할 구동시 2배가 되므로 22.2 $\mu$ sec로 가정하였다. 패널의 데이터 라인 커패시턴스가 127pF일 때는 최종 라인 시간에서 어느 경우나 2mV이내의 tracking error를 보여주고 있기 때문에 5mV 이하의 tracking error를 요구하는 256 gray-scale 표현 조건을 만족시킴을 알 수 있고, 255pF일 경우에는 30k $\Omega$ 의 저항을 가진 경우를 제외하고는 조건을 만족시킴을 알 수 있다.

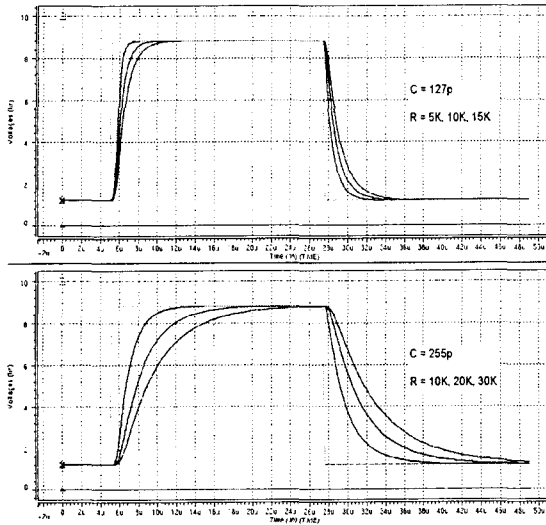


그림 7 패널 부하 조건의 변화에 따른  $V_{pixel}$  전압 과도 응답

Fig. 7 Transient Response of  $V_{pixel}$  for the Changes of Panel Load Condition

표 1 패널 부하 조건의 변화에 따른 Tracking Error  
Table 1 Tracking Error for the Changes of Panel Load Condition

패널 부하 조건	Tracking Error $ V_{in} - V_{pixel} $
127pF, 5k $\Omega$	1.5mV
127pF, 10k $\Omega$	0.7mV
127pF, 15k $\Omega$	0.8mV
255pF, 10k $\Omega$	0.5mV
255pF, 20k $\Omega$	1.5mV
255pF, 30k $\Omega$	313mV

표 2 Op-Amp의 성능(127pF, 5k $\Omega$ ).

Table 2 Performance of Op-Amp(127pF, 5k $\Omega$ )

Supply Voltage	10V
Open-loop DC Gain	83dB
Static Current	<20 $\mu$ A
Unit Gain Frequency	1.1MHz
Phase Margin	>60°
slew rate	6.8V/ $\mu$ sec
Output Voltage Range	1.2~8.8V
0.1% Settling Time (5V step pulse)	Rising : 2.38 $\mu$ sec Falling : 4.32 $\mu$ sec
Tracking Error	<2mV

## V. 결론

본 논문에서는 대면적 LCD 패널을 구동하기 위한 효과적인 Op-Amp 출력단 구조를 제안하였고, SPICE 시뮬레이션을 통하여, open-loop DC gain이 83dB, 1.1MHz의 unite gain frequency, 60°의 phase margin을 갖는 Op-Amp를 설계하였다. 새로운 구조를 적용한 Op-Amp는 20 $\mu$ A의 낮은 static current로 동작하고, 6.8V/ $\mu$ sec의 높은 slew rate를 가지고 있으며, Class-B동작을 한다. 따라서, 본 논문에서 제안한 Op-Amp는 저소비 전력 LCD 및 30인치 급의 대면적 LCD 패널 구동에 적합한 구조이고, LCD의 대면적화 추세로 볼 때 많은 응용 분야가 있을 것으로 기대된다.

## 참고 문헌

- [1] A. G. Lewis and W. Turner, "Driver Circuit for AMLCDs," IDRC, Oct. 10-13, 1994.
- [2] P. Gray and R. G. Meyer, "MOS Operational Amplifier Design - A Tutorial Overview," IEEE Journal of Solid State Circuit, Vol. 17, No. 6. pp. 12-25, Dec. 1982.
- [3] P. Yu and J. Wu, "A Class-B Output Buffer for Flat-Panel-Display Column Driver," IEEE Journal of Solid State Circuit, Vol. 34, No. 1. pp. 116-119, Jan. 1999.
- [4] B. Sekerkiran, "A Compact Rail-to-Rail Output Stage for CMOS Operational Amplifier," IEEE Journal of Solid State Circuit, Vol. 34, No. 1. pp. 107-110, Jan. 1999.
- [5] S. Pernici, G. Nicollini and R. Castello, "A CMOS Low-Distortion Fully Differential Power Amplifier with Double Nested Miller Compensation," IEEE Journal of Solid State Circuit, Vol. 28, No. 7. pp. 758-763, July. 1993.
- [6] P. Gray and R. G. Meyer, Analysis and Design of Analog Integrated Circuits, 3rd Ed. New York, John Wiley & Sons Inc. 1993, pp. 478-486.