

# PCS용 2.5V Si CMOS 저잡음 증폭기 설계

김진석, 원태영

인하대학교 전자전기컴퓨터 공학부

Tel) 032-860-8947 / Fax) 032-875-5882

## Design of 2.5V Si CMOS LNA for PCS

Jinsuk Kim, Taeyoung Won

School of Electrical and Computer Engineering, Inha University

E-mail : jskim@hsel.inha.ac.kr

### Abstract

In this paper, a 1.8GHz low noise amplifier was designed and simulated using 0.25 $\mu$ m Si CMOS process. Noise characteristics and s parameters were extracted for the 300 $\mu$ m gate width and 0.25 $\mu$ m gate length NMOS transistors. For high available power gain, each stage was designed cascode type. It revealed available power gain of 23.5dB, noise figure of 2.0dB, power consumption of 15mW at 2.5V. It was shown that designed low noise amplifier had good RF performance. Designed Si CMOS LNA is expected to be used for RF front-end in transceiver.

### I. 서론

RF IC 분야에서는 GaAs를 이용한 MESFET, HBT, HEMT 등이 주된 소자로 사용되어 왔다. 그러나, Si를 이용한 반도체 설계 및 제조 기술이 발전함에 따라 Si 반도체를 이용한 RF IC 기술이 빠른 속도로 발전하는 경향을 보이고 있다. 특히, Si CMOS를 이용한 RF IC 기술은 다른 Si 소자에 비해 고주파 동작 특성이 비교적 양호하여 셀룰라, PCS 등의 이동통신 분야에 빠르게 적용되고 있다. 이미 선진국에서는 Si RF IC 연구에 상당한 진전을 보여 다양한 분야에서 GaAs IC를 대체하고 있다. 그러나, 국내에서는 이에 대한 연구가 아직 미흡한 단계에 있다.

본 논문에서는 Si CMOS를 이용하여 PCS용 송수신 주파수 대역인 1.8GHz에서 동작하는 저전력 저잡음 증폭기를 설계하고자 하였으며, 설계된 Si CMOS 저잡음 증폭기는 상용 고주파 시뮬레이터를 통해 그 특성을 검증하고자 하였다. 이동 통신 단말기에 이용되는 저잡음 증폭기는 트랜시버에서 리시버의 첫째 단계 사용되는 부품으로 입력되는 신호의 잡음을 최소화하는 것이 매우 중요하다. 실제로 저잡음 증폭기가 상용화되기 위해서는

다음 단의 주파수 혼합기를 포화시키지 않는 범위에서의 이득(>20dB)과 전체의 트랜시버(transceiver)의 노이즈를 결정하므로 2.0dB이하의 노이즈 특성을 보여야 한다. 따라서, 본 논문에서는 신호에 포함된 잡음을 억제 하면서 원하는 신호 성분만을 효과적으로 증폭할 수 있는 저잡음 증폭기를 설계하고자 하였다.

### II. 저전력 저잡음 증폭기 회로 설계

본 논문에서는 Si CMOS 저잡음 증폭기 설계를 위해 아남 반도체에서 제공하는 0.25 $\mu$ m 게이트 길이의 Si CMOS 프로세스를 이용하였다. 아남 반도체에서 제공된 Si CMOS 라이브러리는 BSIM3 스파이스 모델 파라미터를 기반으로 모델링된 것으로 이를 상용 고주파 시뮬레이터인 HP ADS로 이식하여 저잡음 증폭기 설계에 이용하였다.

본 논문에서 제안한 저잡음 증폭기는 2단 캐스코드 구조를 갖도록 설계되었는데, 첫 단계는 저잡음 관점에서 2.0dB이하의 노이즈 특성을 얻을 수 있는 구조로 설계하였으며, 둘째 단계에서는 20dB 이상의 고 이득을 실현하기 위한 구조로 설계하였다.

첫 단계의 M1, M2 트랜지스터는 신호가 입력되는 단계므로 노이즈에 상당히 민감하다. 그러므로 두 트랜지스터에 대한 잡음 특성이 중요시된다. 그림 1에는 첫 단계에 이용되는 300 $\mu$ m 게이트 폭 특성의 MOS 트랜지스터의 I-V 특성 곡선을 도시하였는데, 제안한 저잡음 증폭기가 구동 전압 2.5V의 저전력 특성을 갖도록 그림과 같은 DC 동작점을 결정하였다. MOS의 동작점에서 게이트 바이어스 전압은 0.75V, 드레인 전류는 4.2mA의 특성을 보였다.

$$NF = 1 + \gamma \cdot \frac{1}{Q^2 \cdot gm \cdot Rs} \quad (1)$$

위의 식(1)을 보면 잡음 특성은 입력 단의 트랜지스터의 게이트 폭에 의해 좌우됨을 알 수 있다. 300 $\mu$ m 게이트 폭을 가진 트랜지스터의 경우, 트랜스컨덕턴스와 잡음 특성이 서로 반비례하는 특성과 전체 칩 사이즈를 고려하여 300 $\mu$ m의 비교적 큰 게이트 폭을 선택하였다.

MOS의 잡음 성분은 대체로 소자 내부에 존재하는 기생 성분으로 인해 발생하므로 잡음 특성을 모델링하기 위해 저항을 이용하는 방법이 사용된다. 따라서, 본 논문에서도 게이트에서 기판으로 흐르는 전류로 인해 발생하는 잡음 성분과 채널에서 발생하는 잡음 성분을 각각 모델링하기 위해, 게이트와 기판간 그리고 소스와 드레인간에 잡음 특성을 표현하는 저항을 삽입해 줌으로써 MOS 트랜지스터의 잡음 특성을 모델링하였다.

300 $\mu$ m 게이트 폭을 가진 nMOS 트랜지스터의 게이트 바이어스와 드레인 전류가 각각 0.75V, 4.2mA일 때, 잡음 특성과 산란 파라미터 특성을 추출하였는데, 특성 추출 결과 NF는 1.1dB, Forward gain은 9dB의 특성을 보였다.

그리고 첫 단의 두 번째 트랜지스터(150 $\mu$ m, 게이트 폭)는 컴퓨터 모의 실험 결과 게이트 바이어스와 드레인 전류는 1.7V, 4.3 mA일 때, 잡음 특성과 산란 파라미터 특성을 추출하였는데, 특성 추출 결과 NF는 0.9dB, Forward gain은 4.5dB의 특성을 보였다.

그리고 캐스코드일때 노이즈에 대한 비례식을 보면 다음과 같다.

$$F \propto (\gamma_2 \cdot g_{do2}) / (\gamma_1 \cdot g_{do1}) \quad (2)$$

위의 비례식 (2)에서  $g_{do}$ 는 제로 바이어스 드레인 컨덕턴스이다. 이식에 의하면 노이즈를 최소화시키는 문제는  $\gamma_2$  와  $\gamma_1$ 의 비에 의해서 결정됨을 알 수 있다.  $\gamma_2$  와  $\gamma_1$ 은 바이어스에 의존하기 때문에  $M_1$ ,  $M_2$  트랜지스터의 게이트에 걸리는 바이어스 전압이 노이즈를 최소화시킬 수 있음을 알 수 있다. 그러므로 본 논문에서 제안한 저잡음 증폭기의 바이어스 회로는 NMOS와 PMOS 트랜지스터를 사용하여 구현하였는데,  $M_2$ 의 게이트 바이어스가  $M_1$ 의 게이트 바이어스보다 2.5배의 전압이 인가 되도록 설계하였다. 이와 같이 2.5배의 게이트 바이어스 차이를 설정한 이유는 저잡음 특성을 유도하기 위한 설계로써, 첫 단의 MOS 소자로 각각  $M_2$  (150 $\mu$ m)와  $M_1$ (300 $\mu$ m)의 게이트 폭을 가진 트랜지스터를 사용한 이유도  $\gamma$ 의 차등을 두어 노이즈를 최소화하기 위한 것이다.

두 번째 단의 캐스코드는 이득을 높이기 위해서 사용되었고, 이 때의 캐스코드는 잡음에는 아무런 영향을 주지 못하므로 노이즈 특성에 대한 모의 실험을 하지 않았

다. 또한, 바이어스 회로에 사용된 PMOS 트랜지스터의 게이트와 두 번째 단 캐스코드의 게이트에 동일한 바이어스 전압을 인가해 줌으로써, 첫 단과 두 번째 단으로부터 동일한 이득을 얻고자 하였다. 정합회로를 제외한 회로에서의 컴퓨터 모의 실험 결과 15dB의 좋은 이득을 얻을 수 있었다. 이런 결과는 정합회로를 포함한 회로에서 20dB이상을 얻을 수 있을거라는 것을 예상 할 수 있다.

국내 PCS의 경우 주파수 대역은 1.840GHz~1.870GHz까지의 범위를 갖는다. 이와 같은 주파수 대역에서 저잡음 증폭기는 20dB이상의 이득과 2.0dB이하의 noise figure를 가져야한다. 실제로 입·출력 정합을 위한 설계 부분이 구현되지 않은 상태에서 15dB의 Forward gain과 2.24dB의 NF 특성과 1.98dB의 noise figure minimum의 특성을 보였다.

입력 정합의 특징은 입력되는 신호가 가지는 50 $\Omega$ 과 구현한 회로의 입력 임피던스를 50 $\Omega$ 에 정합시켜 최대의 전력을 출력 단으로 보내는 것이다. 입·출력 정합을 위한 설계 부분이 구현되지 않은 상태에서 2.24dB의 NF 특성을 1.98dB의 noise figure minimum으로 정합시키기 위한 것이다. 본 논문에서 제안한 저잡음 증폭기의 입력 정합은 비교적 잡음 특성이 양호한 직렬 인덕터와 병렬 캐패시터의 병렬 소자를 사용한 구조가 적용되었는데, 그림 2에서 보듯이 잡음 씨클 안에서 임피던스 정합이 형성되도록 설계하였고 컴퓨터 모의 실험을 하였다. 설계 후, 입력 정합을 위한 직렬 인덕턴스 값과 병렬 캐패시턴스 값은 각각 3.0nH와 0.2 fF였고 잡음은 2.03dB의 특성을 보였다.

출력 정합은 출력 임피던스를 50 $\Omega$ 에 정합시켜 최대의 전력을 이루기 위해 LC tank를 사용하였다. 이득을 중심 주파수 1.855 GHz에서 최대가 되도록 튜닝하였다. 입·출력 정합을 위한 설계 부분이 구현되지 않은 상태에서 15dB의 Forward gain의 특성이 있었으나 설계 후, 출력 정합을 위한 직렬 인덕터와 병렬 캐패시터를 사용한 결과 23dB의 높은 이득을 얻을 수 있었고, 각각 값은 7.25nH와 0.2pF로 결정되었다. 그림 3에 설계가 완료된 저잡음 증폭기의 회로도도 도시하였다.

정합을 구현한 회로에서 안정도(K)를 컴퓨터 모의 실험 결과 1이상의 값을 가지므로 무조건 안정 상태임을 알 수가 있었다.

본 논문에서 제시한 회로에는 인덕터를 구현하기 위해서 나선형 인덕터를 모델링하여 MATRAB 툴을 이용하였고, 최적화 된 Q값을 가지고 libra 툴을 이용하여 컴퓨터 모의 실험을 하였다. Lumped element로 인덕터를 모델링하였고, 2 - port model로 간략화한 것이다. 여기서 인덕터의 직렬로 연결된 저항 R은 metal 5의 기생 저항 성분이다. 또한 병렬로 연결된 캐패시터는 oxide의 기생

캐패시턴스 성분이다. 아남에서 제공한 metal 5 의 기생 저항은  $0.72 \Omega/\mu\text{m}$ 이고, oxide의 기생 캐패시턴스는 2.2 fF 이다. MATRAB을 이용하여 모의 실험 결과 입력 정합에 사용되는 인덕터의 Q 값은 4.3의 특성을 보였다.

libra 틀에 나선형 인덕터를 이식시켜 컴퓨터 모의 실험 결과는 Lumped element로 인덕터를 사용하여 회로를 구현 할 때와 비슷한 값을 얻을 수 있었다.

그림 4는 libra 틀에 나선형 인덕터를 이식시켜 컴퓨터 모의 실험을 하기 위한 회로도이다.

### III. 컴퓨터 모의 실험 결과

잡음과 산란 특성을 모의 실험하기 위해서  $100\mu\text{m}$ ,  $150\mu\text{m}$ ,  $200\mu\text{m}$ ,  $250\mu\text{m}$ ,  $300\mu\text{m}$ 의 게이트 폭을 가진 트랜지스터의 게이트 바이어스를 상이하게 인가하였고, 모의 실험 결과 첫 단계 사용되는 트랜지스터는 이득을 증폭할 뿐 만 아니라 잡음 특성을 고려하여  $150\mu\text{m}$ 와  $300\mu\text{m}$  게이트 폭을 가진 트랜지스터를 선택하였다. 실제로 다른 게이트 폭을 갖는 트랜지스터를 사용하여 잡음 특성과 산란 특성을 컴퓨터 모의 실험을 해 보았으나, 결과는  $150\mu\text{m}$ 와  $300\mu\text{m}$  게이트 폭을 가진 트랜지스터를 사용했을 때와 큰 차이를 보였다.

그리고 바이어스는  $300\mu\text{m}$  게이트 폭을 가진 트랜지스터의 게이트에 1.4V와  $150\mu\text{m}$  게이트 폭을 가진 트랜지스터의 게이트에 0.7V를 인가했을 때 보다 나은 잡음 특성을 보였다. 전체적으로  $0.25\mu\text{m}$  CMOS 저잡음 증폭기의 컴퓨터 모의 실험 결과, 그림 5는 PCS의 리시버 주파수 대역에서 반사 특성이  $-10\text{dB}$  이하의 낮은 값을 보여 입·출력 정합이 효과적으로 이루어졌음을 증명하였고, 그림 6은 2.03dB의 NF, 23.5dB의 Forward gain 특성을 얻었다. 표 1은 본 논문과 비교하여 기존의 CMOS를 이용한 저잡음 증폭기의 결과들을 분석하였다. 전력 소비 측면에서 종래의 저잡음 증폭기는 20mW의 특성을 보이는 반면 본 논문에서 설계한 저잡음 증폭기는 15mW의 낮은 전력 소비를 특성을 보였다. 저잡음 증폭기는 전체 트랜지스터의 30%에 해당하는 전력 소모를 가지므로, 본 논문에서 설계한 Si CMOS 2.5V 저잡음 증폭기를 이동통신 단말기의 RF front-end에 적용할 경우 전력 소모 감소에 크게 기여할 수 있을 것으로 기대된다.

### VI. 참고문헌

- [1] Brian Floyd, "A 900MHz,  $0.8\mu\text{m}$  CMOS Low noise Amplifier with 1.2dB Noise Figure," IEEE, May 1999, page 661-664
- [2] Lee, T H, "A 1.5V 1.5GHz CMOS Low noise Amplifier," IEEE j. of Solid-state Circuits, May 1997, page 745-759

[3] Ahmadreza Rofougaran, "A 1GHz CMOS RF Front-End IC for a Direct-Conversion Wireless Receiver," IEEE j. of Solid-state Circuits, VOL. 31, JULY 1996

[4] Arvin R Shaeffer, "A 12mA Wide Dynamic Range CMOS Front-End for a Potable GPS Receiver," IEEE j. of Solid-state Circuits. VOL. 32, DECEMBER 1997

[5] C. S. Kim, "Thick Metal CMOS Tech on high resistivity substrate for Monolithic 900MHz and 1.9GHz CMOS LNAs," Microwave Symposium Digest. VOL 2. 573-576. July 1999

[6] Q Huang et al., "The Impact Scaling Down to Deep Submicron on CMOS RF Circuits" IEEE j. of Solid-state Circuits. VOL. 33. NO 7. July 1998

[7] Andrew N Karanicolas, "A 2.7V 900MHz CMOS LNA and Mixer" IEEE j. of Solid-state Circuits. VOL. 31. NO. 12. DECEMBER 1996

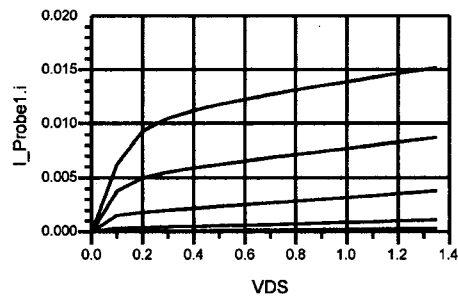


그림 1 . Si MOS 트랜지스터의 I-V 특성 곡선

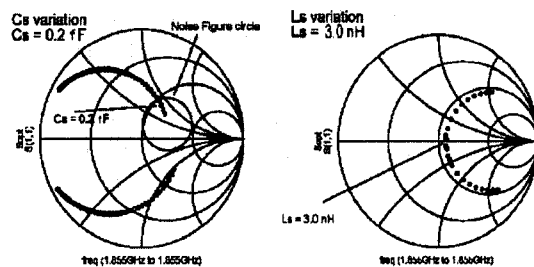


그림 2 . Ls와 Cs의 변화에 따른 입력 정합 특성

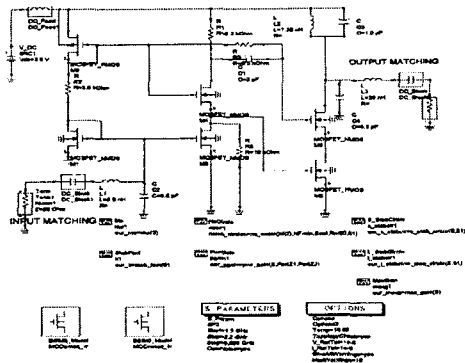


그림 3. Si MOS를 이용한 저전력, 저잡음증폭기 회로도.

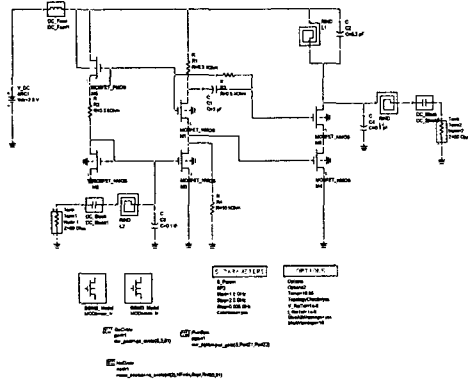


그림 4. 나선형 인덕터를 이용한 회로도

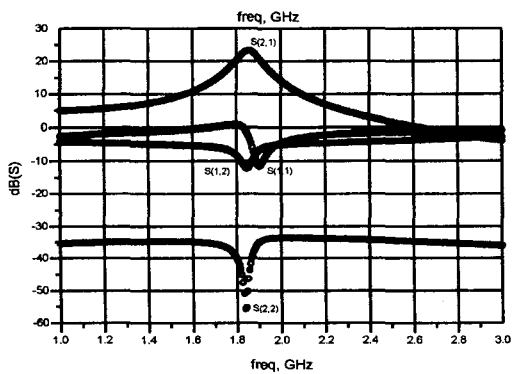
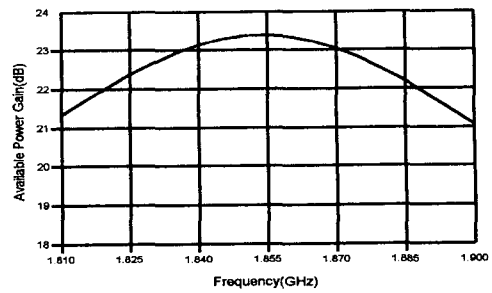
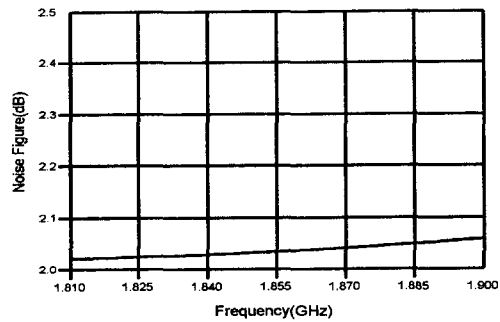


그림 5. 저잡음 증폭기의 산란특성



(a)



(b)

그림 6. 저잡음 증폭기의 잡음 특성과 유효 전력 이득  
(a) 유효 전력 이득, (b) 잡음 특성

표 1. 기존의 RF CMOS를 이용한 저잡음 증폭기 결과

Research	Gain (dB)	NF (dB)	Supply voltage	Process
Helsinki (1998)	17	3.4	3 V	0.5 μm
Texas instrument (1998)	8.3	5.4	2.4 V	0.5 μm
KAIST (1999)	15.2	2.8	3.6 V	0.5 μm n-Well
본 논문 (2000)	23	2.03	2.5 V	0.25 μm 1-poly 5-metal